



INSTITUTO SUPERIOR TÉCNICO
Universidade Técnica de Lisboa

Conversores DC-DC para la Industria Aeroespacial

Antonio Bañón Francés

Dissertação para obtenção do Grau de Mestre em
Engenharia Electrotécnica e de Computadores

Júri

Presidente: Prof. Marcelino Bicho dos Santos

Orientador: Prof. Nuno Cavaco Gomes Horta

Co-Orientador: Prof. Jorge Manuel Correia Guilherme

Vogal: Prof^a. Maria Beatriz Mendes Batalha Vieira Vieira Borges

Abril 2009

Agradecimientos

Quisiera expresar mi agradecimiento a Nuno Horta y Jorge Guilherme por darme la oportunidad de realizar este trabajo. A Mauro Santos por dedicar parte de su tiempo en explicaciones y aportación de ideas.

A toda mi familia, a mi padre, a mi madre y a mi hermana Estefanía, incluyendo tíos, primos, hijos de primos, abuela...etc. por haberme apoyado e interesarse por la realización de este proyecto desde Villena. También a los amigos desde Valencia (Zahra, Rubén Rivas, Carlos Sánchez...etc.), desde Villena (Juan José Navalón, José Julián Espinosa, David Molina, María Angeles...etc.) y el resto de la provincia de Alicante (Daniel García, Alexis...etc.).

A Todos mis amigos Erasmus que son innumerables (Pepe Ballesta, Javi Lucia, María López, Sonia Yelo, Roberto Martínez, Rocío Gonzales...etc.) a los no Erasmus pero que están bajo otro programa de intercambio como Julio Cesar. A los compañeros de laboratorio y amigos de Portugal (Pedro Sousa, Carla Duarte, Pedro Ferreira, António Gorgulho, Filipa Pechorro, Cláudia, Manuel Barros...etc.). A mi compañero de casa en Lisboa y amigo António. Gracias a todos por hacerme la estancia en Lisboa amena.

A todos gracias.

Abstract

This thesis addresses the design of DC-DC converters for space applications, particularly, it explores the design of the DC-DC controller at system level, which should be the primary step of the whole design when aiming to reach the integration for such a complex system.

The work started by a state-of-the-art analysis on DC-DC converters for space applications, which outlined who are the key players on this field and also some technical features concerning the existing solutions, such as architecture, type of control etc. Based on this study, the presented work discusses and evaluates different kinds of control and modulation techniques, leading to the overall architecture definition. The design started by implementing a Matlab model to identify which should be the exact signal characteristics for the control block. Then, the main effort was to build a complete and robust Verilog-AMS model of the complete system within the CADENCE design environment. The models developed for each controller building block were completely validated and are now available to compose and explore different control solutions at system level. Moreover, this system level approach is fundamental to validate the project at the top level within reasonable simulation times and accuracy. Finally, final result shows the validity of the developed project.

Keywords: DC-DC Converter, Control circuit, PWM, PFM, Verilog-AMS

Resumen

Las tendencias que existen a la hora de proyectar un convertor DC DC para la industria aeroespacial, es intentar que este convertor sea lo más eficiente posible. También teniendo en cuenta las dificultades que pueden tener los circuitos eléctricos debido a la radiación, al vacío o a los cambios bruscos de temperatura que se dan en el espacio. En el que debido a estos efectos pueden ocasionar en el circuito cambios de sus características e incluso que no funcionen.

Lo que se pretende con este trabajo es analizar diferentes tipos de control y de modulación y una comparativa entre ellos. Nombrar los principales problemas que tienen los circuitos eléctricos en un ambiente espacial y cuáles son sus posibles soluciones. Además, de investigar el estado comercial de los convertidores DCDC para un ambiente aeroespacial.

También, en este trabajo, muestra el diseño de un convertor DC DC que puede ser utilizado en un ambiente espacial. Para llevar a cabo algunos cálculos del diseño se ha realizado un programa en Matlab®. Para averiguar que características han de tener las señales dentro del control, para intentar que nuestro diseño tenga las características deseadas y que sea lo más eficiente posible.

Una vez realizado el diseño, para la simulación y obtención de resultados se ha modelado cada componente del sistema de control del convertor y la etapa de potencia en Verilog-AMS. Para después realizar las simulaciones oportunas con las herramientas de Cadence™. En el que como resultado final es el diseño de un posible sistema de control que puede ser utilizado en el espacio. Cuyas características son las que se querían inicialmente.

Palabras Clave: convertor DC DC, Circuito de control, PWM, PFM, Verilog-AMS.

Contenido

1	Introducción.....	1
1.1	Motivación	1
1.2	Objetivos y metodología	2
1.3	Estructura de la tesis.....	3
2	Control de convertidores y problemas en el ambiente espacial	5
2.1	Tipos de conmutación.	6
2.1.1	Control en el espacio de estado (“ <i>State space</i> ”).....	6
2.1.2	PWM.....	6
2.1.3	PFM	6
2.1.4	Comparación entre tipos de control.	7
2.1.4.1	PFM vs PWM.....	7
2.2	Métodos de control de fuentes conmutadas	8
2.2.1	Control modo tensión	8
2.2.2	Control modo corriente de pico (CIC).....	9
2.2.3	Comparación de sistemas de control	10
2.3	Problemas debidos al ambiente espacial.....	10
2.3.1	Dificultades causadas por el vacío.	11
2.3.2	Problemas debidos a cambios bruscos de temperatura.....	11
2.3.3	Problemas debido a la radiación.	11
2.4	Estado del arte de control de convertidores.....	16
2.5	Conclusión.....	18
3	Circuito de Control.	19
3.1	Amplificador de error.....	20
3.2	Arranque Suave.....	31
3.3	Contador.....	34
3.4	Convertor Digital/Analógico (DAC).....	35
3.5	Oscilador	38
3.6	Bloque PFM.....	38
3.7	Protección contra cortocircuito	40

3.8	Red de muestreo β	42
3.9	Sensor de corriente.....	42
3.10	Sumador.....	44
3.11	Tensión de Bandgap.....	45
3.12	UVLO.....	45
3.13	Variaciones respecto al circuito propuesto.....	47
4	Bloques implementados.....	49
4.1	Bloques analógicos.....	49
4.1.1	Amplificador Operacional.....	49
4.1.2	Bobina o Inductor.....	51
4.1.3	Condensador.....	52
4.1.4	Diodo.....	53
4.1.5	Fuentes de tensión DC.....	54
4.1.6	Fuentes de corriente controlada.....	54
4.1.7	Resistencia.....	56
4.2	Bloques Lógicos.....	56
4.2.1	Latch RS.....	56
4.2.2	Flip Flop D.....	58
4.2.3	Puerta AND de 2 entradas y AND de 8 entradas.....	58
4.2.4	Puerta OR de 3 entradas.....	59
4.2.5	Puerta NOR de 2 entradas.....	60
4.2.6	Puerta NOT.....	61
4.3	Comparadores de tensión.....	62
4.4	Modulo de variación de la carga por tensión.....	63
4.5	Oscilador ("Oscillator").....	65
5	Simulaciones.....	67
5.1	Ganancia de lazo del lazo de tensión en modo corriente.....	67
5.2	Sensibilidad dinámica en modo corriente.....	68
5.3	Impedancia de Salida.....	70
5.4	Tensión de salida variando la carga.....	71

5.5	Tensión de salida variando la tensión de entrada.....	74
5.6	Puesta en marcha con carga baja y alta.....	76
5.7	Conversión de PWM a PFM y de PWM a PFM	77
5.8	Convertor DC DC.....	79
5.9	Conclusiones.....	80
6	Conclusiones.....	81
7	Bibliografía	83
8	Anexos	85
8.1	Esquemas implementados	85
8.1.1	Esquema interno del modelo del amplificador operacional.....	85
8.1.2	Amplificador de error	86
8.1.3	Arranque Suave.....	87
8.1.4	Contador.....	88
8.1.5	DAC	89
8.1.6	Latch RS.....	90
8.1.7	PFM	91
8.1.8	Protección contra cortocircuito	92
8.1.9	Sensor de corriente	93
8.1.10	Sumador	94
8.1.11	UVLO.....	95
8.1.12	Top oscilador	96
8.1.13	Top Control.....	97
8.2	Algunos Test-bench implementados.....	98
8.2.1	Test-bench bobina.....	98
8.2.2	Test-Bench Condensador	99
8.2.3	Test-Bench Diodo.....	100
8.2.4	Test-Bench Fuente de corriente controlada.....	101
8.2.5	Test-Bench Resistencia.....	102
8.2.6	Test-Bench de modulo de variación de la carga.....	103
8.2.7	Test-Bench del cambio de PWM a PFM y viceversa	104

8.2.8	Test-Bench de la variación de la tensión de entrada	105
8.2.9	Test-Bench de la variación de la carga	106
8.3	Fichero realizado para el cálculo del amplificador de error	107

Lista de figuras

Fig. 1: Diagrama de flujo empleado para realización de los bloques.	3
Fig. 2: Circuito Buck para empleado para la comparación entre PWM y PFM (7).	7
Fig. 3: Perdidas de potencia en cada elemento durante la experimentación (7).....	8
Fig. 4: Diagrama de bloques del control modo tensión de cualquier conversor conmutado (8)...	9
Fig. 5: Esquema de control modo intensidad de un conversor Buck mediante un modulador PWM (8).	9
Fig. 6: Cinturones de Van Allen (1).	11
Fig. 7: Clasificación de los efectos de la radiación, (*) en el caso que no exista limitación de corriente (1).	12
Fig. 8: Diagrama de bloques del circuito proyectado.	19
Fig. 9: Circuito <i>Buck</i> que permite la conversión de 20 Voltios a 5 Voltios.	20
Fig. 10: Modelo de pequeña señal del control CIC (4).	21
Fig. 11: Diagrama de Bode de $H_e(s)$	22
Fig. 12: Lugar de los ceros de $H_e(s)$	23
Fig. 13: Lazo de corriente CIC del Buck en conducción continua (4).....	24
Fig. 14: Diagrama de Bode de $T_i(s)$	25
Fig. 15: Lazo de corriente (4).....	26
Fig. 16: Diagrama de Bode de la tensión de salida frente a la tensión de control.....	27
Fig. 17: Lazo externo de tensión (4).....	27
Fig. 18: Diagrama de bode del compensador diseñado $A_v(s)$	29
Fig. 19: Ganancia de lazo del lazo de tensión en modo corriente.	30
Fig. 20: Implementación del compensador de tensión.	30
Fig. 21: Circuito implementado con los valores calculados.	31
Fig. 22: Circuito empleado para la generación de la exponencial inversa.	32
Fig. 23: Resultados en transitorio, para generar la señal deseada para el arranque suave.	33
Fig. 24: Señal a la salida del sensor de corriente (amp_de_corrente) en líneas discontinuas y señal a la salida del circuito de arranque (vlim) líneas continuas, en el arranque del conversor.	33
Fig. 25: Señal de control del conversor durante el arranque de este.....	34
Fig. 26: Señal de control del conversor en el arranque.....	34
Fig. 27: Señales a la salida del contador. La señal CLK se corresponde a la señal de entrada del contador, que tiene una frecuencia de 16 Mhz.	35
Fig. 28: Implementación de un DAC.....	35
Fig. 29: Interpretación para el cálculo de la rampa.	36
Fig. 30: Señal rampa de tensión (Out). Señales que provienen del contador y controlan las fuentes de corriente (Q0, Q1, Q2, Q3).....	37

Fig. 31: Señal rampa de tensión (Out) y señal rampa de corriente (I23/n).	37
Fig. 32: Bloque PFM implementado.	38
Fig. 33: Señal de control de la etapa de potencia en la transición de PWM a PFM.	39
Fig. 34: Señales de salida la intensidad del inductor (/I50/n), de la señal que controla el interruptor la etapa de potencia (/sw), de la tensión de salida del amplificador del conversor (/vout). Con una frecuencia de reloj de 1Mhz y tensión de entrada de 20 V.	40
Fig. 35: Simulación realizada al bloque de protección contra-cortocircuito.	41
Fig. 36: Red de muestreo diseñada.	42
Fig. 37: Circuito del senseo de corriente.	43
Fig. 38: Circuito del senseo de corriente.	44
Fig. 39: Topología del UVLO empleado.	45
Fig. 40: Histéresis del UVLO diseñado para una tensión de bloqueo cercano a 17 voltios	46
Fig. 41: Respuesta temporal del UVLO, Vin tensión de entrada y la salida Q.	47
Fig. 42: Respuesta en frecuencia del Amplificador diseñado.	50
Fig. 43: Simulación realizada para el cálculo aproximado del <i>Slew rate</i> .	51
Fig. 44: Resultados en transitorio de la simulación realizada de un circuito con una R=1k y L=10mH y una tensión de entrada de 5 Voltios con una frecuencia 4 hz. En el que se muestra intensidad que atraviesa la bobina (Intensidad) y tensión en los bornes de la bobina (vinductor).	52
Fig. 45: Resultados en transitorio de la simulación realizada de un circuito con una R=20k y C=5uF, Vin=5 voltios. En el que se muestra intensidad que atraviesa el condensador (I), tensión en los bornes del condensador (Vc) y tensión de entrada (Vin).	53
Fig. 46: Resultados en transitorio de la simulación realizada de un circuito de rectificación de media onda con una R=10k y Vin de tensión máxima 3.5 voltios y frecuencia 4 hz. En el que se muestra intensidad que atraviesa el diodo por el anodo (Ianodo), tensión en los bornes del la resistencia de 10k (Vout) y tensión de entrada (Vin).	54
Fig. 47: Interpretación de la fuente de corriente.	55
Fig. 48: Resultados de la simulación realizada a la fuente de intensidad controlada. (Vc) señal de control de la fuente controlada, (Iout) Intensidad de salida, (Vout) tensión de salida cuando la fuente de corriente está conectada en serie a una resistencia de 1K ohmios.	55
Fig. 49: Resultados en transitorio de la simulación realizada de un divisor de tensión resistivo, con dos resistencias de 10k y una tensión de entrada de 10V. En el que se muestra la tensión de entrada (Vin), la intensidad del circuito con las dos resistencias en serie (Intensidad), y la tensión de salida del divisor (Vout).	56
Fig. 50: Estructura interna del Flip Flop RS.	57
Fig. 51: Simulación realizada del <i>latch</i> RS.	57
Fig. 52: Simulación realizada en el Flip Flop D.	58
Fig. 53: Simulación realizada con una puerta AND de 2 entradas.	59

Fig. 54: Simulación realiza a la puerta OR de 3 entradas; In1, in2 y in3 son entradas de la puerta OR y out la señal de salida de la puerta OR.	60
Fig. 55: Simulación realizada con una puerta NOR de 2 entrada RS.....	61
Fig. 56: Simulación realizada con una puerta NOT.	62
Fig. 57: Simulación del comparador diseñado.	63
Fig. 58: Resultado de la simulación realizada en la que Vin es una señal senoidal de 1 Hz con una amplitud de 500kv y Rsal es el valor de la resistencia que se obtiene a la salida.	64
Fig. 59: Resultado de la simulación realizada en la que Vin es una señal senoidal de 1 Hz con una amplitud de 500kv y Rsal es el valor de la resistencia que se obtiene a la salida.	64
Fig. 60: Relación entre la frecuencia de salida y la intensidad de entrada del oscilador. En el eje horizontal (X) la intensidad de entrada en amperios y en el eje vertical las frecuencias de salida del oscilador en Hz.	65
Fig. 61: Lazo externo de tensión (4).....	67
Fig. 62: Ganancia de lazo del lazo de tensión en modo corriente.	68
Fig. 63: Sensibilidad dinámica en lazo abierto (azul) e sensibilidad dinamica en lazo cerrado (verde).	69
Fig. 64: Impedancia de salida lazo abierto (azul) e impedancia en lazo cerrado (verde).....	71
Fig. 65: Tensión de salida del conversor (Vout), corriente en el inductor ($I_{50/n}$) y tensión de salida del amplificador de error (Vout_amp_erro) variando la carga des 2.5 ohmios hasta 6 ohmios.	72
Fig. 66: Tensión de salida del conversor (Vout), corriente en el inductor ($I_{50/n}$) y tensión de salida del amplificador de error (Vout_amp_erro) variando la carga des 4 ohmios a 5 ohmios. 72	72
Fig. 67: Tensión de salida del conversor (Vout), corriente en el inductor ($I/150/n$) y tensión de salida del amplificador de error (Vout_amp_erro) variando la carga des 4 ohmios a 5 ohmios, aumentada.....	73
Fig. 68: Tensión de salida del conversor (Vout), corriente en el inductor ($I/150/n$) y tensión de salida del amplificador de error (Vout_amp_erro) variando la carga des 2.5 ohmios hasta 0.5 ohmios.	74
Fig. 69: Tensión de salida del conversor (Vsense), corriente en el inductor ($I_{50/n}$) y tensión de salida del amplificador de error (Vout_amp_erro) variando la tensión de entrada (Vin) desde 20 Voltios hasta 50 Voltios.	75
Fig. 70: Tensión de salida del conversor (Vsense), corriente en el inductor ($I_{50/n}$) y tensión de salida del amplificador de error (Vout_amp_erro) en la transición de la tensión de entrada de 20 Voltios a 30 Voltios.....	75
Fig. 71: Tensión de salida del conversor (Vout), corriente en el inductor ($I_{50/n}$) y tensión de salida del amplificador de error (Vout_amp_erro), cuando se produce el arranque con una carga de 0.25 ohmios.....	76

Fig. 72: Tensión de salida del conversor (V_{out}), corriente en el inductor ($I_{50/n}$) y tensión de salida del amplificador de error ($V_{out_amp_erro}$), cuando se produce el arranque con una carga de 7 ohmios.....	77
Fig. 73: Tensión de salida del conversor (V_{out}), corriente en el inductor ($I_{50/n}$) y señal que controla la etapa de potencia (sw),	78
Fig. 74: Tensión de salida del conversor (V_{out}), corriente en el inductor ($I_{inductor}$) y tensión de salida del amplificador de error ($V_{out_amp_erro}$).....	79

Lista de tablas

Tabla 1: Principales características.....	2
Tabla 2: Comparación entre control modo tensión y modo corriente (8) (4).	10
Tabla 3: Efectos acumulativos de la exposición a la radiación de dispositivos electrónicos (1). 13	
Tabla 4: Efectos no acumulativos de la radiación espacial en los circuitos electronicos (1).....	14
Tabla 5: Continuación de los efectos no acumulativos (1).	15
Tabla 6: Fabricantes estudiados (I).....	16
Tabla 7: Fabricantes estudiados (II).....	17
Tabla 8: Principales características del conversor.....	20
Tabla 9: Principales características del conversor.....	21
Tabla 10: Elementos modelados útiles.	49
Tabla 11: Características del amplificador operacional.	51
Tabla 12: Tabla de verdad del <i>Latch</i> RS basado en puertas NOR.....	57

Lista de abreviaturas

AMS - Analog and Mixed-Signal

BW - Bandwidth

CIC - Current Injected Control (Ancho de Banda)

DAC – Digital-to-Analog Converter (Conversor Analógico Digital)

DC – Direct current (corriente continua)

DC-DC converter – Conversor de Continua a Continua

DD - Displacement Damage

ESA – European Space Agency (Agencia Espacial Europea)

ESR- Equivalent Series Resistance (Resistencia Serie Equivalente)

HDL- Hardware Description Language (Lenguaje de descripción de hardware)

LET- Linear Energy Transfer (Transferencia Lineal de la energía)

LSB – Less Significant Bit (bit menos significativo)

MSB – Most Significant Bit (bit más significativo)

ND-No determinado

PFM – Pulse Frequency Modulation (Modulación por frecuencia de pulso)

PWM – Pulse Width Modulation (Modulación por anchura de pulso)

RILC- Radiation Induced Leakage Current

SEB – Single Event Burnout

SEGR - Single Event Gate Rupture

SEL – Single Event Latch-up

SES – Single Event Snapback

SET- Single Event Transient

SEU - Single Event Upset

SEU- Single Event Upset

SFI – Single Event Functional Interrupt

TID- Total Ionization Dose (Dosis total de ionización)

USA- United State of America (Estados Unidos de América)

UVLO - Under Voltage Lockout

VPEC- Virginia Polytechnic Insitute

Glosario

Cinturones de Van Allen: Espacio alrededor de la Tierra donde se concentran partículas cargadas, entre 500-60.000 km de altitud respecto a la Tierra.

Displacement Damage (DD): Efecto causado por la interacción entre las partículas de radiaciones y los átomos de silicio del circuito. Esta interacción hace que los átomos de silicio cambien de lugar.

Dosis de radiación por unidad de tiempo (*Dose rate*): Energía soportada por unidad de tiempo. (RAD (Silicio)/ s).

Dosis total de ionización (TID, *Total Ionization Dose*): Energía acumulada que soporta un determinado circuito. Depende del material. (RAD (Silicio), *Radiation Absorbed Dose*).

Flujo: número de partículas por ángulo sólido y área por unidad de tiempo. (iones/cm² estereorradián s)

Radiation Induced Leakage Current (RILC): Corrientes de fugas debidas a la absorción de radiación por parte del circuito.

Single Event Burnout (SEB): Fenómeno que se produce en los transistores MOSFET de potencia, después de una radiación.

Single Event Gate Rupture (SEGR): Fenómeno que se produce en los transistores MOS, este fenómeno puede romper el dieléctrico después de una radiación.

Single Event Latch-up: Evento que perturba de forma permanente el funcionamiento del circuito cuando una partícula hace que se saturen los transistores parásitos.

Single Event Snapback (SES): Fenómeno que se produce en la tecnología SOI, que destruye el transistor después de una radiación.

Single Event Transient (SET): Se produce cuando en un elemento de un circuito digital cambia el nivel lógico debido a que ha sido atravesado por una partícula. Y esta señal errónea es propagada por todo el circuito.

Transferencia lineal de la energía (*Linear Energy Transfer*) o LET: es la energía transferida al circuito por unidad de longitud, cuando una partícula ionizante atraviesa el material.

1 Introducción

1.1 Motivación

La evolución tecnológica ha hecho posible la utilización de convertidores DC DC, con el objetivo de transformar una tensión a otra tensión de una manera controlada. Esta conversión no sería posible sin la utilización de un sistema de control, mediante el cual regula la tensión de salida del convertidor. Hoy en día estos sistemas pueden encontrarse en forma de encapsulado.

En el caso, que se ha estudiado, para la utilización en un ambiente espacial, las características varían respecto a las condiciones terrestres. Ya que han soportar efectos en el espacio que son perjudiciales si no se tienen en cuenta en un circuito diseñado. Estos efectos son provocados principalmente, por el efecto del vacío en el espacio, que puede provocar que exploten algunos componentes. Otro efecto igual de importante en el espacio es que existen grandes oscilaciones de temperatura, por lo que los componentes pueden dilatarse, hasta tal punto, que puedan destruirse. Esto además provoca variaciones en las características del circuito, como cambio en la velocidad de respuesta de los componentes y alteraciones en los *offsets*. Otros efectos son las causadas por la radiación en la que puede estar expuesta un circuito en el espacio, cuyos efectos, se pueden manifestar en forma de transitorios inesperados en el circuito, alteraciones de ganancias y tensiones de operación en algunos componentes, y por último, de roturas catastróficas en el circuito. Ya que si se intentan subsanar estos problemas el coste aumenta. Además, estos costes se agravan si se quiere que sea lo más eficiente posible, para que se pierda menos potencia en la conversión de una tensión a otra y que el dimensionamiento de ésta sea lo más pequeña posible, garantizando que funcione correctamente.

En la actualidad, el mercado de convertidores para ambientes espaciales es pequeño y está controlado en su totalidad por los Estados Unidos. Por lo que el coste aumenta si se quiere utilizar en Europa, debido al coste de transporte de este material, además, el problema que si una empresa Europea, como la ESA, quisiera utilizar uno de estos dispositivos tendría que exigir una licencia especial al Departamento de Defensa de los Estados Unidos para que las piezas fueran exportadas a Europa (1).

Lo que se pretende con este proyecto, es hacer un estudio de este tipo de sistemas y estudiar un sistema de control, posible para la utilización en el espacio.

1.2 Objetivos y metodología

Los objetivos de este trabajo principalmente son, por una parte, el estudio del estado de arte de control de convertidores DC DC, de continua a continua, mediante la recopilación de información de diferentes fuentes como de artículos científicos, libros e internet, en diferentes idiomas. Por otra parte, otro objetivo es modelar mediante un lenguaje de descripción de hardware, en nuestro caso Verilog-AMS, del sistema de control propuesto en el documento (1) para su simulación y verificación mediante las herramientas oportunas de simulación, en este caso, mediante las herramientas de Cadence™. Y si es necesario rediseñar el sistema de control en caso de que el diseño del circuito del documento no este correcto. Para llevar esto a cabo, se ha estudiado el lenguaje de modelización Verilog-AMS, gracias a la documentación existente en Internet y mediante libros, y por último, se ha aprendido como emplear las herramientas posibles de Cadence™ para poder llevar nuestro cometido.

Los principales objetivos que se pretende conseguir con el diseño final es que sea los más eficiente posible, otras características a controlar se describe en la siguiente tabla. En la que se observa que ha de estar limitada la corriente que atraviesa en la bobina y la conversión reductora de una tensión mayor a una pequeña.

Tabla 1: Principales características.

Características	Valor
Tensión de entrada	20 V
Tensión de salida	5 V
Limite de corriente	2.5 A
Frecuencia de conmutación	1Mhz

La organización que se ha empleado para la modelación del hardware, ha sido la construcción de pequeños bloques, y la simulación de estos para verificar que estos pequeños bloques funcionan según su función, para después unir entre estos y crear bloque de dimensiones mayores hasta llegar al *top* del circuito, ya que una recomendación que se hace a los ingenieros es *“divide y vencerás”*, ya que un problema difícil se puede hacer fácil mediante la subdivisión de este.

Como se puede apreciar en la Fig. 1 se describe de manera genérica la forma de proceder a la hora de realizar los bloques para llevar a cabo el objetivo de implementar en lenguaje de descripción de hardware. En esta figura se puede apreciar que en algunos casos se ha realizado una modificación respecto al circuito y a los bloques diseñados respecto al documento “Convertidores DC-DC para a Industria Aeroespacial - I”, ya que en algunos casos algunos bloques realizados en ese documento están erróneos y se han tenido que corregir y volver a diseñar.

Por último, se ha estudiado las características de este conversor. Mediante el análisis y la creación de *test-bench* utilizando las herramientas oportunas de Cadence™.

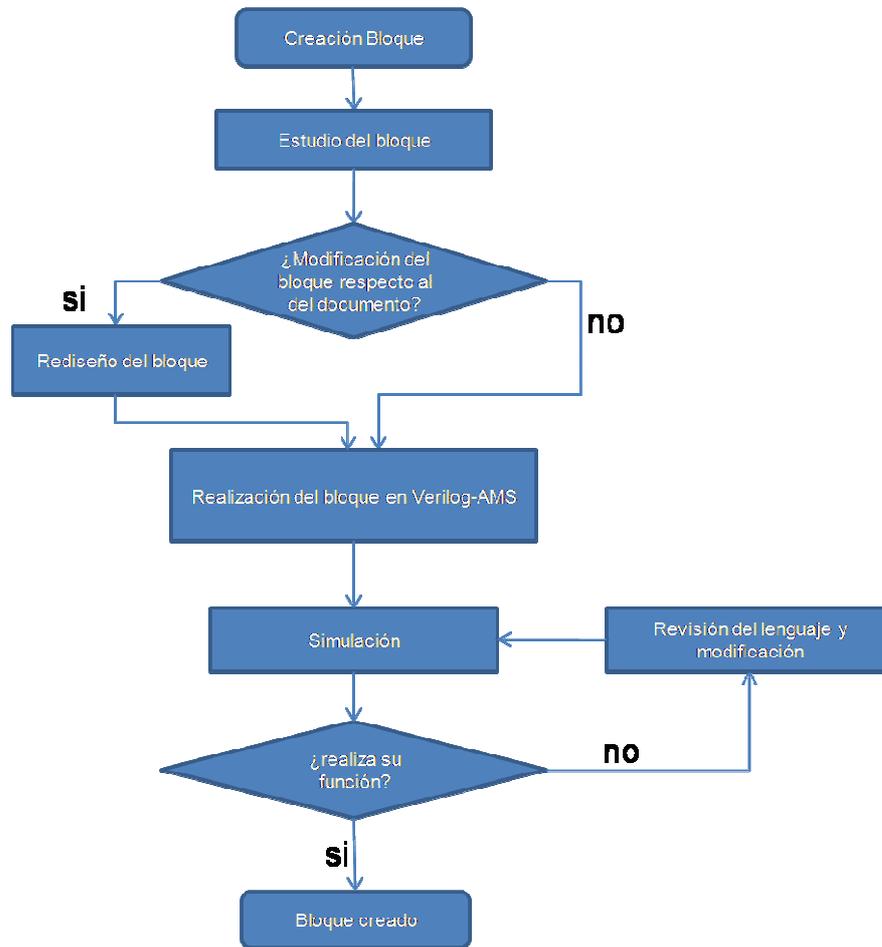


Fig. 1: Diagrama de flujo empleado para realización de los bloques.

1.3 Estructura de la tesis

La obra ha sido estructura en siete capítulos. El primer capítulo justifica la elaboración de este trabajo y la organización de esta. El segundo, se comenta los tipos de modulación para el control de convertidores DCDC. Además, se resume los efectos que se ven involucrados cuando un circuito esta en el espacio y por último se comenta, a día de hoy, el estado comercial de los convertidores DCDC en el espacio. En el capítulo tres se describe el control empleado y diseñado. En el cuarto, se describe los bloques realizados en su totalidad en Verilog-AMS, justificando su funcionamiento mediante pruebas de simulación. En el capítulo cinco, se muestran las simulaciones realizadas al convertidor diseñado. En el sexto, se comenta las conclusiones del estudio realizado. Y por último, en el anexo se muestra los circuitos, bloques, configuraciones de circuitos para la realización de simulaciones (*Test-Bench*), el fichero realizado para diseñar los lazos de control en Matlab® y el lenguaje de programación de los bloques.

2 Control de convertidores y problemas en el ambiente espacial

Uno de los bloques más importantes para poder llevar a cabo un convertidor es el bloque de control, ya que permite conseguir una tensión de salida regulada que siga a una tensión de consigna, y esto se hace mediante la regulación en lazo cerrado (*closed-loop*). Mediante la medición de algún parámetro de la fuente conmutada, como puede ser la tensión de salida o la bobina del inductor, se obtiene una tensión de salida constante variando el ciclo de trabajo de los conmutadores para compensar perturbaciones en la línea, en la carga y variaciones de los valores de los componentes circuitales debidas al envejecimiento o a las propias tolerancias.

Las características principales que presenta un convertidor conmutado en lazo cerrado son:

- Audiosusceptibilidad, o sensibilidad dinámica de la tensión de salida ante rizado (*Ripple*) de baja frecuencia (usualmente de 50 hz de un rectificador) en la tensión de entrada.
- Impedancia de salida, o variación dinámica de la tensión de salida ante variaciones de corriente en la carga. Importante cuando se conectan convertidores.
- Regulación estática de línea y carga, o variación del valor medio de la tensión de entrada no regulada o una corriente de salida variable.
- Ancho de banda (*Bandwidth*) en pequeña señal, o “velocidad” del lazo de regulación.
- Impedancia de entrada. Importante a la hora de interconectar convertidores.

A continuación se mostraran algunas de las técnicas de control y regulación de convertidores DC DC para posteriormente justificar la elección de una de ellas, para poder llevar a cabo el objetivo de este trabajo.

2.1 Tipos de conmutación.

En este apartado se ven las técnicas más empleadas en el control de convertidores. Para posteriormente, realizar una comparación entre ellas.

2.1.1 Control en el espacio de estado (“*State space*”)

Este método fue desarrollado en los años 70 por los investigadores R.D. Middlebrook y S. Cúk, consiguiendo los modelos fiables para el control modo tensión de convertidores conmutados en continua. Se basa en la representación lineal en el espacio de estado de los estados topológicos de un convertidor, su promediado ponderado según la duración de cada estado topológico (según el ciclo de trabajo) y la deducción de las funciones de transferencia de pequeña señal introduciendo perturbaciones (2). Después de la deducción de estas ecuaciones, se ha de emplear una filosofía de control que mantenga la tensión de salida constante (3).

La técnica no da resultados del todo satisfactorios cuando los convertidores entran en conducción discontinua, y no modela ciertos fenómenos de inestabilidad que ocurren en el control modo corriente (4).

2.1.2 PWM

En 1986 se desarrolló el concepto del *Pulse Width Modulation Switch Model* (PWM) por Vatché Voperian en *Virginia Polytechnic Institute* (VPEC, USA) (3) y con la aportación del investigador R. Ridley a finales de los 80 se logró un modelo muy satisfactorio para el control en modo corriente (*Current Control*). Este modelo explica con resultados cercanos a la realidad el comportamiento en pequeña señal del convertidor en conducción continua y discontinua. Además, se caracteriza por su facilidad de usar, fiabilidad y practicidad (4).

Este modelo da un circuito equivalente lineal, a partir del que se puede realizar el análisis de pequeña y de gran señal del convertidor. El modelo PWM es válido incluso en conducción discontinua. A partir del circuito eléctrico equivalente se puede calcular fácilmente las funciones de transferencia en pequeña y gran señal, a este método se le conoce como “*Averaged switch model*”. (5) La señal PWM se caracteriza por producir un pulso del mismo periodo en el que varía el tiempo en que se encuentra a nivel activo.

2.1.3 PFM

La señal PFM, *Pulse Frequency Modulation*, se caracteriza por variar su periodo y por tener el mismo ancho de pulso en estado activo e inactivo, por tanto, es un tipo de modulación de frecuencia variable (6). El modelo es solo válido en conducción discontinua. El método de

modelización que se emplea para modelizar es el mismo que en el caso del PWM, el método “*Averaged switch model*” (6).

2.1.4 Comparación entre tipos de control.

Visto los modelos de conmutación a continuación se hace una comparativa entre ellos. Con el método de de control en el espacio de estado “*State space averaging*” no se va a realizar una comparación mas detalla con las otras técnicas. Porque esta técnica no da resultados satisfactorios en algunos estados del convertor, como cuando entra en conducción discontinua y no modela ciertos fenómenos de inestabilidad en el control en modo corriente (4).

2.1.4.1 PFM vs PWM

Se va hacer una comparación en términos de eficiencia entre PFM y PWM, ya que este término es importante. Porque cuanto mayor sea la eficiencia de un convertor mayor es la duración de la batería para cualquier aplicación. A continuación, se va a mostrar algunos resultados experimentales que comparan PFM y PWM (7).

Se realizo un experimento para compara estas dos técnicas con el siguiente circuito que consiste un Buck,, como se muestra a continuación.

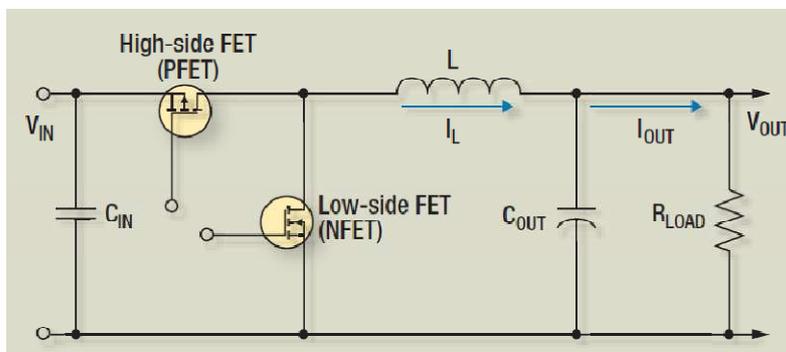


Fig. 2: Circuito Buck para empleado para la comparación entre PWM y PFM (7).

De este circuito se analizaron las pérdidas de cada elemento del circuito y el resultado se muestra en la siguiente figura. Como se puede comprobar de la Fig. 3 las perdidas en PWM son mayores que en el caso del PFM para cada elemento, por lo que se traduce en una menor eficiencia de la conversión. Con esto se puede decir que la conmutación PFM es más eficiente que la PWM (7).

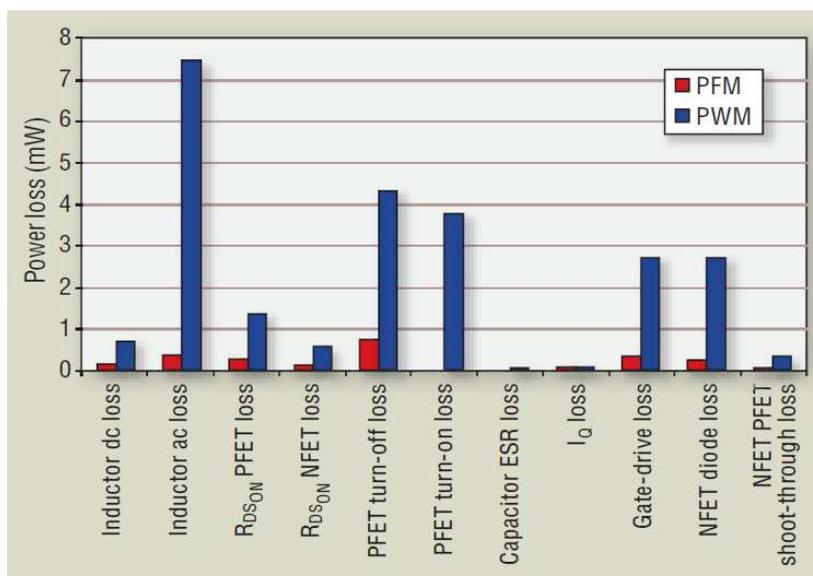


Fig. 3: Perdidas de potencia en cada elemento durante la experimentación (7).

2.2 Métodos de control de fuentes conmutadas

El control realimentado requiere de 3 características:

- Precisión, ante variaciones de línea (V_i) y carga (R).
- Velocidad de respuesta del lazo de control ante variaciones de línea, carga o de la tensión de referencia. Esta característica equivale al ancho de banda en lazo cerrado.
- Estabilidad del lazo de control, expresada por los márgenes de ganancia y fase del lazo de control.

2.2.1 Control modo tensión

En el control modo tensión de fuentes de alimentación conmutadas, la única variable que se utiliza para implementar el control realimentado es la tensión de salida del convertidor. El diagrama de bloques del control modo tensión de un convertidor conmutado se muestra en la Fig. 4. El amplificador de error y la resta de V_{ref} y V_o , que se muestra en la Fig. 4, se realiza mediante una red (regulador lineal) basada en un amplificador lineal. Por último, el modulador tiene un ciclo de trabajo que se adapta a las variaciones de línea, carga, tolerancias de los componentes, etc. Para mantener una tensión de salida constante, proporcional a la tensión de referencia (4).

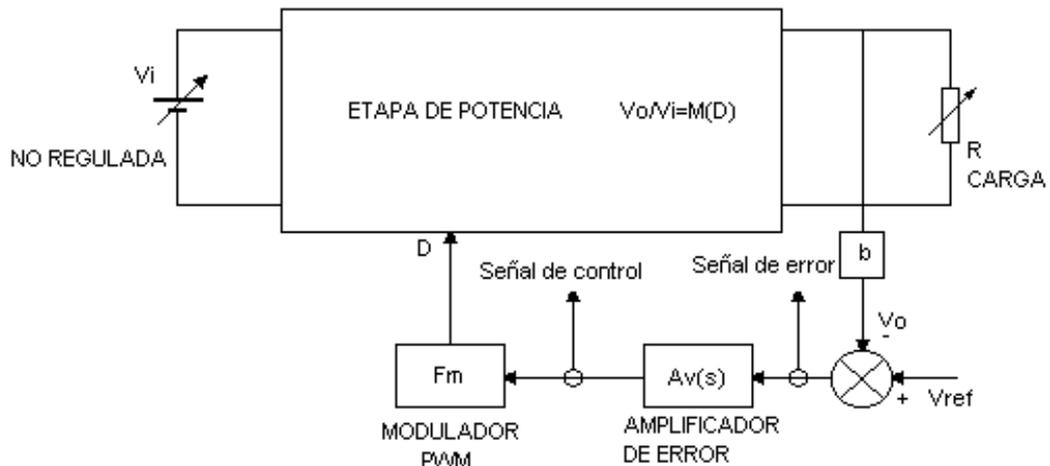


Fig. 4: Diagrama de bloques del control modo tensión de cualquier convertor conmutado (8).

2.2.2 Control modo corriente de pico (CIC)

El control modo corriente, llamado en inglés “*Current Injected Control*” (CIC). Se caracteriza por la realimentación de dos variables de estado del circuito de potencia: la tensión de salida y la corriente en el inductor de potencia. En teoría de control, esta técnica recibe el nombre de “realimentación del estado”. Consiguiéndose lazos de mejores prestaciones.

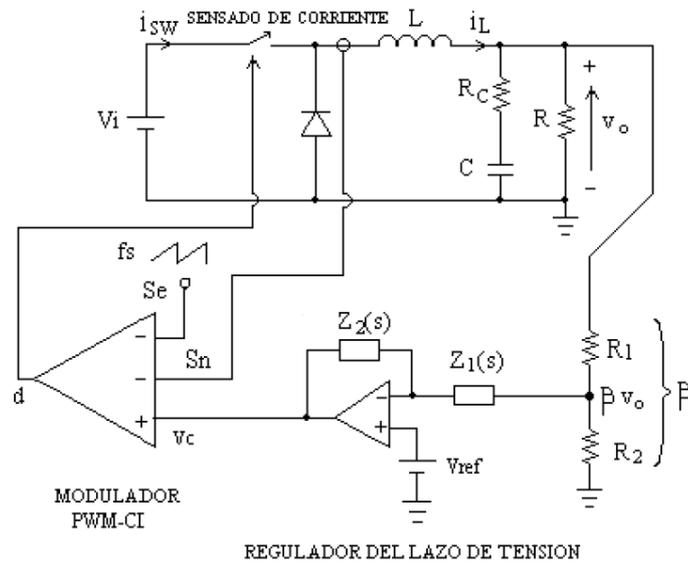


Fig. 5: Esquema de control modo intensidad de un convertor Buck mediante un modulador PWM (8).

Mediante este control se controla tanto la tensión de salida como la corriente de pico del inductor de potencia o en el conmutador activo, de manera que existe una protección frente a sobrecorriente inherente al control. Este tipo de control permite colocar fuentes de alimentación en paralelo, repartiéndose adecuadamente entre ellas la corriente de la carga.

2.2.3 Comparación de sistemas de control

En la siguiente tabla se muestra las ventajas e inconvenientes de los dos sistemas de control estudiados.

Tabla 2: Comparación entre control modo tensión y modo corriente (8) (4).

Tipo de control	Estados que se controlan	Ventajas	Inconvenientes
Modo tensión	Tensión de Salida	<ul style="list-style-type: none">- Circuito más sencillo.- Menos componentes a emplear	
Modo corriente	Tensión de Salida y corriente del inductor	<ul style="list-style-type: none">- Mejora la audiosusceptibilidad- Protección frente a sobrecorriente inherente al control- Permite colocar fuentes de alimentación en paralelo.- Implementación fácil mediante circuitos integrados de control	<ul style="list-style-type: none">- Más componentes al tener dos lazos de realimentación y el sensor de corriente.- Circuito más complejo.

Ha la vista del estudio realizado y de la Tabla 2, para cumplir con los objetivos propuestos se ha optado por el control modo corriente ya que presenta más ventajas que el modo tensión y mayor protección, haciendo esta que sea implementada mediante un circuito integrado.

2.3 Problemas debidos al ambiente espacial.

A continuación se comenta de forma resumida, los aspectos que se han de tener en cuenta para la fabricación de circuitos integrados cuando van a estar en el espacio. Como los problemas y sus soluciones.

En el espacio debido a la existencia del vacío pueden dar lugar a problemas, también los cambios bruscos de temperatura que se producen en el espacio y las radiaciones que pueden afectar al correcto funcionamiento del sistema diseñado. A continuación, se nombra más detalladamente estas.

2.3.1 Dificultades causadas por el vacío.

Uno de los problemas que puede ocurrir cuando están expuestos al vacío algunas partes del circuito puedan explotar según la calidad del componente. Y otro problema, igual de importante, es la refrigeración de estos componentes. Ya que como no existe atmósfera no se puede utilizar enfriamiento por convección. Las soluciones a este problema serían la disipación de calor por conducción y por radiación.

2.3.2 Problemas debidos a cambios bruscos de temperatura.

Con grandes variaciones térmicas los componentes se dilatan y se contraen produciendo grietas en el circuito, que afectarían al funcionamiento o en casos extremos la destrucción de este. Los cambios de temperatura provocan variaciones en las características de los circuitos, algunos de los efectos más comunes son la variación en la velocidad de respuesta de los componentes y alteraciones en las tensiones de *offset* del circuito (1).

2.3.3 Problemas debido a la radiación.

En el espacio alrededor del planeta Tierra existen Los cinturones de *Van Allen*, como se muestra en la siguiente figura, se tratan de zonas de la magnetosfera (500-60.000 km de altitud respecto a la Tierra) donde se concentran partículas cargadas. Estos cinturones son áreas en forma de anillo en las que gran cantidad de protones y electrones se están moviendo en espiral entre los polos magnéticos del planeta Tierra. Estos cinturones se estructuran en dos uno interior que está a unos 1.000 km por encima de la superficie de la Tierra y se extiende por encima de los 5.000 km; por su parte, el cinturón exterior se extiende desde aproximadamente 15.000 km hasta los 20.000 km. (9)

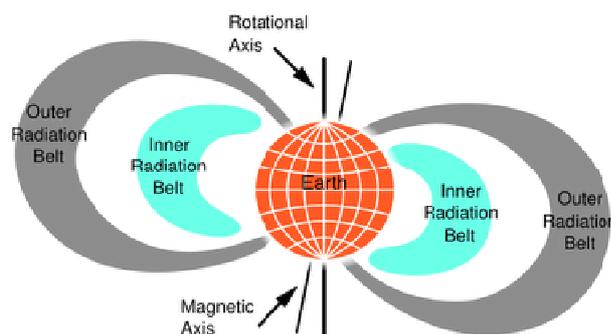


Fig. 6: Cinturones de Van Allen (1).

Los efectos de la radiación se pueden dividir en dos clases acumulativas y no acumulativas. Los efectos acumulativos afectan incluso después de la radiación y conforme se aumentan se va acentuando este efecto, incluso si después de una radiación hay una nueva exposición de radiación se le suma al anterior esta nueva exposición. Los efectos no acumulativos son aquellos que después de una exposición de radiación desaparecen, al

contrario que en el caso de los efectos acumulativos. A continuación, se muestran los tipos de efectos tanto acumulativos como no acumulativos (1).

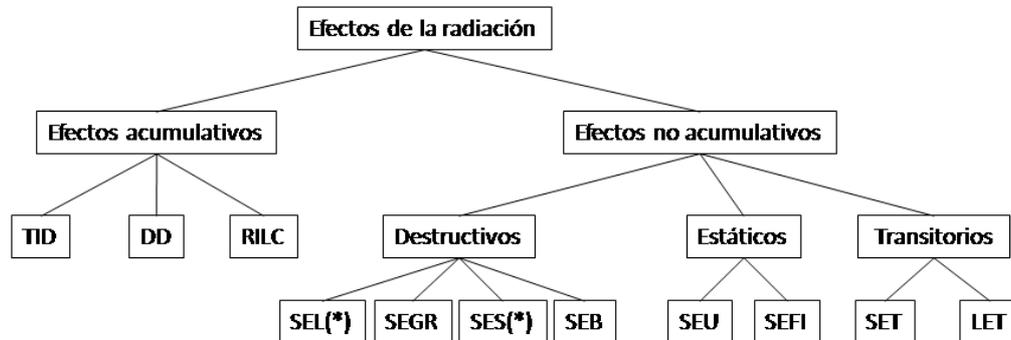


Fig. 7: Clasificación de los efectos de la radiación, (*) en el caso que no exista limitación de corriente (1).

A continuación se comenta los parámetros de medición de la radiación.

- Transferencia lineal de la energía (*Linear Energy Transfer*) o LET, es la energía transferida al circuito por unidad de longitud, cuando una partícula ionizante atraviesa el material. Este valor es de extrema importancia en la caracterización de un circuito que se destine a funcionar en un ambiente en el que exista radiación. Se mide en MeV cm²/mg (Silicio). Sirve para determinar los valores de los efectos *Single Event Upset* (SEU) y los efectos destructivos.
- Flujo, número de partículas por ángulo sólido y área por unidad de tiempo. (iones/cm² estereorradián s)
- Dosis total de ionización (TID, *Total Ionization Dose*). Energía acumulada que soporta un determinado circuito. Depende del material. (RAD (Silicio), *Radiation Absorbed Dose*)
- Dosis de radiación por unidad de tiempo (*Dose rate*). Energía soportada por unidad de tiempo. (RAD (Silicio)/ s) (10).

En las siguientes tablas se comentan los efectos acumulativos como los no acumulativos de forma resumida. Se hace una descripción de cada uno de ellos, se describen los problemas y consecuencias conlleva cada tipo de radiación y sus posibles soluciones para que no afecte o que sus efectos sean mínimos.

Tabla 3: Efectos acumulativos de la exposición a la radiación de dispositivos electrónicos (1).

Efecto	Descripción	Problema	Efecto del problema	Solución o Solución para reducir el problema
Total Ionizing Dose (TID)	Las cargas que atraviesan se acumulan en el dióxido de silicio en los transistores	Aumenta la tensión de umbral (<i>threshold</i>) de los dispositivos	Cambia las características del circuito	Aislar los componentes
		Puede causar ionización entre dos transistores	Cuando la ionización llegan a valores críticos, puede cortocircuitar	Aislar los componentes y/o aumentar el grosor del dióxido de silicio
Displacement Damage (DD)	Cambio en la estructura atómica del silicio, afecta particularmente a transistores bipolares	Aparece y va aumentando una corriente de recombinación cuando el transistor esta polarizado.	Afecta a la ganancia del transistor, afectando al circuito	
Radiation Induced Leakage Current (RILC)	Aparecen corrientes de fugas entre el drenador (<i>drain</i>) y el surtidor (<i>source</i>) en los transistores NMOS. También, ocurre entre dos NMOS adyacentes.	Las cargas positivas que se quedan en el dióxido de silicio atraen a las carga negativas.	Corrientes de fugas que varían el funcionamiento del circuito	Utilizando transistores <i>Enclosed Layout Transistor</i> , que entre el drenador y el surtidor no existe dióxido de silicio, excepto en la zona de la puerta (<i>gate</i>). Y en el caso de transistores adyacentes, se evita con el anillo de guarda.

Tabla 4: Efectos no acumulativos de la radiación espacial en los circuitos electronicos (1).

Tipo	Efecto	Descripción	Efecto	Problema
Destructivo	Single Event Latch-up (SEL)	Se da cuando no hay limitación de corriente en la entrada. Es cuando el paso de una partícula carga en los transistores parásitos. Hace que ambos entren en saturación.	Hace que ambos transistores entren en saturación	Cortocircuito en la alimentación.
	Single Event Gate Rupture (SEGR)	Se produce cuando los transistores MOS están desconectados y con valor tensión entre la puerta y el surtidor y atraviesa un carga	Se deja en su interior carga depositadas va a descolocar para la puerta o el surtidor según su polaridad.	El transistor entra en corte y existe un campo eléctrico elevado en esta zona. Que debido a la acumulación de cargas el campo puede ser lo suficientemente elevado para romper el dieléctrico
	Single Event Snapback (SES)	Afecta a la tecnología SOI. Cuando la zona activa es fina y una partícula cargada atraviesa esta zona y no existe limitación de corriente en el transistor		Se destruye el transistor

Tabla 5: Continuación de los efectos no acumulativos (1).

Tipo	Efecto	Descripción	Problema	Solución
Destructivo	Single Event Burnout (SEB)	Afecta a los transistores MOS y a los bipolares. Cuando estos están en corte y bloque una tensión elevada y son bombardeados por partículas.	Cuando es bombardeado por una partícula genera una corriente transitoria que a los transistores bipolares parásitos de los MOS y transistores bipolares en conducción se descontrolan de tal manera que se destruye los dispositivos.	
Estáticos	Single Event Upset (SEU)	Este evento se caracterizado por el cambio en un estado de un señal digital. Que afecta a los circuitos de memoria. (<i>RAM, latches, biestables, etc.</i>)	Que no funcione adecuadamente el circuito.	
	Single Event Functional Interrupt (SEFI)	Cuando la complejidad de un circuito es grande, y unos bloques dependen de otros y uno de ellos es atravesado por una partícula. Este bloque que ha sido atravesado por una carga deja funcionar y todos los bloques dejen de funcionar.	El circuito deja de funcionar	Intentar minimizar la dependencia de unos bloques de otros.
Transitorios	Single Event Transient (SET)	Cuando en un en un elemento de un circuito digital cambia el nivel lógico debido a que ha sido atravesado por una partícula. Y esta señal errónea es propagada por todo el circuito.	El circuito no funciona adecuadamente	Utilizar circuitos con caminos redundantes para evitar esto.

2.4 Estado del arte de control de convertidores.

El siguiente estudio del arte se basa en la información publicada disponible en los catálogos y fichas técnicas de control de convertidores resistente a radiaciones. Después de algunas investigaciones se encontraron seis fabricantes de este tipo de convertidores. Como se puede observar el control PWM es el que domina el mercado de convertidores aeroespaciales también hay que considerar que algunos dan la posibilidad de utilizar modo tensión o modo corriente. Este mercado en su totalidad está controlado por empresas de Estados Unidos, ya que las empresas estudiadas son de este país.

Tabla 6: Fabricantes estudiados (I).

Fabricante	Modelo	Control	Parámetros Radiactivos	Descripción
Aeroflex (11)	ACT 8631 ACT8632 ACT8633 ACT8634	PWM	TID: 100krad (Si)	Modelos de alta tensión: Pi = 16.0 W, Po= 9.2 W Modelos de baja tensión: Pi = 11.0 W, Po=6.0 W
	PWM5031 PWM5032	PWM	Dosis Total: 1MRad(Si) SEL: inmune a 100MeV-cm2/mg. SEU: 20MeV-cm2/mg	Frecuencia de conmutación de hasta 1Mhz. Control en modo corriente y tensión
Crane Aerospace & Electronics (12)	SMFLHP	PWM		Convertidores de 80 y 100 W Hasta un 87 % de eficiencia del convertidor
	SMFL			Convertidores de 60 W Hasta un 85% de eficiencia del convertidor

Tabla 7: Fabricantes estudiados (II).

Fabricante	Modelo	Control	Parámetros Radiactivos	Descripción
Crane Aerospace & Electronics (12)	SMTR	PWM		Convertidores de 30 W Hasta un 81 % de eficiencia del convertidor
Intersil (13)	HS-1853ARH	PWM	TID : 300krad(Si).	Modo de control corriente y tensión
	IS-1845ASRH		TID : 300krad(Si). SEL: Dieléctrico aislado.	
	IS-1825ASRH		TID : 300krad(Si). Latch-up: Dielectrico aislado. SEU: inmune hasta 35MeV/mg/cm ²	
	IS-825ASRH	PWM		Modo de control corriente
IR (14)	Este fabricante tiene una larga variedad de convertidores.	PWM	Desde 100K rads(Si) hasta 1000K rads(Si)	La eficiencia a carga completa esta entre 64% y 83%.
MDI (15)	Este fabricante tiene una larga variedad de convertidores.	PWM		La eficiencia a carga completa esta entre 55% y 86%.
MSK (16)	5046RH Series	PWM	TID de 450 Krad (Si)	Hasta un 92% de eficiencia en la conversión para la versión de 5 voltios.

2.5 Conclusión.

A la vista del estudio de los documentos mediante libros, documentos, artículos de revista y la comparación entre los distintos métodos, se puede concluir que respecto a la utilización de la conmutación PFM para convertidores, existe poca información y que el tipo de control que se va emplear para el control del convertidor será el propuesto en el documento (1), que combina modulación PFM y PWM. Además, se ha comparado mediante el estudio del arte que en Europa existe una deficiencia en este campo, ya que no se conoce ninguna empresa Europea que fabrique este tipo de convertidores aeroespaciales. Además, se han expuesto en este capítulo los problemas que origina en algunos casos la exposición de circuitos electrónicos a la radiación y como solventar o minimizar sus efectos.

3 Circuito de Control.

En este capítulo se va a mostrar, el diseño y las partes en las que han sido diseñadas el circuito de control de potencia. El diseño realizado y estudiado e implementado en Verilog-AMS, para comprobar su correcto funcionamiento ha sido el que se muestra en la siguiente figura.

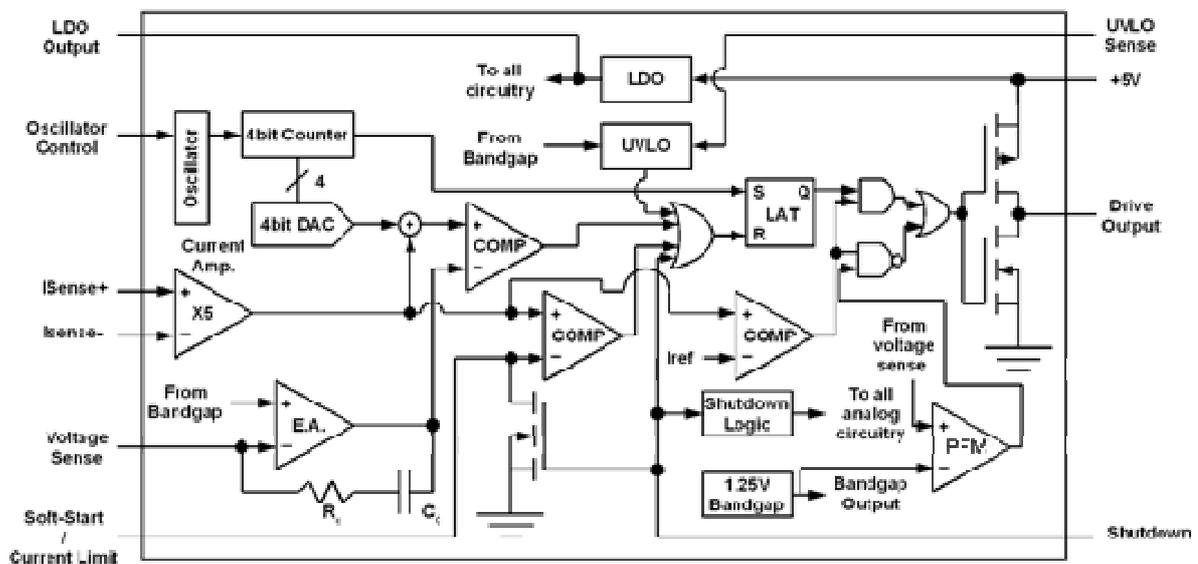


Fig. 8: Diagrama de bloques del circuito proyectado.

Este diseño ha sido simulado mediante una etapa de potencia de un *Buck*, mientras que en el documento (1) se propone la utilización de una topología *Forward*. Se ha empleado la topología *Buck* por que la topología *Forward* deriva de esta (4). El *Buck* que se ha utilizado es el mismo que se emplea en documento (1) haciendo una modificación en el valor de la resistencia que está en serie con la bobina, ya que esta resistencia se utiliza para sensar la intensidad que atraviesa la bobina para hacer el control modo corriente, con lo que afecta al valor de la ganancia del sensor de forma que la ganancia del sensor no sea tan grande. Esto se explica con mayor detalle en el apartado referido al sensor de corriente. La topología del *Buck* que se emplea para la verificación del control con los valores de sus componentes es el que se muestra en la siguiente figura.

El control, además de regular a una tensión de salida, tiene que controlar que la intensidad en la bobina no supere un cierto valor, y ser capaz de que cuando la intensidad en la bobina decae entre unos valores cambiar de modulación de PFM a PWM como se propuso en el documento (1). La justificación del cambio de PFM a PWM cuando decae la intensidad en la bobina se debe a motivos de eficiencia en la conversión, esto se comentara detalladamente en

el apartado referido al bloque de PFM. Los valores que han de controlarse en la etapa de potencia mediante el control son los que se muestran en la siguiente tabla.

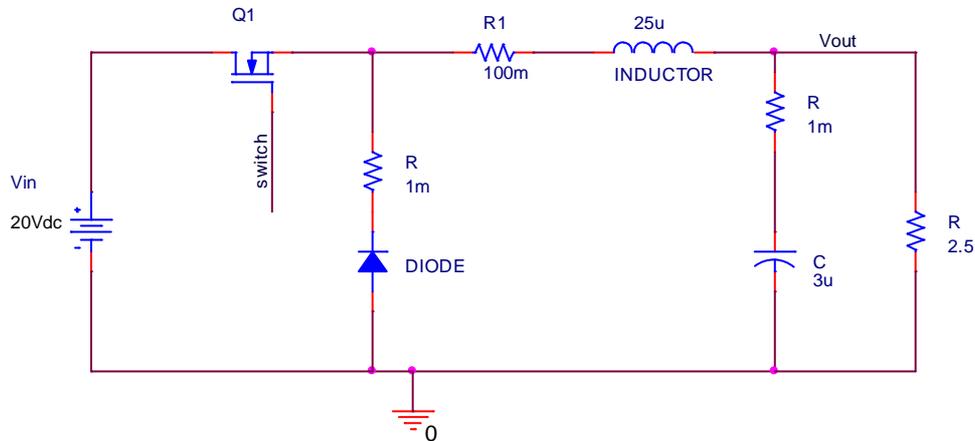


Fig. 9: Circuito *Buck* que permite la conversión de 20 Voltios a 5 Voltios.

Tabla 8: Principales características del conversor.

Características	Valor
Tensión de entrada	20 V
Tensión de salida	5 V
Limite de corriente en la bobina	2.5 A
Frecuencia de conmutación	1Mhz

El sistema de control ha sido diseñado de tal manera que para obtener la señal que controla el interruptor primero se suma la señal que proviene del sensor de corriente con la rampa artificial, para después compararla con la señal del amplificador de error, en la Fig. 5 se explica esto de manera esquemática. Este sistema de control se ha diseñado como si se tratase de un modulador PWM cuya salida de control es una señal en PWM, con la peculiaridad de que cuando decae la intensidad cambia a modulación PFM y el control vuelve a cambiar a modo PWM, cuando la intensidad de la bobina ha superado un margen. A continuación, se describirá cada parte del circuito de control diseñado e implementado más detalladamente.

3.1 Amplificador de error.

Para la realización del amplificador de error ha sido posible hacer un análisis de la estabilidad del conversor, para poder diseñar el amplificador de error. En este caso se ha empleado el modelo de Ridley. A continuación se muestra el análisis y las condiciones llevadas a cabo para su diseño, realizando esto mediante la herramientas de Matlab® mediante el lenguaje propio de Matlab®, lenguaje M, éste se encuentra en el anexo. Este diseño se

realizado mediante el documento (4). Se muestra en el anexo el fichero realizado para el cálculo y dimensionamiento de este componente. Este diseño se ha realizado según los valores del *Buck* propuesto. Durante el análisis y diseño de este se utilizarán los siguientes valores, algunos de ellos provienen de las características del convertor y del circuito de la Fig. 9.

Tabla 9: Principales características del convertor.

Parámetro	Valor	Parámetro	Valor	Parámetro	Valor
R	2.5 Ω	L	25·10 ⁻⁶ H	V _o	5 V
R _c	1·10 ⁻³ Ω	C	3·10 ⁻⁶ F	R _i	1 Ω
R _l	0.1 Ω	V _i	20 V	T _s	1·10 ⁻⁶ hz

De la tabla anterior, el valor de R_i se trata de la ganancia del sensor corriente, que es el cociente entre la tensión de salida del sensor de corriente y la corriente sensada del circuito de potencia, este se mide en ohmios y viene dada por la siguiente ecuación. Este valor será útil para el dimensionamiento de los componentes del sensor de corriente, que se explicara con más detalle en su apartado.

$$R_i = \frac{V_{out\ sensor}}{I_{sw}} \quad (1)$$

Un modelo de pequeña señal de control modo corriente muy ajustado a los resultados prácticos, y que además aprovecha el modelo del conmutador PWM, es la que se muestra en la siguiente figura.

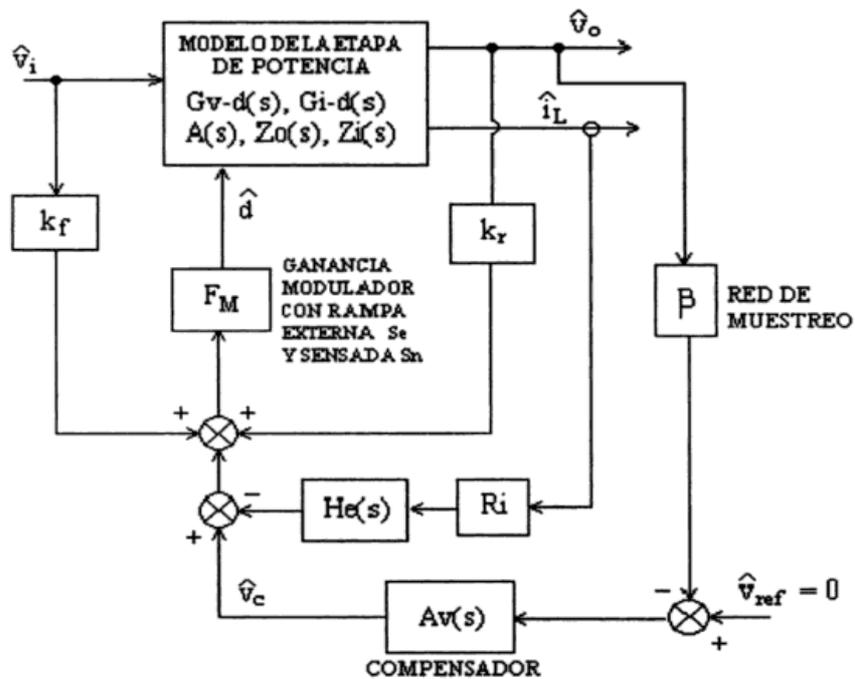


Fig. 10: Modelo de pequeña señal del control CIC (4).

En el modelo de la figura anterior aparecen los términos siguientes:

La ganancia de prealimentación k_f y la ganancia de pre alimentación k_r , estas dos ganancias no son imprescindibles para el análisis del lazo de control.

La ganancia de muestreo $H_e(S)$, sí que es muy importante en el análisis del lazo interno de corriente, sobre todo por motivos de estabilidad. Esta ganancia añade al lazo de corriente 2 ceros complejos conjugados de fase no mínima en la mitad de la frecuencia de conmutación.

$$H_e(s) = 1 + \frac{S}{Q_z \cdot \omega_z} + \frac{S^2}{\omega_z^2} \quad (2)$$

$$\omega_z = \frac{\pi}{T_z}; Q_z = -\frac{2}{\pi} \quad (3)$$

En nuestro caso, tomaremos el valor $f_s = 1\text{MHz}$, $T_s = 1 \cdot 10^{-6}$ s, por lo que la ganancia de muestreo tiene la siguiente expresión:

$$H_e(s) = \frac{2 \cdot 10^6 S^2 - 9.87 \cdot 10^{12} S + 1.974 \cdot 10^{19}}{1.974 \cdot 10^{19}} \quad (4)$$

Las siguientes figuras muestran las curvas de Bode y del lugar de los polos en el plano complejo $H_e(s)$. Hay que apuntar que los polos están en el semiplano derecho, por lo que se trata de polos de fase no mínima. Estos polos dan ciertos problemas de inestabilidad pues añaden fase negativa, como se muestra en estas figuras.

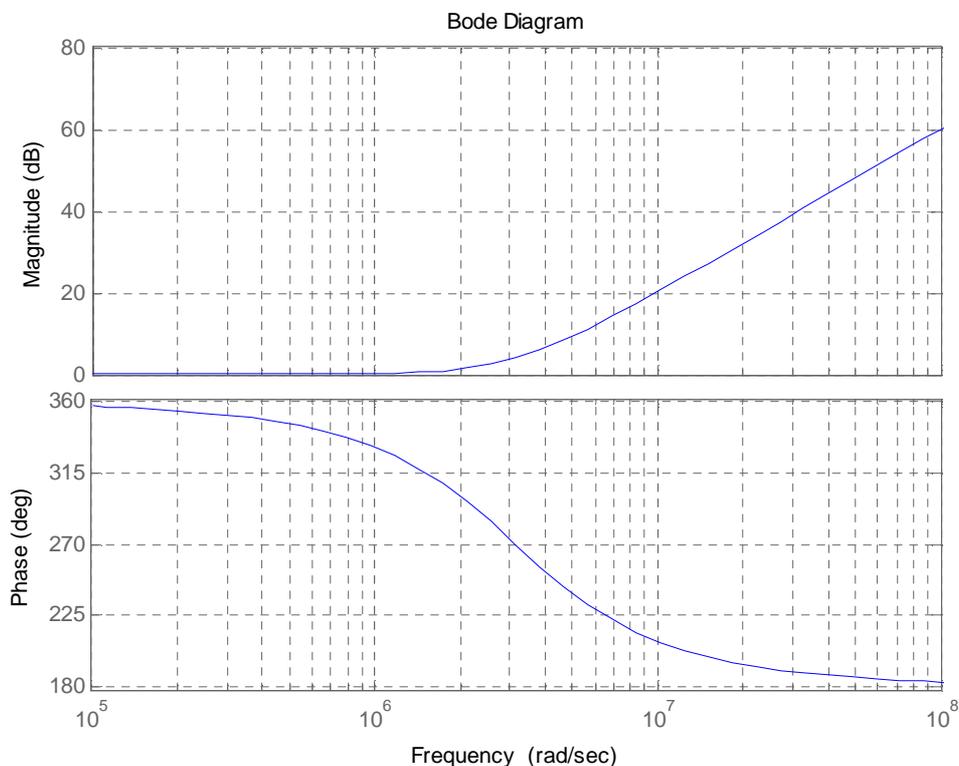


Fig. 11: Diagrama de Bode de $H_e(s)$.

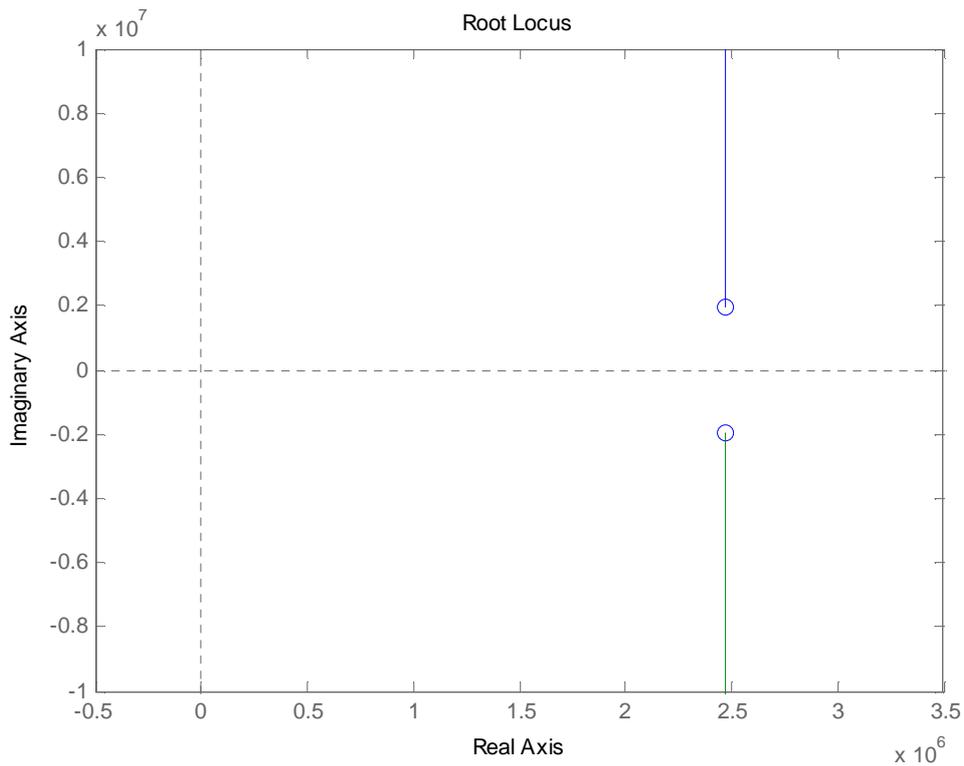


Fig. 12: Lugar de los ceros de $H_e(s)$.

Hay que tener en cuenta la ganancia del modulador PWM (F_m) que depende de la pendiente de la rampa sensada S_n , como de la pendiente de la rampa externa de compensación o rampa artificial. La ecuación de la expresión de la ganancia del modulador es la siguiente.

$$F_M = \frac{1}{(S_n + S_e) \cdot T_s} = \frac{1}{m_c \cdot S_n \cdot T_s} \quad (5)$$

$$m_c = 1 + \frac{S_e}{S_n} \quad (6)$$

De la ecuación anterior S_n es la pendiente de la rama sensada (tras pasar por el sensor de corriente), S_e es la pendiente de la rampa externa de estabilización, y m_c es un factor que evalúa el grado de estabilización por rampa externa que se utiliza. El valor que se suele tomar de m_c es entre 1.5 y 2, son valores que aseguran estabilidad (4). En este diseño se escogerá una m_c de valor 1.5. La rampa sensada S_n , se calcula a partir de la siguiente ecuación.

$$S_n = \frac{V_i - V_o}{L} R_i = \frac{20 - 5}{25 \cdot 10^{-6}} \cdot 1 = 600 \cdot 10^3 \quad (7)$$

A partir del valor calculado de la rampa sensada, el factor m_c y teniendo en cuenta que hemos considerado $T_s = 1 \cdot 10^{-6}$ s. Se puede calcular la ganancia del modulador y la inclinación de la rampa artificial, como se muestra a continuación, que será importante a la hora de diseñar el bloque que genera la rampa de compensación.

$$F_M = \frac{1}{m_c \cdot S_n \cdot T_s} = \frac{1}{1.5 \cdot 600 \cdot 10^3 \cdot 1 \cdot 10^{-6}} = 1.1111 \quad (8)$$

$$\text{si } S_n = 600 \cdot 10^3 \quad \text{y} \quad m_c = 1.5 \rightarrow m_c = 1 + \frac{S_e}{S_n} \rightarrow S_e = 300 \cdot 10^3 \quad (9)$$

En nuestro caso, al tratarse de un control *Buck*, su modelo en pequeña señal es el que se muestra en la siguiente figura, donde solo se ha representado el lazo interno de corriente.

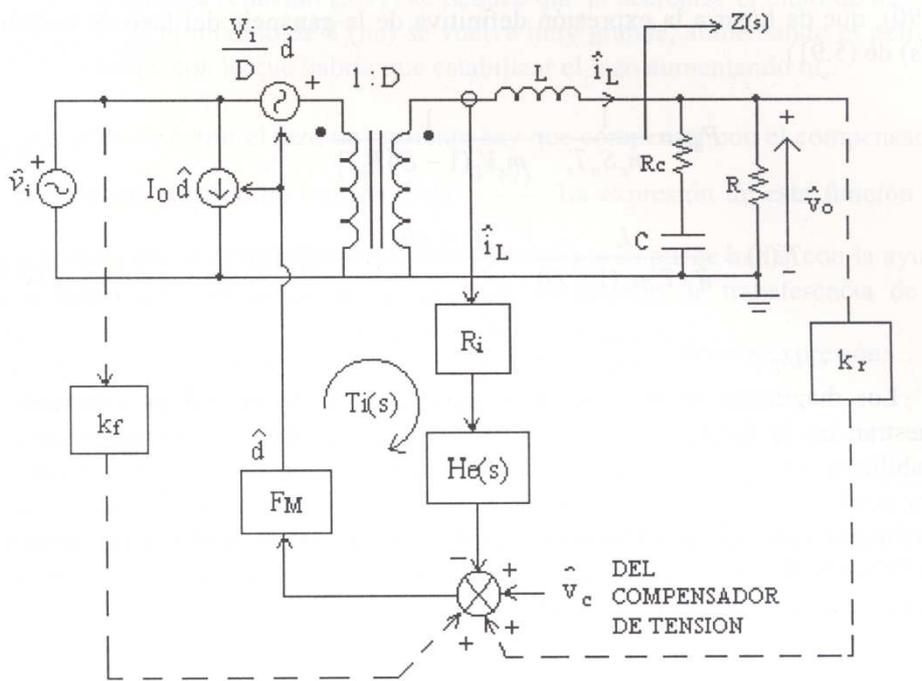


Fig. 13: Lazo de corriente CIC del Buck en conducción continua (4).

A continuación se presentara las funciones de transferencia más significativas despreciando los términos \$k_f\$ y \$k_r\$. La ganancia de lazo \$T_i(s)\$ del lazo de corriente toma la expresión de la ecuación.

$$T_i(s) = G_{i-d}(s) \cdot H_e(s) \cdot R_i \cdot F_M \quad (10)$$

Siendo

$$G_{i-d}(s) = \frac{V_i}{R} \cdot \frac{(1 + sRC)}{\frac{S^2}{\omega_n^2} + \frac{S}{Q \cdot \omega_n} + 1} = \frac{2 \cdot 10^6 s + 2.667 \cdot 10^{11}}{2.5S^2 + 3.334 \cdot 10^5 S + 3.333 \cdot 10^{10}} \quad (11)$$

$$\omega_n = \frac{1}{\sqrt{L \cdot C}} = 1.1547 \cdot 10^5 \text{ rad/sec} \quad (12)$$

$$Q = \frac{1}{2 \cdot \xi} = 0.8658 \quad (13)$$

$$\xi = \frac{1}{2 \cdot \omega_n} \cdot \left(\frac{1}{R \cdot C} + \frac{R_c}{L} \right) = 0.5775 \quad (14)$$

Una vez que se obtienen estos valores como resultado se obtiene.

$$T_i(s) = G_{i-d}(s) \cdot H_e(s) \cdot R_i \cdot F_M$$

$$T_i(s) = \frac{4.444 \cdot 10^{12} s^3 - 2.134 \cdot 10^{19} s^2 + 4.09 \cdot 10^{25} + 5.85 \cdot 10^{30}}{4.935 \cdot 10^{19} s^2 + 6.582 \cdot 10^{24} s + 6.58 \cdot 10^{29}} \quad (15)$$

El diagrama de bode del lazo $T_i(s)$, lazo de corriente es la que se muestra en la siguiente figura. Como se puede observar el lazo de corriente es estable, ya que el margen de fase es superior a 50° y se considera aceptable el margen de fase que da como resultado 63.3° .

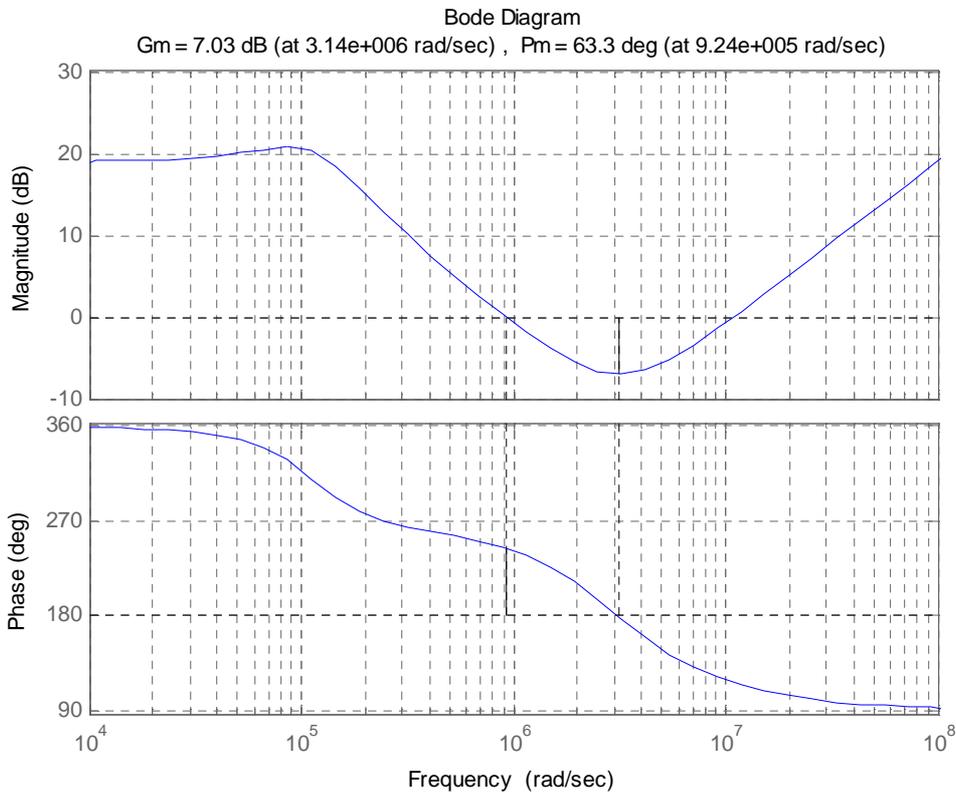


Fig. 14: Diagrama de Bode de $T_i(s)$.

Después de cerrar el lazo de corriente hay que compensar con el compensador de tensión una función de transferencia $\hat{V}_o(s)/\hat{V}_c(s)$. La expresión de esta función de transferencia que resulta de cerrar el lazo de corriente se puede hallar con la ayuda de la siguiente figura, de la que se deduce que la función de transferencia de la corriente en el inductor frente a la tensión de control tiene la expresión:

$$\frac{\hat{i}_L(s)}{\hat{v}_c(s)} = \frac{F_M \cdot G_{i-d}(s)}{1 + T_i(s)}$$

$$\frac{\hat{i}_L(s)}{\hat{v}_c(s)} = \frac{9.8696 \cdot 10^{12}(s + 1.33 \cdot 10^5)(s^2 + 1.33 \cdot 10^5 + 1.33 \cdot 10^{10})}{(s + 1.498 \cdot 10^5)(s^2 + 1.33 \cdot 10^5 + 1.33 \cdot 10^{10})(s^2 + 6.152 \cdot 10^6 + 9.771 \cdot 10^{12})} \quad (16)$$

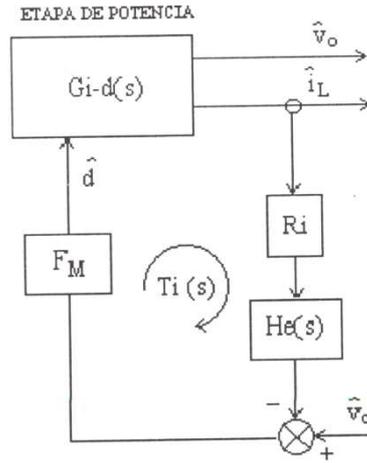


Fig. 15: Lazo de corriente (4).

Para pasar ésta ecuación a una de la siguiente forma $\hat{V}_o(s)/\hat{V}_c(s)$ basta con multiplicar por la impedancia $Z(s)$, pues $\hat{V}_o(s) = \hat{i}_L(s) \cdot Z(s)$

La expresión de $Z(s)$ es:

$$Z(s) = \left(R_c + \frac{1}{C \cdot s} \right) // R = \frac{1.875 \cdot 10^{-5}s + 2.5}{7.503 \cdot 10^{-6}s + 1} \quad (17)$$

Aplicando estas dos ecuaciones resulta:

$$\frac{\hat{v}_o(s)}{\hat{v}_c(s)} = \frac{\hat{i}_L(s)}{\hat{v}_c(s)} Z(s) = \frac{F_M \cdot G_{i-d}(s) \cdot Z(s)}{1 + T_i(s)}$$

$$\frac{\hat{v}_o(s)}{\hat{v}_c(s)} = \frac{2.466 \cdot 10^{13}(s + 1.33 \cdot 10^5)(s^2 + 1.33 \cdot 10^5 + 1.33 \cdot 10^{10})}{(s + 1.498 \cdot 10^5)(s + 1.33 \cdot 10^5)(s^2 + 1.33 \cdot 10^5 + 1.33 \cdot 10^{10})(s^2 + 6.152 \cdot 10^6 + 9.771 \cdot 10^{12})} \quad (18)$$

A continuación se muestra el diagrama de bode $\hat{V}_o(s)/\hat{V}_c(s)$ como se puede observar al haber escogido un valor de $m_c=1.5$ se obtienen una respuesta lineal (suave), de primer orden y con una frecuencia de corte (ω_c) cercana a la frecuencia de resonancia (ω_n).

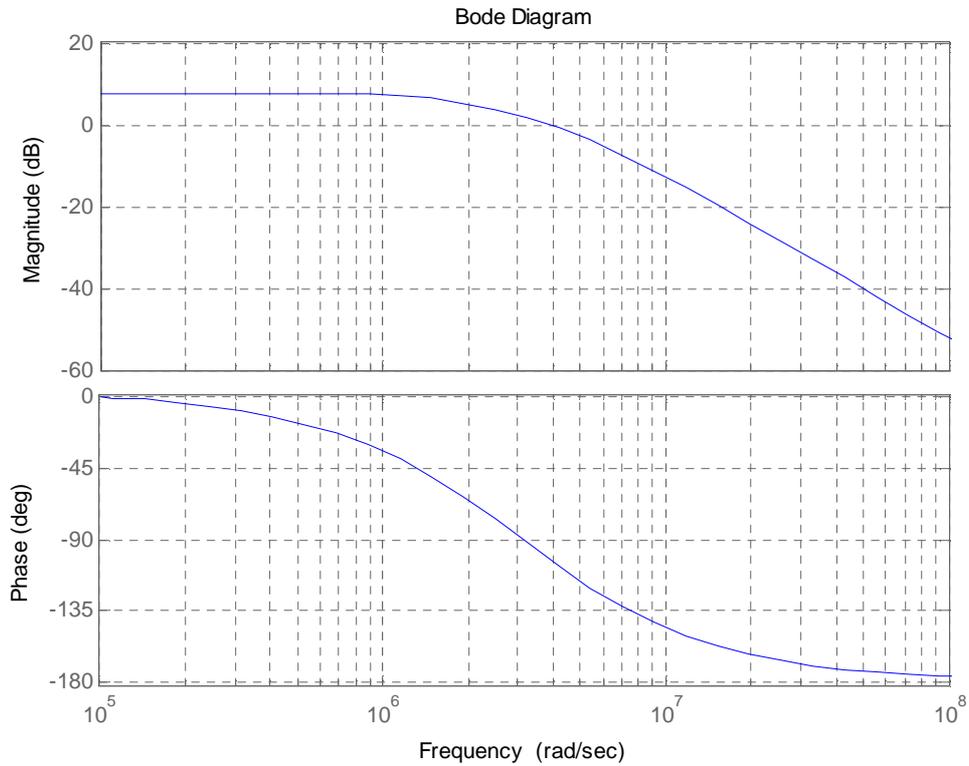


Fig. 16: Diagrama de Bode de la tensión de salida frente a la tensión de control.

Para diseñar el lazo externo de tensión conviene apoyarse en la siguiente figura, en la que aparecen la red de muestreo β y el compensador de tensión $A_v(s)$. La ganancia de lazo del lazo externo de tensión $T_v(s)$ toma la expresión.

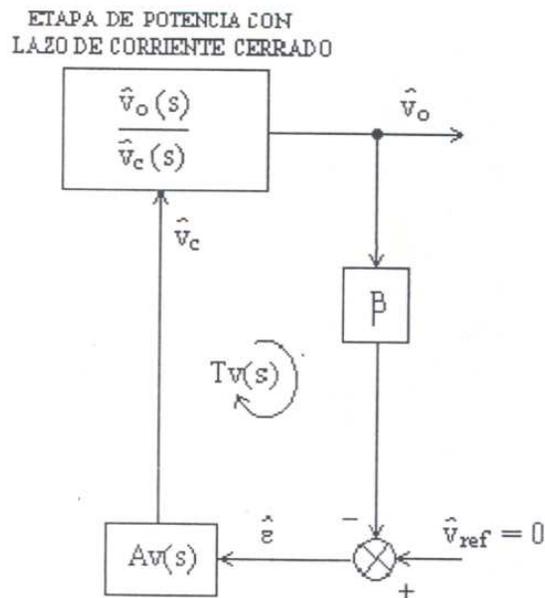


Fig. 17: Lazo externo de tensión (4).

$$T_v(s) = \frac{\hat{v}_o(s)}{\hat{v}_c(s)} \cdot A_v(s) \cdot \beta \quad (19)$$

De esta ecuación la red de muestreo β en régimen permanente corresponde a la siguiente ecuación, esta red de muestreo será diseñada e incluida en el circuito. Se comentara más detalladamente en el apartado referido a la red de muestreo.

$$v_{ref} = \beta \cdot v_o \quad (20)$$

En nuestro caso $V_{ref} = 1.235$ y $V_o=5$, así que:

$$\beta = 0.2470 \quad (21)$$

El compensador de tensión que se elige en el control modo corriente suele tener la siguiente función de transferencia.

$$A_v(s) = \frac{\omega_i \cdot \left(1 + \frac{s}{\omega_{z1}}\right)}{s \cdot \left(1 + \frac{s}{\omega_{p1}}\right)} \quad (22)$$

El procedimiento de diseño del regulador para el control:

1. Elegir ω_{z1} por debajo de ω_n de la etapa de potencia, la condición es $\omega_{z1} < \omega_n$, para ello escogemos una $\omega_{z1} = 10000$. Siendo $\omega_n = 1.1547 \cdot 10^5$. Cuanto más cercano al valor de ω_{z1} a la frecuencia de resonancia ω_n . Menor es el tiempo de establecimiento del sistema, es decir, en menor tiempo llega a régimen permanente.

2. Elegir ω_{p1} que sea menor de:
 - a. Que el cero de la ESR:

$$\omega_a = \frac{1}{R_c \cdot C} = 3.333 \cdot 10^8 \text{ rad/s} \quad (23)$$

- b. Que la mitad de la frecuencia de conmutación.

$$\omega_b = \frac{\omega_s}{2} = 3.1416 \cdot 10^6 \text{ rad/s} \quad (24)$$

Después de esto escogemos un valor menor que las dos frecuencias, para ello escogemos una $\omega_{p1} = 3 \cdot 10^6$ rad/s.

3. Se ajusta la ganancia ω_i para que el margen de fase supere los 50° en ganancia en $T_v(s)$. Para ello se ajustado a $\omega_i = 32000$ rad/s.

Después de esto tenemos un compensador que se rige por la ecuación. En la siguiente gráfica se presenta el diagrama de bode del compensador de tensión $A_v(s)$.

$$A_v(s) = \frac{\omega_i \cdot \left(1 + \frac{s}{\omega_{z1}}\right)}{s \cdot \left(1 + \frac{s}{\omega_{p1}}\right)} = \frac{9.6 \cdot 10^6 (s + 1 \cdot 10^4)}{s(s + 3 \cdot 10^6)} \quad (25)$$

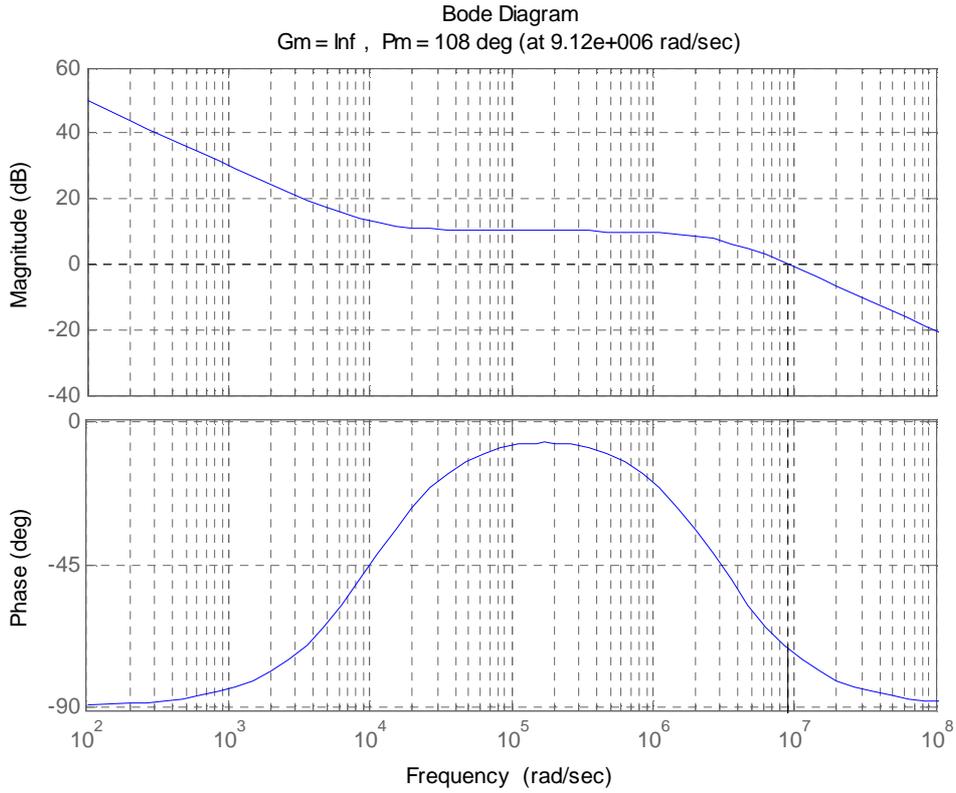


Fig. 18: Diagrama de bode del compensador diseñado $A_v(s)$.

A partir del compensador calculado $A_v(s)$, la función de transferencia de lazo del lazo externo de tensión $T_v(s)$ es:

$$T_v(s) = \frac{\hat{v}_o(s)}{\hat{v}_c(s)} \cdot A_v(s) \cdot \beta \quad (26)$$

$$\frac{6.4982 \cdot 10^{19}(s + 1.33 \cdot 10^5)^2(s^2 + 1.33 \cdot 10^5 + 1.33 \cdot 10^{10})(s + 1 \cdot 10^5)}{s(s + 3 \cdot 10^6)(s + 1.498 \cdot 10^5)(s + 1.33 \cdot 10^5)(s^2 + 1.33 \cdot 10^5 + 1.33 \cdot 10^{10})(s^2 + 6.152 \cdot 10^6 + 9.771 \cdot 10^{12})} \quad (27)$$

A continuación, se muestra su diagrama de bode que como se puede verificar supera el margen de fase de 50° establecido como condición para calcular el parámetro ω_1 del compensador de tensión. Además, el margen de fase del lazo de tensión se encuentra en un margen de fase aceptable, cuyo valor es 59.5° . Se observa también que tiene un margen de ganancia de 11 dB.

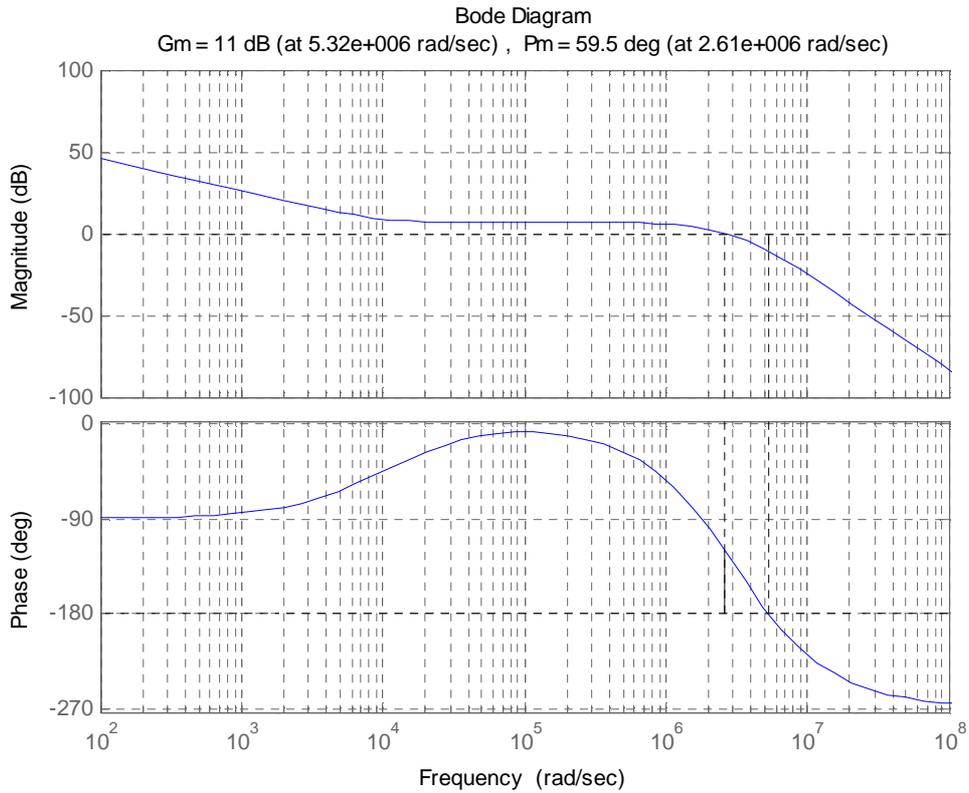


Fig. 19: Ganancia de lazo del lazo de tensión en modo corriente.

A continuación se va a diseñar el compensador de tensión. Se puede implementar la función de transferencia que se ha calculado anteriormente, mediante el circuito de la siguiente figura, basado en un amplificador operacional (3)

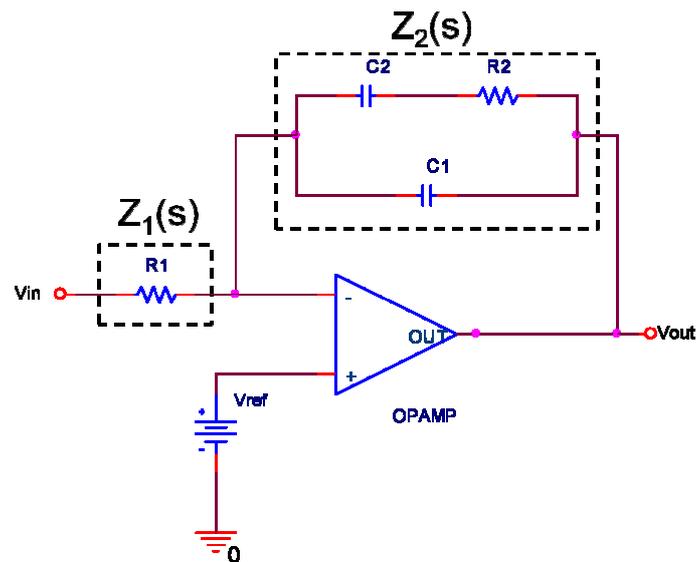


Fig. 20: Implementación del compensador de tensión.

La función de transferencia de este amplificador de error es (3):

$$A_v(s) = \frac{Z_2(s)}{Z_1(s)} = \frac{(1 + R_2 \cdot C_2 \cdot s)}{s \cdot R_1(C_1 + C_2) \left(R_2 \cdot \frac{C_2 \cdot C_1}{(C_1 + C_2)} \cdot s + 1 \right)} \quad (28)$$

Si suponemos $C_2 \gg C_1$, se obtiene (3):

$$A_v(s) = \frac{Z_2(s)}{Z_1(s)} = \frac{(1 + R_2 \cdot C_2 \cdot s)}{s \cdot R_1(C_1 + C_2)(1 + R_2 \cdot C_1 \cdot s)} \quad (29)$$

Igualando las dos ecuaciones tenemos:

$$A_v(s) = \frac{Z_2(s)}{Z_1(s)} = \frac{(1 + R_2 \cdot C_2 \cdot s)}{s \cdot R_1(C_1 + C_2)(1 + R_2 \cdot C_1 \cdot s)} = \frac{\omega_i \cdot \left(1 + \frac{s}{\omega_{z1}}\right)}{s \cdot \left(1 + \frac{s}{\omega_{p1}}\right)} = \frac{9.6 \cdot 10^6(s + 1 \cdot 10^4)}{s(s + 3 \cdot 10^6)} \quad (30)$$

$$\omega_{z1} = \frac{1}{C_2 \cdot R_2} \rightarrow C_2 = 1nF \rightarrow R_2 = \frac{1}{\omega_{z1} \cdot C_2} = \frac{1}{10000 \cdot 1nF} = 100k\Omega \quad (31)$$

$$\omega_{pi} = \frac{1}{C_1 \cdot R_2} \rightarrow R_2 = 10k\Omega \rightarrow C_1 = \frac{1}{\omega_{pi} \cdot R_2} = \frac{1}{1 \cdot 10^5 \cdot 100k} = 3.33pF \quad (32)$$

$$\omega_i = \frac{1}{R_1(C_1 + C_2)} \rightarrow C_2 = 1nF \text{ y } C_1 = 3.33pF \rightarrow R_1 = \frac{1}{\omega_i \cdot C_2} = \frac{1}{32000 \cdot (1nF + 3.33pF)} = 31146\Omega \quad (33)$$

El circuito una vez dimensionado es el siguiente:

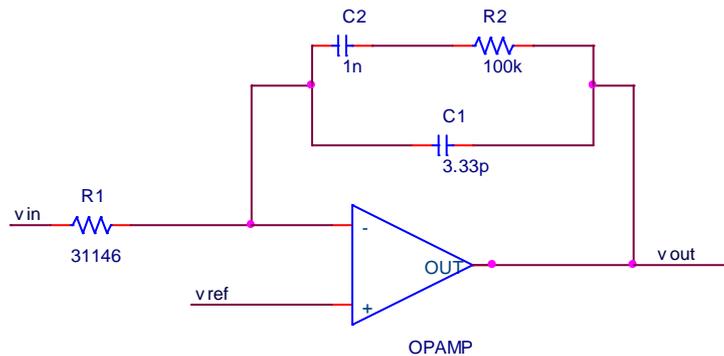


Fig. 21: Circuito implementado con los valores calculados.

3.2 Arranque Suave

El objetivo del arranque suave es hacer que aumente lentamente la corriente y evitar el pico de corriente en el arranque. Además, de limitar la corriente a 2.5 A en la bobina. Esto se consigue mediante el aumento lentamente del tiempo del pulso a nivel lógico activo que

controla el convertor, en nuestro caso a un nivel de 3.3 de voltaje, en el que se encuentra el pulso en On, este pulso controla el interruptor del convertor.

Para conseguir esto lo que se hizo es comparar la señal que se obtiene a la salida del sensor de corriente con una "rampa". Realmente, se trata de una exponencial inversa. Esta exponencial inversa se realiza mediante un circuito RC, en la que se aprovecha la propiedad de carga del condensador. El circuito que se empleo fue el que se muestra en la siguiente figura.

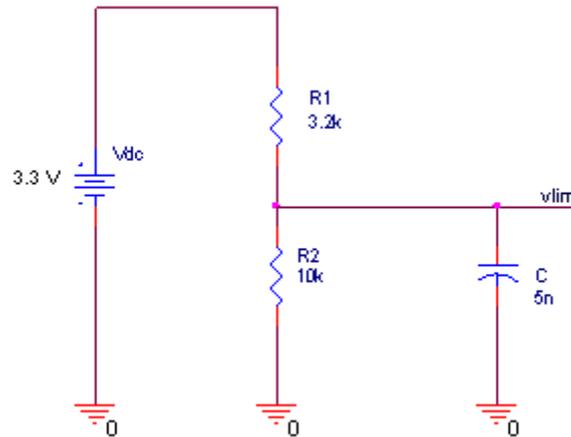


Fig. 22: Circuito empleado para la generación de la exponencial inversa.

Para el cálculo de los componentes de este circuito. La tensión en régimen permanente de la señal de salida (v_{lim}) es 2.5 V, ya que la máxima tensión que se obtiene del sensor de corriente y la que se ha de limitar es esta, con esta condición se ha calculado las resistencias teniendo en cuenta que la tensión de entrada es de 3.3 V. Como se muestra a continuación.

$$V_{lim} = \frac{R_2 \cdot V_{dc}}{R_1 + R_2} \rightarrow V_{dc} = 3.3 \text{ V}, V_{lim} = 2.5 \text{ V y } R_2 = 10\text{K} \rightarrow R_1 = 3200 \quad (34)$$

El condensador determinará el tiempo de duración del arranque suave, el cálculo de este se muestra a continuación.

$$t_{carga} \approx 6 \frac{R_2 \cdot R_1}{R_1 + R_2} C \rightarrow \text{si } \frac{R_2 \cdot R_1}{R_1 + R_2} = 2424.24 \text{ y } C = 5\text{nF} \rightarrow t_{carga} \approx 72.72\mu\text{s} \quad (35)$$

A continuación se muestra el resultado del circuito empleado para verificar los cálculos. En el que se observa que después de 72 us llega a la tensión límite de 2.5 voltios

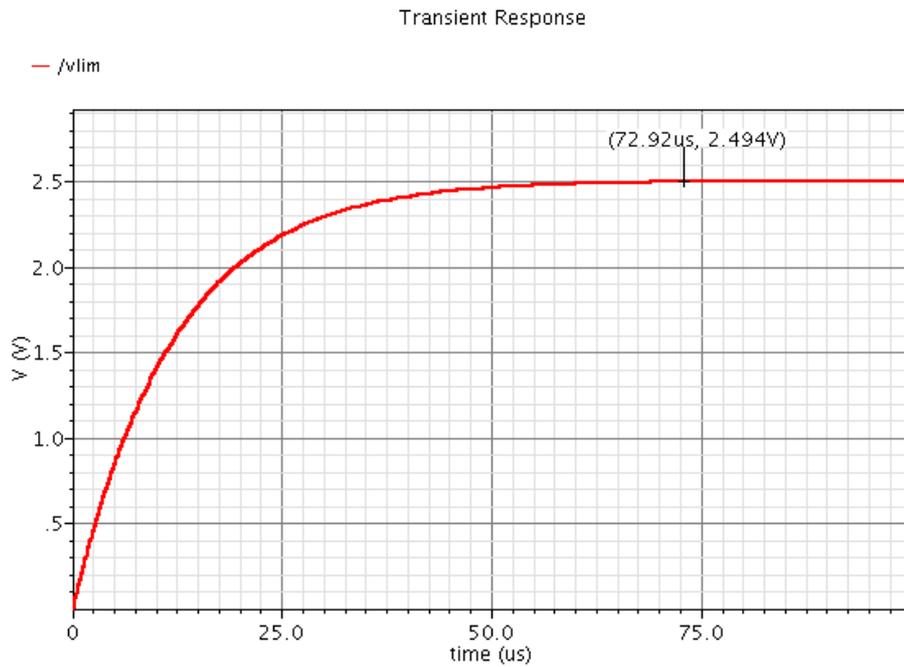


Fig. 23: Resultados en transitorio, para generar la señal deseada para el arranque suave.

Como se ha dicho anteriormente para hacer el arranque suave es necesario comparar la tensión de salida del circuito de arranque suave con la señal que proviene del sensor de corriente. Cuando la señal del sensor sea menor a la de arranque genera un pulso activo hacia el interruptor, en caso contrario no.

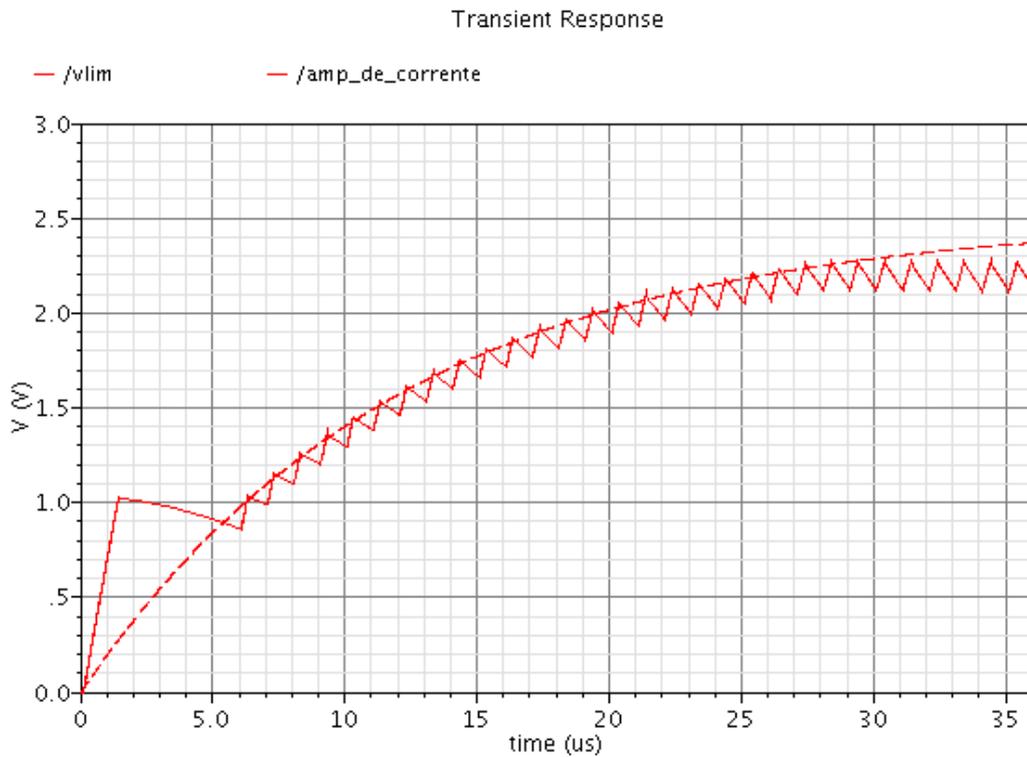


Fig. 24: Señal a la salida del sensor de corriente (amp_de_corrente) en líneas discontinuas y señal a la salida del circuito de arranque (vlim) líneas continuas, en el arranque del convertor.

En la figura anterior se muestra la señal del circuito de arranque (Vlim) con la señal a la salida del sensor de corriente (amp_de_corrente), y en la siguiente figura se muestra la señal de control de conversor (sw), como se puede observa conforme va aumentado el tiempo se prolonga la duración del pulso activo.

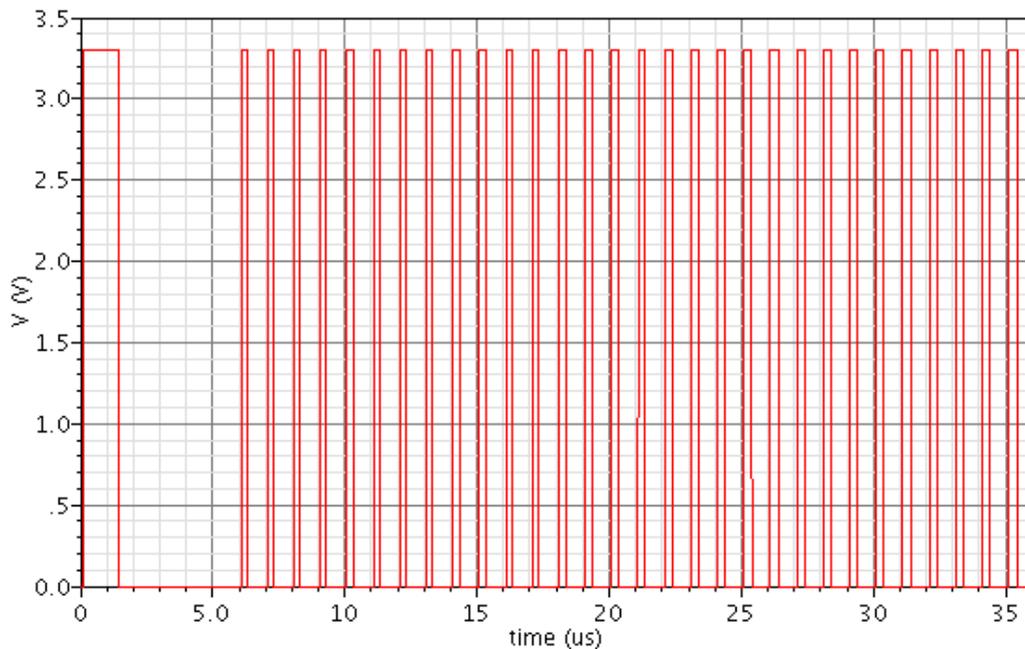


Fig. 25: Señal de control del conversor durante el arranque de este.

3.3 Contador.

El bloque contador se trata de un divisor de frecuencia. Se emplea para generar la señal rampa a la salida y de la frecuencia de conmutación de la señal PWM. El circuito implementado se muestra en la siguiente figura, está basado en Flip Flops D.

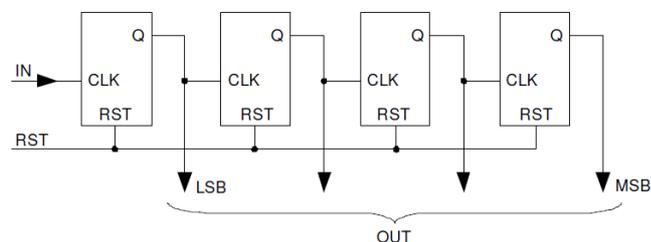


Fig. 26: Señal de control del conversor en el arranque.

En la entrada se conecta la señal que proviene del oscilador y a la salida se obtienen 4 bits que cuentan desde 0 hasta 15 en decimal. Estas 4 señales van conectadas al Conversor Digital/Analógico para generar una rampa de corriente. A continuación se observan los resultados de una simulación, en la que LSB se corresponde a q0 y MSB a q3. Se puede

observar en la siguientes grafica la subdivisión de frecuencias respecto a la frecuencia de entrada que es de 16 Mhz. Este valor hace que el periodo de la rampa de corriente que estabiliza el control sea de 1 Mhz, que se corresponde a la salida de q3.

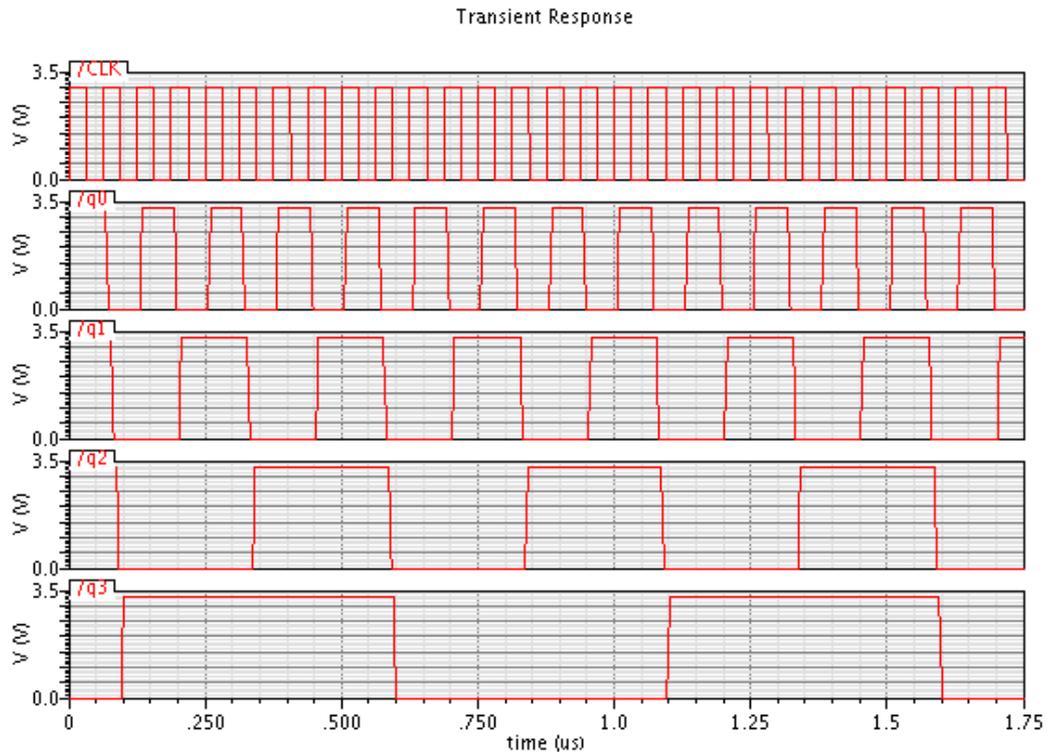


Fig. 27: Señales a la salida del contador. La señal CLK se corresponde a la señal de entrada del contador, que tiene una frecuencia de 16 Mhz.

3.4 Conversor Digital/Analógico (DAC)

Este conversor Digital/Analógico se utiliza para realizar la rampa de estabilización. A partir del contador que controla la activación o desactivación de cada fuente de control, como se muestra en la siguiente figura. Se trata de una topología a partir de fuentes de corriente.

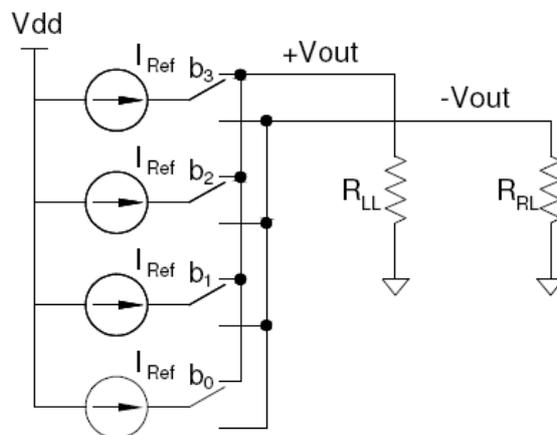


Fig. 28: Implementación de un DAC.

Las corrientes de salida dependen del valor Iref, para nuestro caso se ha escogido una Iref de 1uA. Los valores de b3, b2, b1, b0, se corresponde al valor que multiplica cada corriente, estos valores son respectivamente 8, 4, 2, 1. A continuación, se calcula la resistencia de salida RLL, según la figura anterior, que es necesaria para realizar la estabilización. Esta rampa se calcula a partir de los valores de la rampa sensada y del factor mc calculados en el apartado del amplificador de error.

$$\text{si } S_n = 600 \cdot 10^3 \quad \text{y} \quad m_c = 1.5 \rightarrow m_c = 1 + \frac{S_e}{S_n} \rightarrow S_e = 300 \cdot 10^3 \quad (36)$$

Esta rampa al ser de periodo 1Mhz y de inclinación 300.000 y teniendo en cuenta que su periodo ha de ser igual al periodo de conmutación (Ts = 1us), y su amplitud máxima de esta rampa es la suma de las fuentes de corriente. Como se puede observar a continuación.

$$I_{max} = I_{ref}b_3 + I_{ref}b_2 + I_{ref}b_1 + I_{ref}b_0 \quad \text{si} \quad b_3 = 8, b_2 = 4, b_1 = 2, b_0 = 1 \quad (37)$$

$$I_{max} = 15 I_{ref} \quad \rightarrow \quad I_{ref} = 1\mu A \quad \rightarrow \quad I_{max} = 15 \mu A \quad (38)$$

Para calcular el valor de la resistencia que se ha de poner a la salida del DAC, se ha de considerar el valor de I_max, la pendiente Se y el periodo de la rampa de tensión, para explicar el cálculo de está hay que recurrir a la siguiente figura. Ya que se desea una rampa con las mismas características que la siguiente figura.

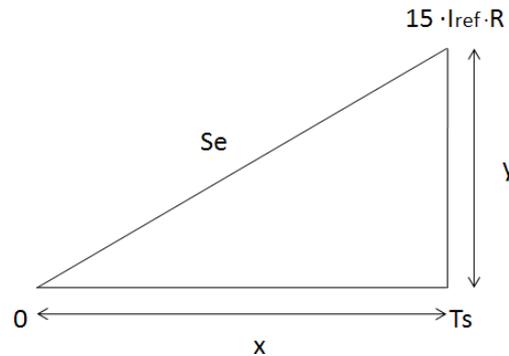


Fig. 29: Interpretación para el cálculo de la rampa.

A partir de la pendiente de la grafica se puede calcular el valor de RLL, como se muestra a continuación.

$$S_e = \frac{y}{x} = \frac{15 \cdot I_{ref} \cdot R_{LL}}{T_s} \quad \text{si} \quad T_s = 1\mu s, \quad I_{ref} = 1\mu A, \quad S_e = 300000 \quad \rightarrow R = 20K\Omega \quad (39)$$

$$V_{max} = 15 \cdot I_{ref} \cdot R = 0.3V \quad (40)$$

En la siguiente figura se muestra las señales que controlan la activación o desactivación de las fuentes de corriente, que estas provienen del contador, y de la rampa de tensión. La señal Q3 corresponde a la señal de reloj del circuito, que en este caso es de 1Mhz.

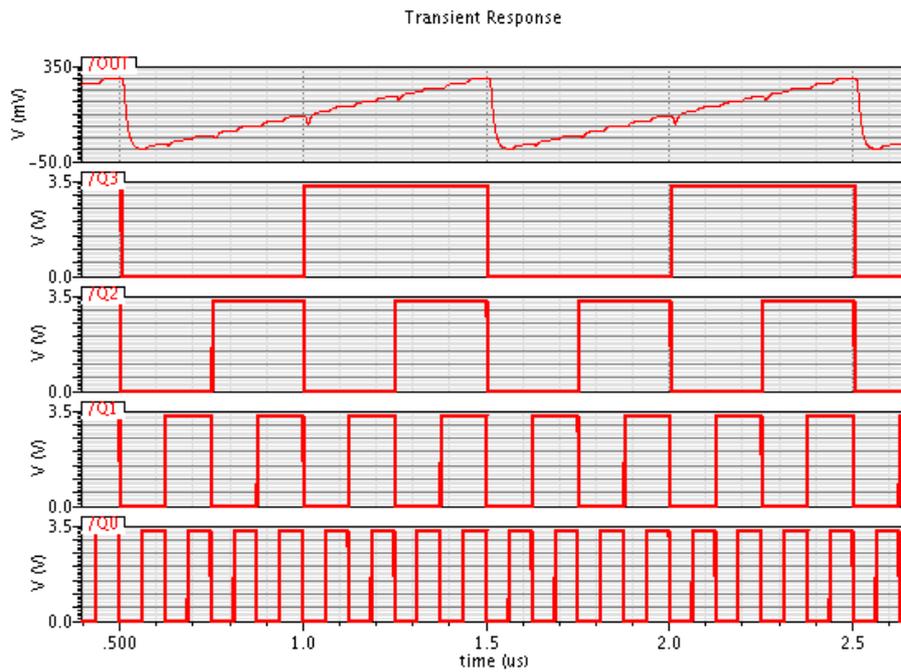


Fig. 30: Señal rampa de tensión (Out). Señales que provienen del contador y controlan las fuentes de corriente (Q0, Q1, Q2, Q3).

En la próxima grafica se aprecia con más detalle la rampa de intensidad cuando atraviesa la resistencia y la rampa de tensión en bornes de la resistencia. Se verifica el cálculo con este resultado.

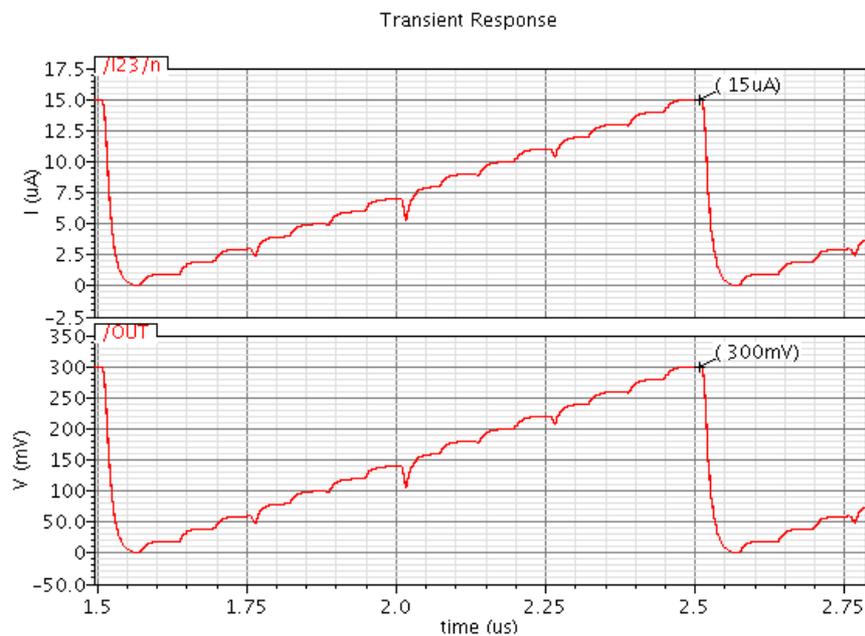


Fig. 31: Señal rampa de tensión (Out) y señal rampa de corriente (I23/n).

3.5 Oscilador

Este diseño del bloque oscilador se explica en el apartado 4.5, ya que ha sido implementado en su totalidad en Verilog-AMS.

3.6 Bloque PFM

Este bloque hace que el control del convertidor sea por modulación PFM, variando la frecuencia del pulso, cuando la intensidad de la bobina decae entre unos valores. Esto se hace porque cuando la intensidad de la bobina decae, en el caso de que el convertidor opere en modo PWM, su rendimiento decae. Mientras que si se hace en modo PFM el rendimiento del convertidor para bajas corrientes es mejor que en el caso PWM, y cuando la corriente es alta en ambos casos de funcionamiento el rendimiento es aproximadamente igual. Cuando la corriente cae a valores menores de 0.6 A el rendimiento en Modo PFM es mayor al de Modo PWM, por ello cuando la intensidad decaiga ha este valor el convertidor estará en modo PFM y cuando sea mayor de 1 A, funcionara en modo PWM (1). En la figura siguiente se muestra el circuito implementado para la generación del PFM.

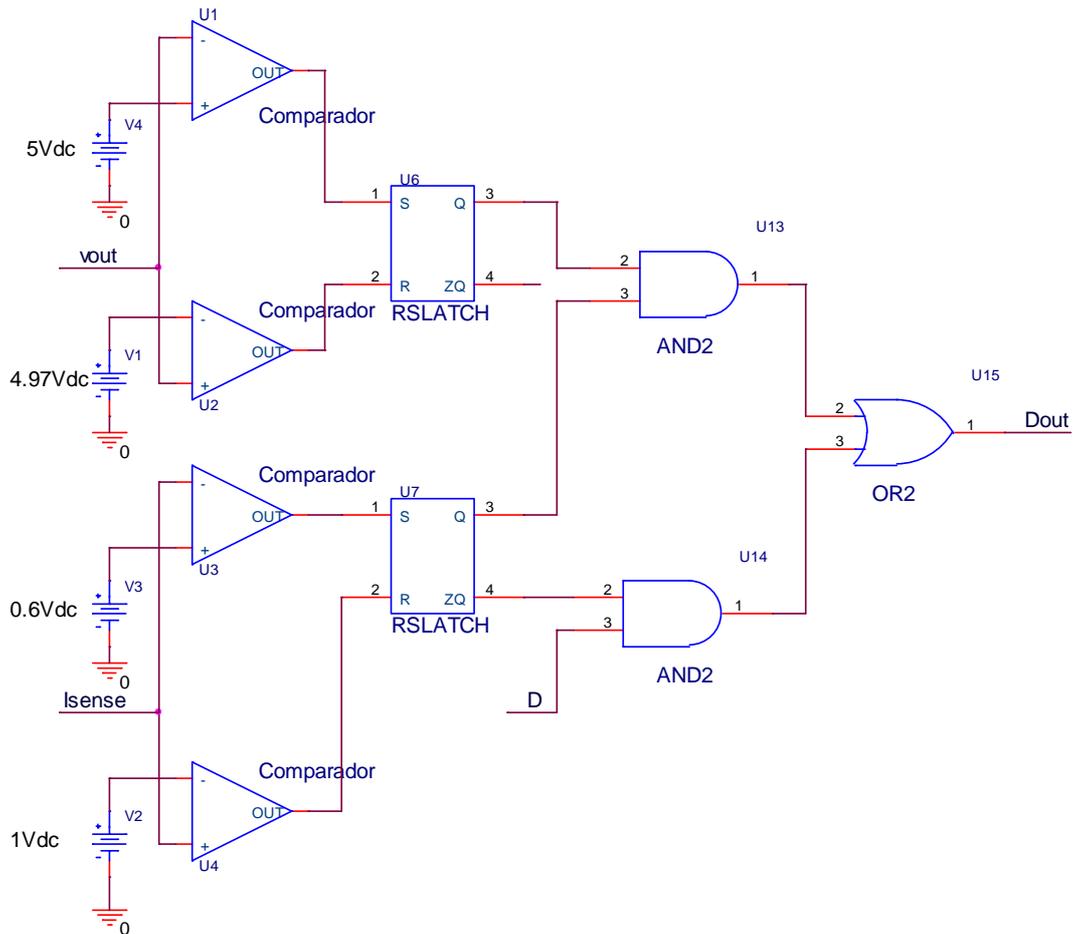


Fig. 32: Bloque PFM implementado.

Para la explicación del funcionamiento de este bloque, nos fijamos en la figura anterior. La tensión del terminal (Isense), que este está conectado a la salida del sensor de corriente en el que se obtiene una tensión de igual valor que la intensidad de la bobina pero de distinta unidad de amperios a voltios, por ejemplo, si la corriente de la bobina es de 2 A la tensión a la salida del sensor de corriente es de 2 Voltios, y por último, en el terminal D está conectada la señal PWM. El terminal Vout está conectado a la tensión de salida del convertor. Cuando la intensidad es menor o igual 0.6 A en Isense se obtendrá una tensión menor o igual 0.6 V, esta bajada de intensidad se debe a una aumento de la carga de salida. A la salida de este bloque (Dout) se obtiene una señal en modo PFM. Cuando en la intensidad de la bobina es mayor de 1 A, deja de funcionar en modo PFM y cambia a modo PWM.

Como se puede observar en la figura anterior, en el modo PFM, la tensión es controlada a través de la comparación con tensiones fijas, si la tensión de salida (vout) es menor a 4.97 hará que aumente hasta llegar a 5 voltios.

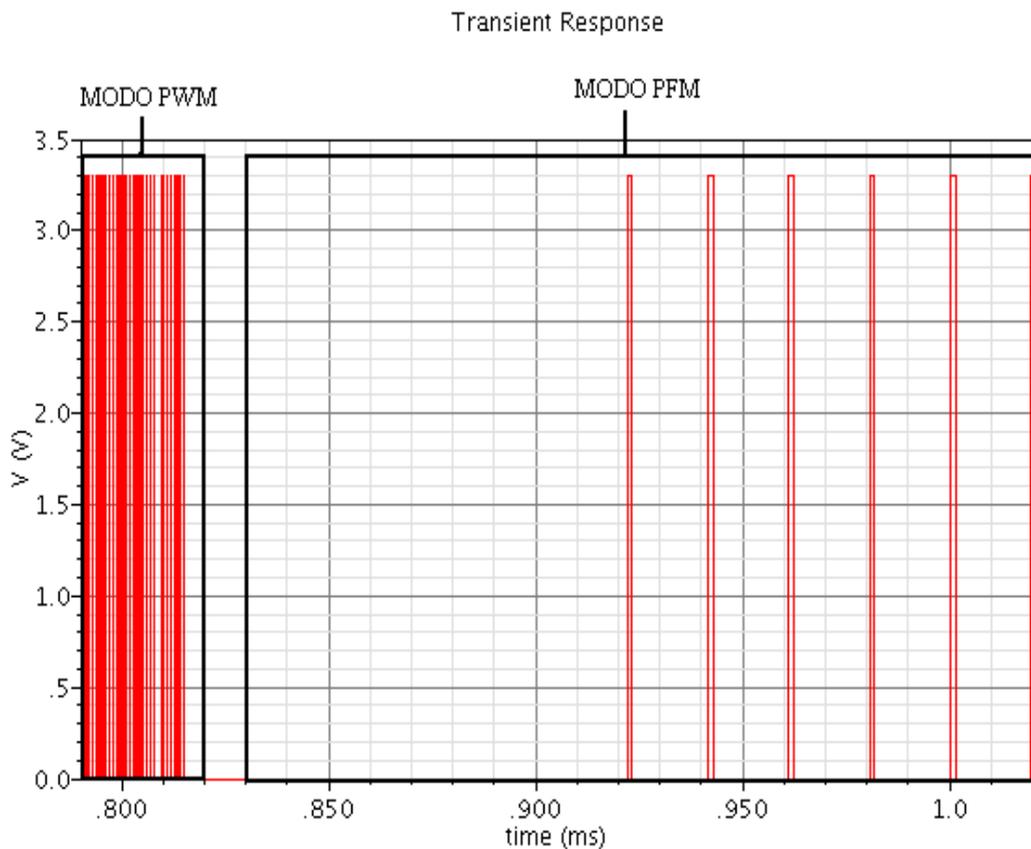


Fig. 33: Señal de control del la etapa de potencia en la transición de PWM a PFM.

En la próxima figura se representa el cambio de modo a PWM a PFM, como se puede observar varía de un modo a otro cuando la intensidad de la bobina decae. Como se puede observar en modo PFM, la intensidad en la bobina tiene mayor rizado que en el modo PWM y que en la tensión de salida del convertor existe rizado en modo PFM.

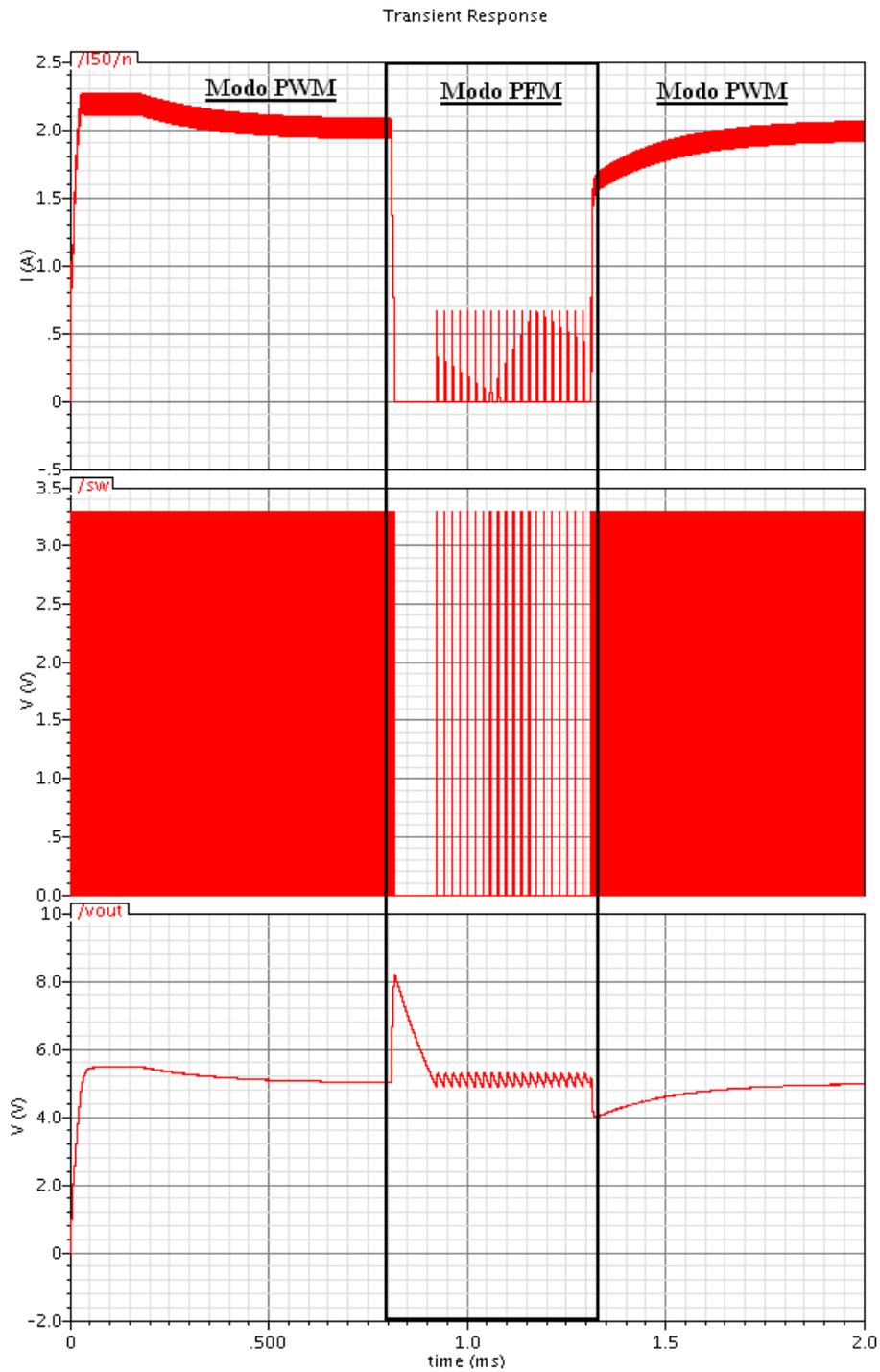


Fig. 34: Señales de salida la intensidad del inductor (i_L), de la señal que controla el interruptor la etapa de potencia (sw), de la tensión de salida del amplificador del convertor (v_{out}). Con una frecuencia de reloj de 1Mhz y tensión de entrada de 20 V.

3.7 Protección contra cortocircuito

Este bloque se pone como protección en caso de que la corriente de la bobina sea muy superior y de problemas al convertor en su totalidad, aunque ya existe un bloque que ya hace

esta función (bloque de arranque suave), en caso de que este falle esta protección es útil. Ya que si durante un determinado tiempo se sobrepasa el límite de la corriente hace que el control se inactive por lo que el convertor también se inactiva.

Se puede observar en el anexo, que lleva internamente un contador digital, basado en Flip Flops D, si en la entrada (Icomp) detecta un nivel lógico alto durante un tiempo, a la salida de este no permite a la salida la señal del oscilador durante un intervalo de tiempo determinado por el contador digital y la frecuencia del oscilador. Este contador digital cuenta hasta un valor binario de "10000000", a partir de esto el tiempo de bloqueo y de senseo para determinar el bloqueo de la señal de reloj viene dado por la siguiente expresión.

$$\text{binario } 10000000 \rightarrow \text{Decimal } 2^7 \quad \text{tiempo} \approx 2^7 \cdot \left(\frac{1}{f}\right) \quad (41)$$

Donde f es la frecuencia escogida en Hz, en el caso de nuestro convertor será de 1Mhz, por lo que el tiempo de duración será aproximadamente 128 us. A continuación, se muestra una simulación, para verificar lo dicho anteriormente, se supone en esta simulación que durante un gran margen de tiempo la intensidad de la bobina sobrepasa el límite por lo que durante este mismo tiempo la entrada (Icomp) está en un nivel lógico alto (3.3V), con una frecuencia de oscilación de 1Mhz, por lo que durante 128 us se desconecta y al volver a conectarse, si durante los próximos 128us vuelve a estar la entrada (Icomp) a nivel lógico alto se desconecta. Si Icomp está a nivel bajo quiere decir que no se sobrepasa el límite de corriente y este bloque deja pasar la señal de oscilación de 1Mhz.

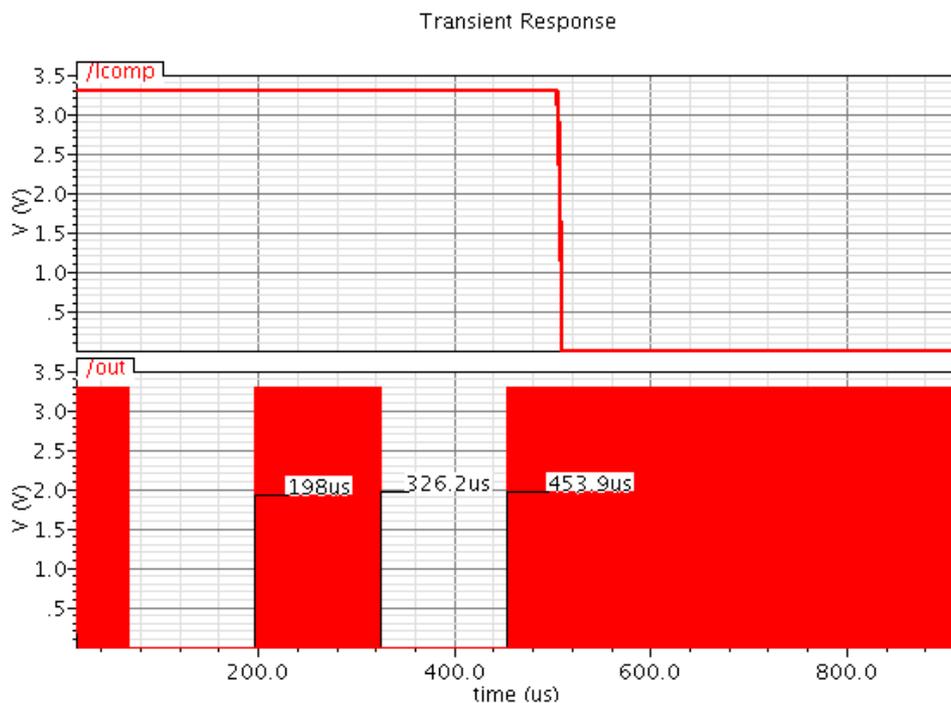


Fig. 35: Simulación realizada al bloque de protección contra-cortocircuito.

3.8 Red de muestreo β

Esta red de muestreo β como se ha acondicionado durante el diseño del amplificador de error tiene que cumplir con la siguiente ecuación:

$$v_{ref} = \beta \cdot v_o \quad (42)$$

Para nuestro caso V_{ref} es 1.235 Voltios y V_o 5 Voltios, esto en circuitería se trata de un divisor de tensión que cuando llegue a régimen permanente la tensión salida tendrá que ser igual a 1.235 V. Esta red cumple con la siguiente expresión:

$$v_{in_amp_error} = \frac{R2 \cdot v_o}{R1 + R2} \rightarrow v_{in_amp_error} = 1.235 V, v_o = 5 V \text{ y } R2 = 10K \rightarrow R1 = 30486 \quad (43)$$

A continuación, se muestra la red conectada entre la tensión de salida del conversor y la tensión de entrada del amplificador de error

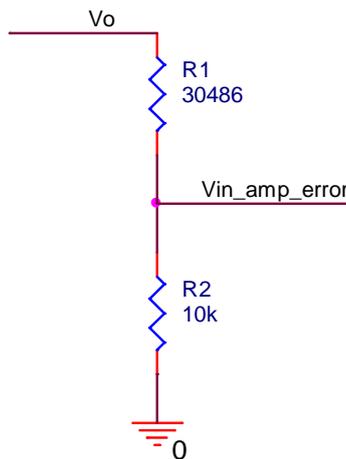


Fig. 36: Red de muestreo diseñada.

3.9 Sensor de corriente.

Para el senseo de corriente, para poder aplicar modo corriente, se empleo un circuito basado en amplificadores operacionales en topología diferencial para hacer una diferencia de tensión y amplificar este mediante un amplificador no inversor, para ello se aplico topología que se muestra a continuación, esta topología que ha sido modelada en Verilog-AMS, primero modelando resistencias y amplificadores operacionales, para después conectarlas.

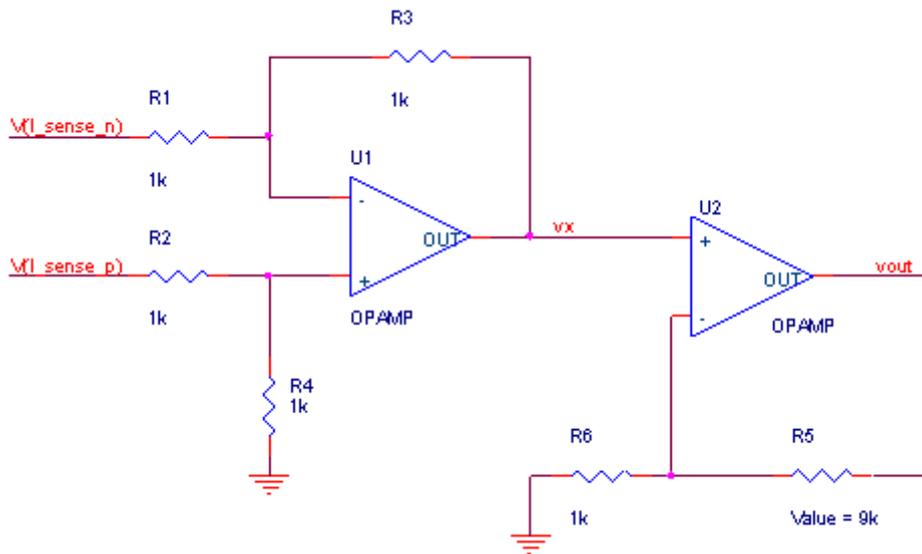


Fig. 37: Circuito del senseo de corriente

El amplificador diferencial hace una diferencia de tensión del terminal de la resistencia en serie conectada a la bobina, cuyo valor es de 100 mili ohmios, para sensear la corriente y amplificarla. En el apartado de cálculo del amplificador error como condición se puso que R_i es igual a 1. Este valor R_i se trata de la ganancia del sensor corriente, que es el cociente entre la tensión de salida del sensor de corriente y la corriente senseada del circuito de potencia, este se mide en ohmios y viene dada por la siguiente ecuación. Este valor es útil para el dimensionamiento de los componentes del sensor de corriente

$$R_i = \frac{V_{out\ sensor}}{I_{sw}} \quad (44)$$

Esto quiere decir que si R_i es 1 si se sensea una corriente de 2.5 A a la salida del sensor se obtiene 2.5 Voltios. Mismo valor diferente magnitud. Entonces la ganancia del amplificador es la siguiente.

$$Valor_{v_{out}} = Valor_{I_{sw}} \rightarrow G = \frac{1}{R_{sense}} = \frac{1}{0.1} = 10 \frac{V}{V} \quad (45)$$

A partir de esta consideración consideramos que el amplificador diferencial diseñado es de ganancia 1, se corresponde a la siguiente ecuación:

$$V_x = \left(\frac{V(I_{sense_p}) R_4 \cdot (R_1 + R_3)}{(R_4 + R_2) R_1} - \frac{V(I_{sense_n}) R_3}{R_1} \right) \quad (46)$$

$$Si \quad R_4 = R_3 = R_2 = R_1 \rightarrow V_x = V(I_{sense_p}) - V(I_{sense_n})$$

El siguiente bloque corresponde a un amplificador no inversor, su función es amplificar la tensión, Este amplificador no inversor sigue la siguiente ecuación.

$$V_{out} = Vx \left(\frac{R5}{R6} + 1 \right) \quad (47)$$

$$Si \quad \left(\frac{R5}{R6} + 1 \right) = 10 \rightarrow R6 = 1K \rightarrow R5 = 9K$$

Al final del conjunto se obtiene:

$$V_{out} = 10 \left(V(I_{sense_p}) - V(I_{sense_n}) \right) \quad (48)$$

3.10 Sumador

El sumador se emplea para sumar la tensión que proviene del sensor de corriente y la rampa artificial. El circuito que se ha empleado es el siguiente.

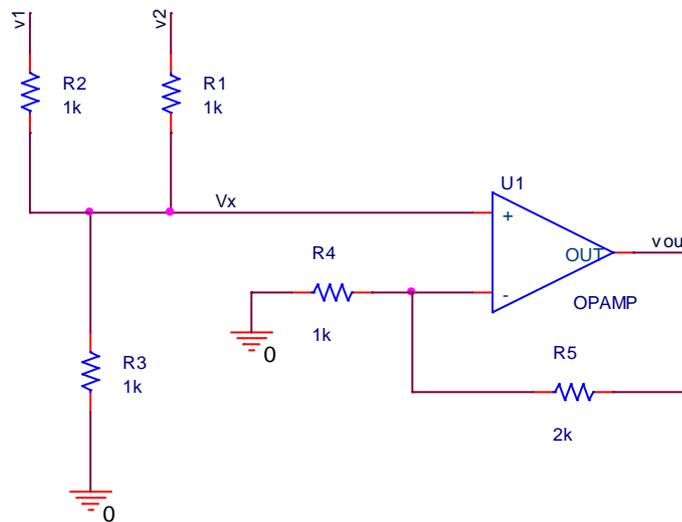


Fig. 38: Circuito del senseo de corriente

Para el dimensionamiento de esta primero se ha calculado la tensión Vx , Vx viene dado por la siguiente ecuación.

$$Vx = \frac{R3 \cdot (V1R2 + V2R1)}{R2R3 + R1R3 + R1R2} \rightarrow si R1 = R2 = R3 = 1k\Omega \rightarrow Vx = \frac{(V1 + V2)}{3} \quad (49)$$

Para hacer que el sumador sea de ganancia 1 es conveniente emplear después de esta red de resistencias un amplificador no inversor de ganancia 3. El amplificador no inversor viene dado por la siguiente ecuación y el dimensionamiento es el siguiente.

$$V_{out} = Vx \left(1 + \frac{R5}{R4} \right) \quad (50)$$

$$Si \quad \left(\frac{R5}{R4} + 1 \right) = 3 \rightarrow R4 = 1K \rightarrow R5 = 2K$$

Al final del conjunto se obtiene:

$$V_{out} = V1 + V2 \quad (51)$$

3.11 Tensión de Bandgap.

Se trata de un bloque diseñado en Verilog-AMS, en el que solo se puede modificar la tensión de esta. Para nuestro caso, es de 1.235 V.

3.12 UVLO.

La función del bloque UVLO, bloqueo por subtensión, este bloque cuando detecta una tensión de entrada del convertidor menor a un determinado valor hace que el bloque de control este inactivo por lo que no hay señal de tensión a la salida del convertidor. Para este bloque se ha empleado la siguiente topología, todos los componentes han sido modelados en Verilog-AMS.

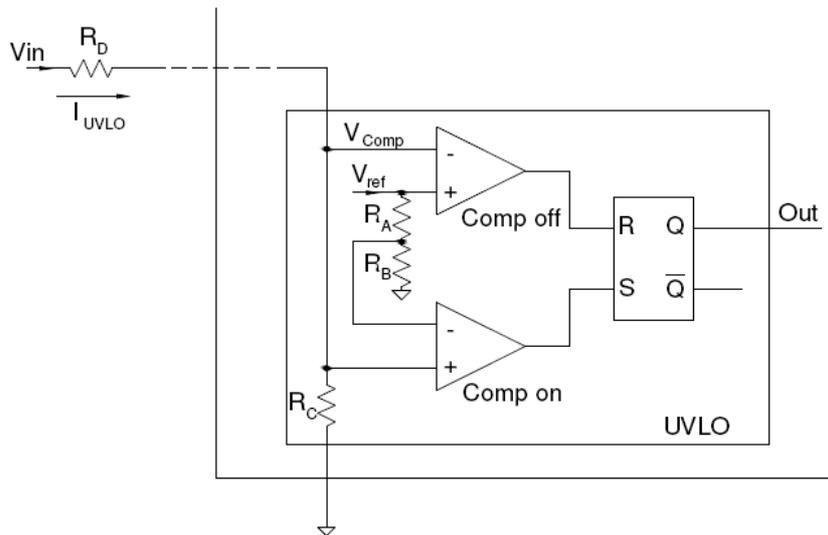


Fig. 39: Topología del UVLO empleado.

Con esta topología mediante los comparadores, se pretende crear una histéresis, como se muestra en la siguiente figura. Para el diseño de este bloque V_{ref} es la señal de tensión de bandgap, 1.235 V, y para el nodo V. del Comp on es 1.20 V, para poder realizar la histéresis. Una vez supuesto esto el dimensionamiento de las resistencias RA y RB es:

$$V_{-comp on} = \frac{V_{ref} \cdot R_B}{R_B + R_A} \quad \rightarrow \quad V_{-comp on} = 1.20 \text{ V y } V_{ref} = 1.235 \text{ V} \quad (52)$$

$$\left(\frac{R_A}{R_B} + 1\right) = \frac{V_{ref}}{V_{-comp on}} \quad \rightarrow \quad R_B = 100 \text{ K} \rightarrow R_A \approx 3 \text{ K}$$

La resistencia RC se ha ajustado a 100K, y RD será ajustado dependiendo a que tensión a se desea el bloqueo por subtensión de la entrada del convertidor, para ello se tendrá que conseguir que Vcomp sea igual a 1.25 V. Por lo que la relación tensión de entrada ($V_{in_{UVLO}}$) y RD es la siguiente.

$$V_{in_{UVLO}} = \frac{V_{ref} \cdot R_C}{R_C + R_D} \rightarrow V_{comp} = 1.25 V \text{ y } RC = 100K \rightarrow R_D = \left(\frac{V_{in_{UVLO}}}{V_{comp}} - 1 \right) R_C \quad (53)$$

Para el caso de nuestro conversor que es a partir de una tensión de $V_{in_{UVLO}}$ de 18 V. Entonces el Valor de R_D será:

$$V_{in_{UVLO}} = 18 V, V_{comp} = 1.25 V \text{ y } RC = 100K \rightarrow R_D = \left(\frac{18}{1.25} - 1 \right) 100K \approx 1.34 M \quad (54)$$

Para verificar estos valores la siguiente figura muestra la histeresis en el UVLO, para los valores calculados, que a partir de un valor de entrada cercana a 17.3 da una señal a la salida del Flip Flop a nivel alto (3.3 V) y cuando la señal de entrada es menor de 17.24 Voltios y aumenta su valor el valor a la salida del Flip Flop es a nivel bajo 0.0 Voltios.

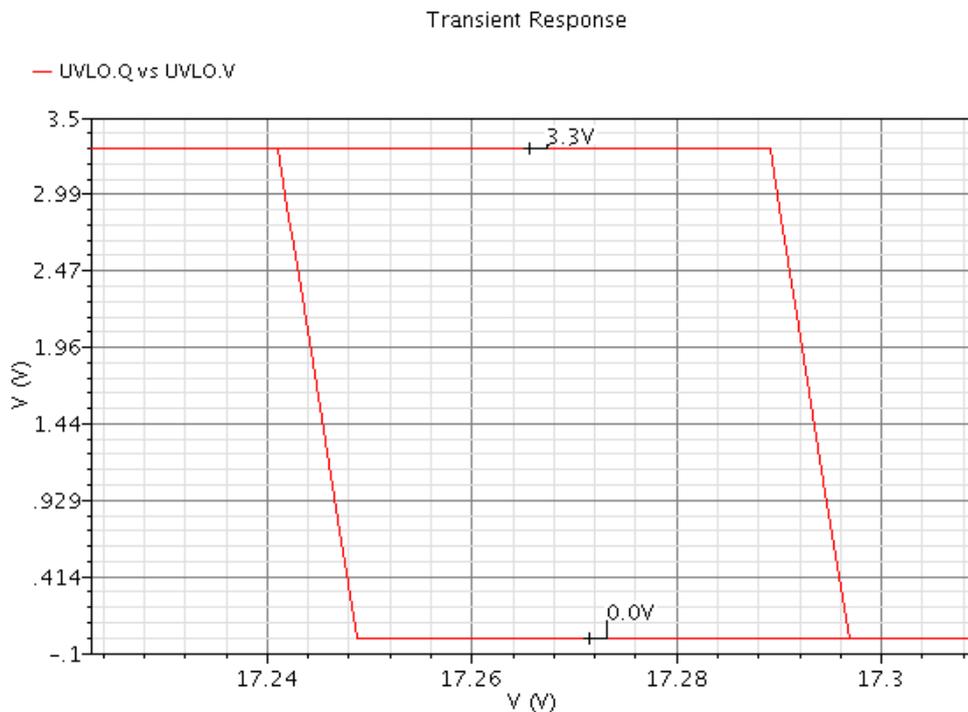


Fig. 40: Histéresis del UVLO diseñado para una tensión de bloqueo cercano a 17 voltios

A continuación se muestra mediante una tensión sinodal de entrada en V_{in} con una amplitud de 30 Voltios, como la salida del Q del Flip Flop se corresponde con la grafica anterior. Esta señal de salida Q cuando este a nivel alto (3.3 V) hará que la parte de control este inactivo, por lo que la etapa de potencia no estará activo.

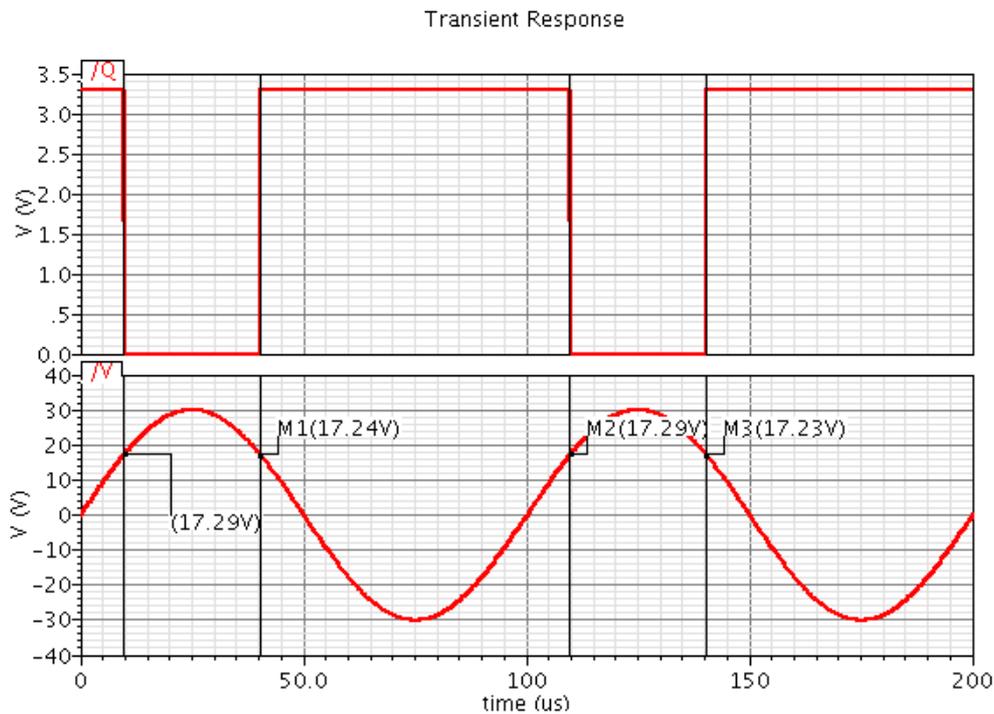


Fig. 41: Respuesta temporal del UVLO, Vin tensión de entrada y la salida Q.

3.13 Variaciones respecto al circuito propuesto

A continuación se muestra los cambios que se han realizado en el circuito propuesto en el proyecto “Convertidores DC-DC para a Industria Aeroespacial-I”. Muchas veces se ha variado el circuito por no haber información detallada ni cálculos en este proyecto y/o por estar mal diseñado el sistema, ya que se comprobó que el sistema original no funciona. Los cambios más significativos son:

- Amplificador de error, se ha variado y se ha diseñado, como se puede observar en el apartado que se comenta sobre él, ya que en “Convertidores DC-DC para a Industria Aeroespacial-I”, no aparecen cálculos en este libro y tampoco se sabe ciertamente si funciona para un circuito de estas características.
- Arranque suave, se ha variado respecto a este ya que si observamos el circuito original es imposible hacer un arranque suave, ya que la comparación de la tensión del sensor se hace con una tensión fija. Y debido a esto no se produce un arranque suave. Ya que lo que se ha hecho para solucionar esto ha sido comparar la tensión de salida del sensor con una señal “rampa”, que se puede comprobar su diseño en el apartado relacionado con este.
- Protección contra cortocircuito, el contador digital que está incluido en este circuito realmente cuenta hasta “1000000” en binario y no como dice en la anterior tesis en “10100000”.
- Red de muestreo, ya que en régimen permanente la tensión de salida tiene que ser igual a la tensión de bandgap.

- Sensor de corriente, se ha modificado ya que no aparecen cálculos, ni valores dimensionados en la primera versión y se ha variado el valor de la resistencia de senseo.
- Sumador, se ha realizado un sumador de tensión ya que en la primera versión no se refiere en ningún caso a este y no hay información de cómo ha sido dimensionado, ya que en la primera versión se supone que con una resistencia suma la intensidad de la rampa con la tensión del amplificador de error.
- La rampa que realiza el conversor analógico digital ha sido rediseñada acorde con los cálculos realizados en la sección de amplificador de error.
- Tensión de bandgap, en la primera versión decía que la tensión de bandgap es de 1.46 V, se ha cambiado a 1.235 V.
- UVLO, se ha cambiado el diseño porque según dice en la primera versión a partir de una tensión de entrada menor de 28 V, hace que el circuito no esté activado. Cuando realmente, una de las condiciones es que la tensión de entrada sea 20 V. Por ello, se rediseño este bloque. Aparte, se consiguió aumentar la anchura de la histéresis.
- La estructura de control, se ha variado ya que en el circuito original se supone que realiza la suma de la intensidad de la rampa con la tensión del amplificador de error mediante una resistencia para después compararla con la tensión del sensor de corriente. Lo que se ha realizado es sumar la rampa de tensión artificial con la tensión de salida del sensor de corriente para después compararla con la tensión de salida del amplificador de error.

4 Bloques implementados

En este apartado se hace descripción de los dispositivos utilizados en la parte de control como en la etapa de potencia modelados en Verilog-AMS. Verilog-AMS, es un lenguaje de descripción de hardware basado en Verilog-A y Verilog-HDL para señales mixtas, es decir, para circuitos que poseen partes tanto analógicas y digitales en el mismo dispositivo (17). La versión del lenguaje que se utiliza es la versión 2.3 de Verilog-AMS y deriva de la IEEE 1364-2005 estándar (18). Los componentes que han sido modelados en Verilog-AMS son los que se muestran en la siguiente tabla. Como se puede observar, en esta tabla en la columna referida a *Test-Bench*, se realizó un modulo a propósito para las simulaciones. A continuación se van a comentar cada uno de estos bloques.

Tabla 10: Elementos modelados útiles.

Etapa de control		
Bloque Analógicos	Bloques Lógicos	Otros
Amplificadores Operacional	<i>Latch</i> RS	Comparadores de tensión
Condensador	<i>Flip Flop</i> D	Oscilador
Diodo	AND de 2 entradas	Fuente de corriente controlada por un pulso
Fuente de tensión DC	AND de 8 entradas	
Resistencia	OR de 3 entradas	
	NOR de 2 entradas	
	NOT	
Etapa de potencia		<i>Test-bench</i>
Inductor	Modulo de variación de la carga por variación de la tensión de entrada	
Condensador		
Diodo		
Fuente de tensión DC		
Resistencia		

4.1 Bloques analógicos.

Muchos de estos bloques implementados se han realizado para comprobar mediante la simulación, el correcto funcionamiento del control, como en el caso de los elementos de la etapa de potencia. A continuación se describen alguna de ellas.

4.1.1 Amplificador Operacional

Este modelo del Amplificador operacional modela aproximadamente el polo dominante, ganancia en lazo abierto y la saturación relativamente próxima a la realidad, ha sido realizado

de tal manera que sea lo más real posible. El amplificador operacional realmente es un modelo de primera orden. A continuación se muestra la respuesta en frecuencia del amplificador operacional modelado. En el que se puede observar que tiene una ganancia en lazo abierto de 80 dB, el ancho de banda es de 1.074MHz.

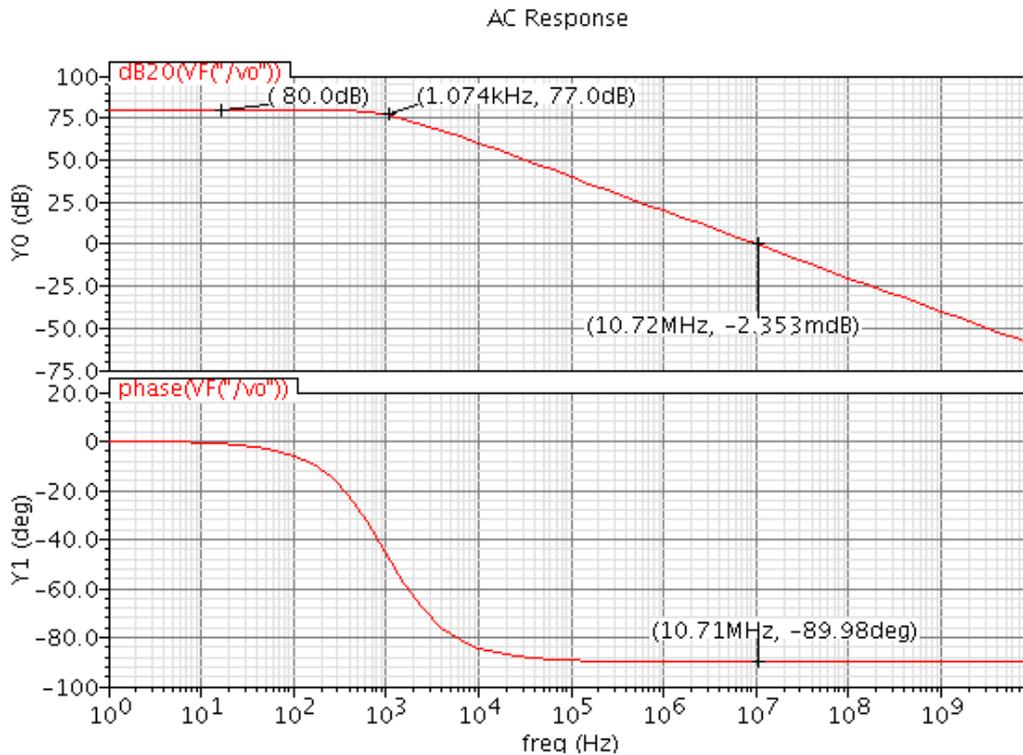


Fig. 42: Respuesta en frecuencia del Amplificador diseñado.

A partir de esta grafica se puede medir el *Slew rate* de subida y de baja, a continuación se muestra su cálculo, realmente el *Slew rate* se trata de una aproximación.

$$SR = \max \left(\frac{dV_o}{dt} \right) \rightarrow SR_{subida} = \frac{3.3V - 0.0V}{18.05\mu s - 17.9\mu s} = 55 \frac{V}{\mu s} \quad (55)$$

$$SR = \max \left(\frac{dV_o}{dt} \right) \rightarrow SR_{bajada} = \frac{3.3V - 0.0V}{19.56\mu s - 19.5\mu s} = 55 \frac{V}{\mu s} \quad (56)$$

A continuación se muestra un grafico para la medición del Slew rate del amplificador operacional.

Transient Response

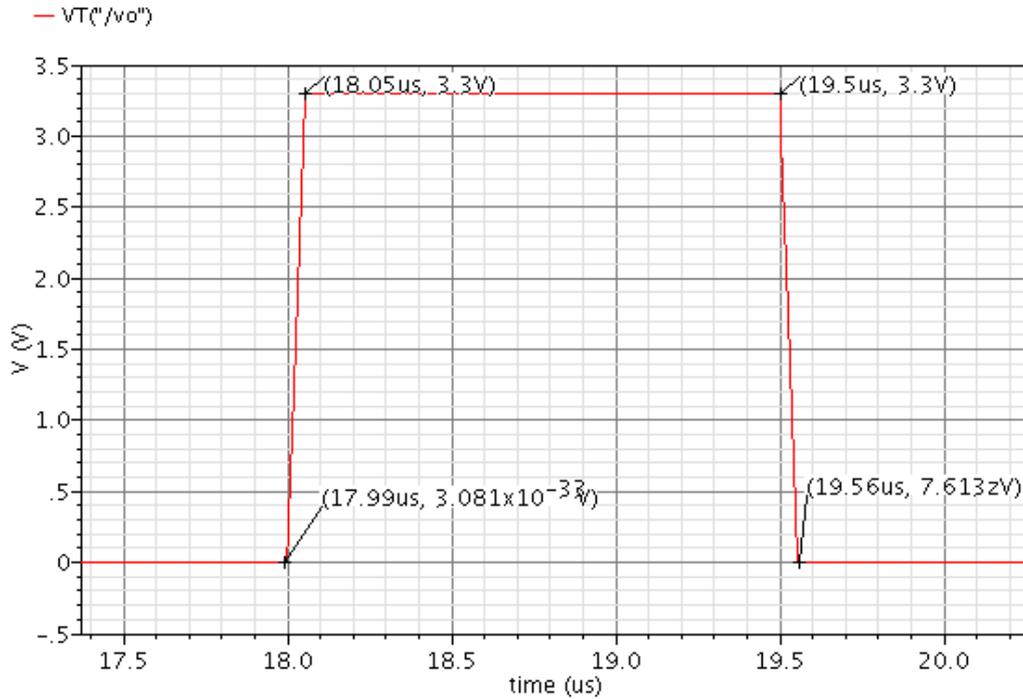


Fig. 43: Simulación realizada para el cálculo aproximado del *Slew rate*.

A la vista de los resultados, las principales características del amplificador operacional que se emplea en el convertidor, son las que se muestran en la siguiente tabla.

Tabla 11: Características del amplificador operacional.

Parametro	Valor	Unidades
Ganancia en lazo abierto	80	dB
Ancho de banda (BW)	1.074	Mhz
Slew rate en la subida	55	$V \cdot \mu^{-1}$
Slew rate en la bajada	55	$V \cdot \mu^{-1}$

4.1.2 Bobina o Inductor

Se ha realizado de tal manera que pueda modificarse el valor de la inductancia en henrios. La bobina, se ha realizado de tal manera, que sigue la ecuación del condensador en forma diferencial, como se define a continuación.

$$u(t) = L \frac{di(t)}{dt} \quad (57)$$

Como se puede observar en esta ecuación la tensión en bornes del condensador es proporcional al valor de la inductancia (L) y depende de la intensidad que atraviesa en ella

respecto al tiempo. A continuación, para verificar su comportamiento se hizo un circuito en el que se comprobaba que la intensidad que atravesaba en este se atrasaba 90° respecto a la tensión en bornes de este. Para ello se realizó un circuito RL, cuya resistencia es de 1k y el valor de la bobina de 10 mH, con una tensión una entrada máxima de 5 voltios y una frecuencia de 4 Hz. La siguiente figura muestra como la tensión en bornes de la bobina se adelanta 90° respecto a la intensidad que atraviesa la bobina, por lo que funciona adecuadamente el modelo de la bobina. Este *Test-Bench* se puede observar en el anexo.

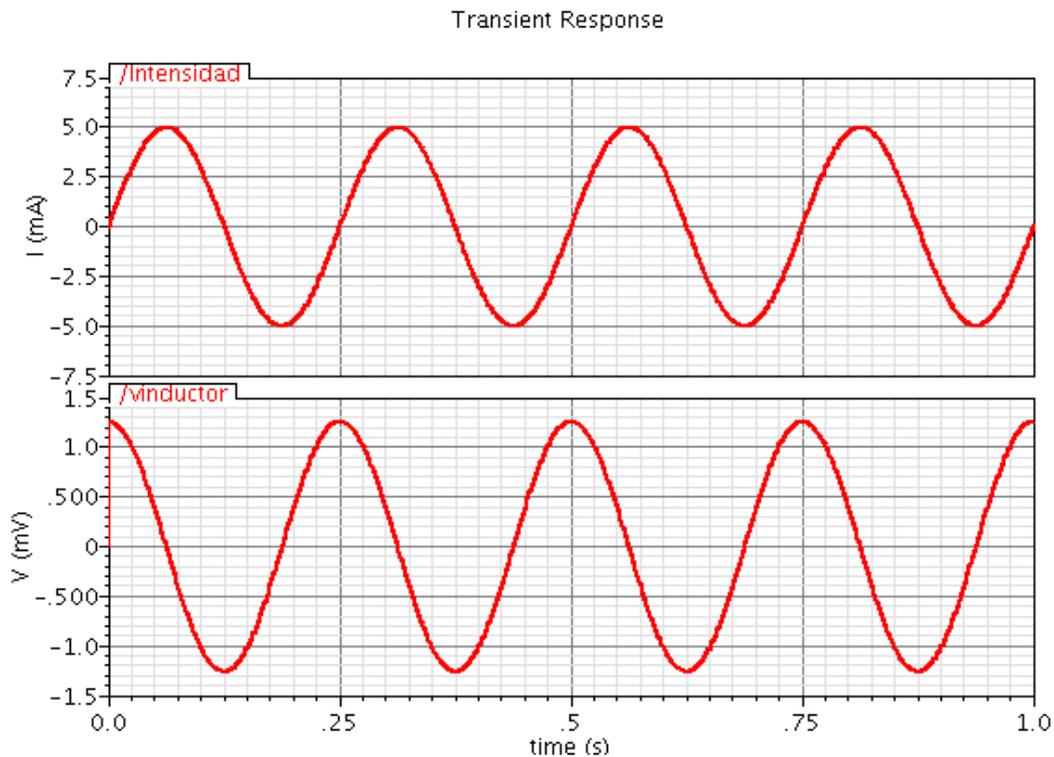


Fig. 44: Resultados en transitorio de la simulación realizada de un circuito con una $R=1k$ y $L=10mH$ y una tensión de entrada de 5 Voltios con una frecuencia 4 hz. En el que se muestra intensidad que atraviesa la bobina (Intensidad) y tensión en los bornes de la bobina (vinductor).

4.1.3 Condensador

Este se ha realizado de tal manera que se puede modificar el valor de su capacidad en faradios. El condensador se ha realizado de, tal manera, que sigue la ecuación del condensador en forma diferencial, como se define a continuación.

$$i(t) = C \frac{dv(t)}{dt} \quad (58)$$

Según se aprecia de la ecuación, la intensidad que atraviesa el condensador es proporcional al valor de su capacitancia (C) y depende de la tensión entre sus terminales

respecto al tiempo. A continuación, se muestra una grafica realizada para verificar su comportamiento, se trata de una simulación realizada en un circuito serie RC cuando el condensador se carga lentamente, cuyo valor de la resistencia es $20k\Omega$ y un condensador de $5\mu F$. Teóricamente la carga del condensador en un circuito serie RC cumple la siguiente ecuación.

$$tcarga \approx 6\tau \approx 6RC \rightarrow \text{si } R = 20k\Omega \text{ y } C = 5\mu F \rightarrow tcarga \approx 600ms \quad (59)$$

Si comprobamos en la grafica siguiente se corresponde, ya que en esta se observa que entorno a 600ms el condensador está completamente cargado. El *test-bench* de esta comprobación esta en el anexo.

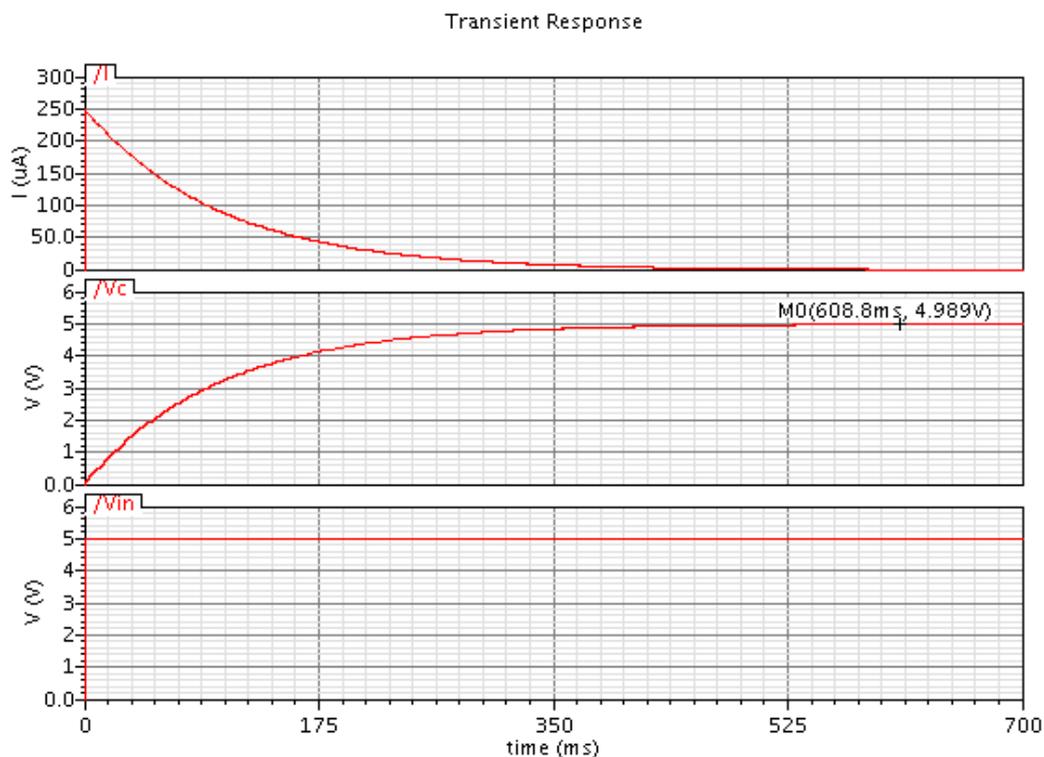


Fig. 45: Resultados en transitorio de la simulación realizada de un circuito con una $R=20k$ y $C=5\mu F$, $V_{in}=5$ voltios. En el que se muestra intensidad que atraviesa el condensador (I), tensión en los bornes del condensador (V_c) y tensión de entrada (V_{in}).

4.1.4 Diodo

Este se ha realizado a partir del diodo ideal, que en un sentido la corriente puede atravesar la corriente y en otro sentido no. A continuación, para verificar que funciona correctamente. Se va a mostrar una simulación realizado en este, a de un circuito de rectificación de media onda. Donde los el valor de la resistencia es de $10k$ y la tensión de entrada es senoidal de tensión máxima 3.5 voltios y de 4hz de frecuencia. Como se aprecia en

la siguiente grafica funciona correctamente ya que deja pasar la corriente que entra por el ánodo y no deja pasar la corriente que entra por el cátodo. El *test-bench* de esta comprobación esta en el anexo.

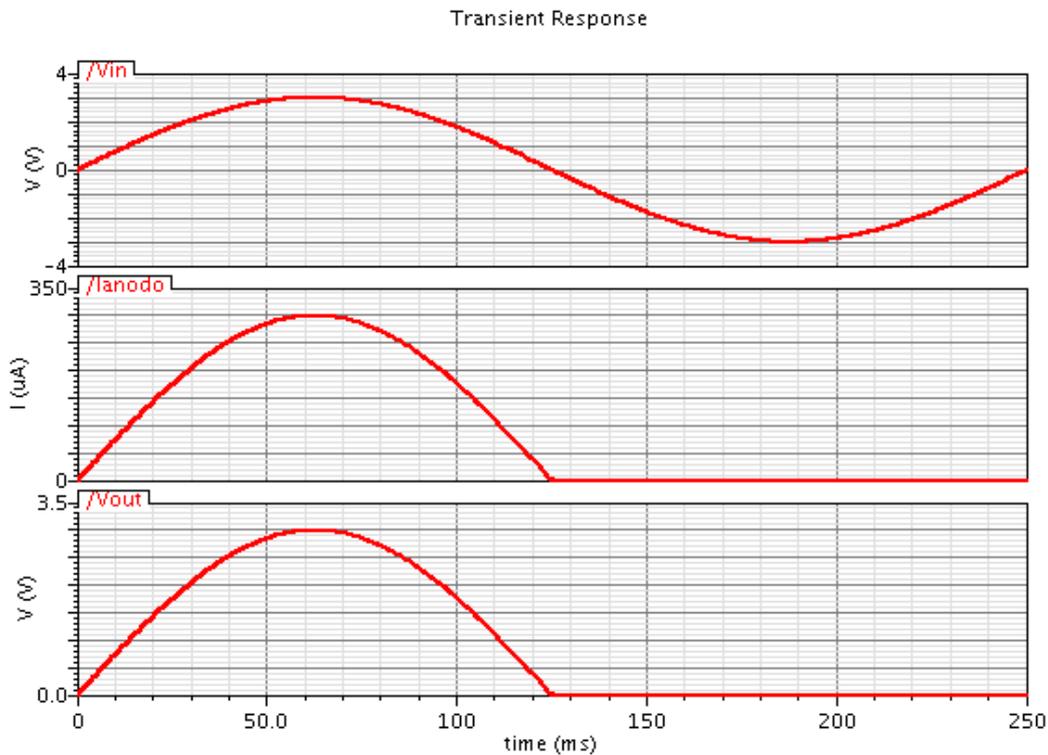


Fig. 46: Resultados en transitorio de la simulación realizada de un circuito de rectificación de media onda con una $R=10k$ y V_{in} de tensión máxima 3.5 voltios y frecuencia 4 hz. En el que se muestra intensidad que atraviesa el diodo por el ánodo (I_{anodo}), tensión en los bornes de la resistencia de 10k (V_{out}) y tensión de entrada (V_{in}).

4.1.5 Fuentes de tensión DC

Este se ha realizado de tal manera que pueda variarse su tensión continua a la salida de este.

4.1.6 Fuentes de corriente controlada

Este bloque consiste en un modelo de una fuente de corriente que mediante un control hace que a su salida fluya o no fluya corriente. Este bloque se ha diseñado especialmente para el diseño del convertor analógico digital. Se realizo para que pudiera ser variable la intensidad de salida tanto a nivel alto (i_h) como a nivel bajo (i_l), la tensión de umbral que hace que actúe el nivel alto o bajo de la intensidad y, por último, los tiempos de rise time, fall time y delay time.

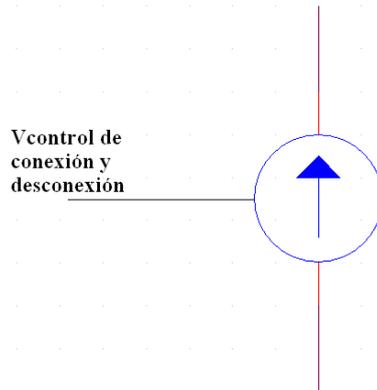


Fig. 47: Interpretación de la fuente de corriente.

A continuación, se muestran los resultados de la simulación cuando la intensidad a nivel alto es de $1 \cdot 10^{-6}$ A, nivel bajo de 0 A y la tensión de umbral es de 2.9 V a esta fuente controlada se conecta a su salida una resistencia de 1K ohmios, el control de la fuente es efectuada por una señal cuadrada de valor máximo 3 voltios y periodo 40 ms. El *test-bench* de esta comprobación esta en el anexo.

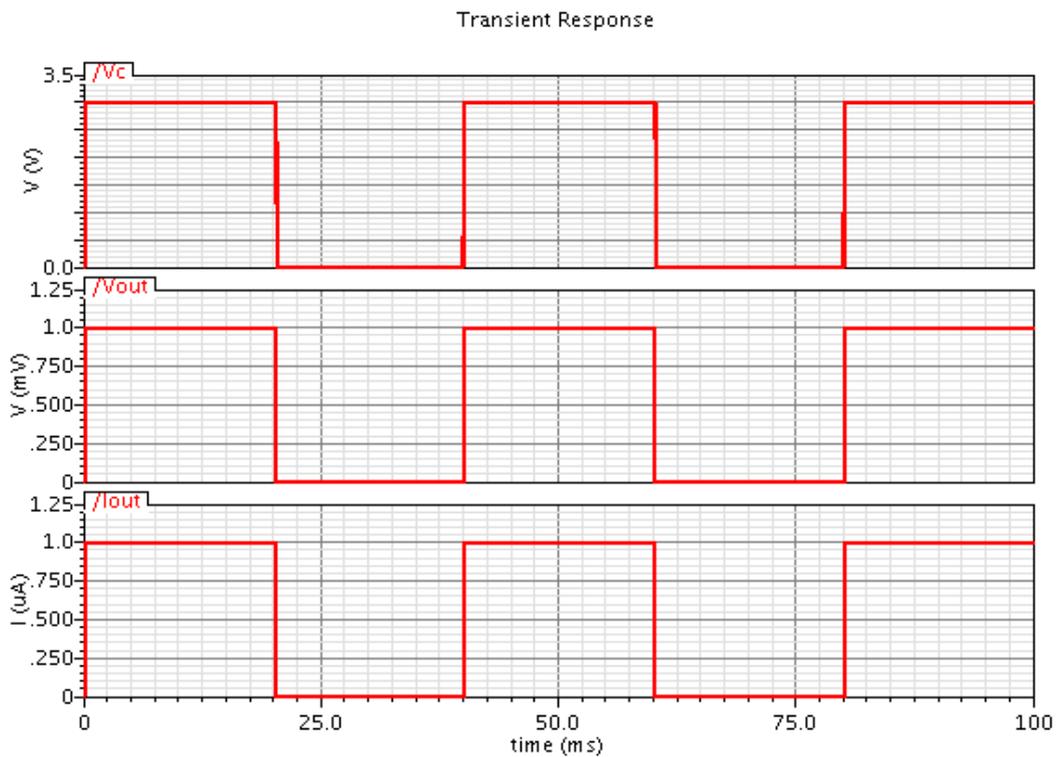


Fig. 48: Resultados de la simulación realizada a la fuente de intensidad controlada. (Vc) señal de control de la fuente controlada, (Iout) Intensidad de salida, (Vout) tensión de salida cuando la fuente de corriente está conectada en serie a una resistencia de 1K ohmios.

4.1.7 Resistencia

Se han realizado para poder modificar por el usuario su valor en ohmios. Se basa en la ley de ohm, que se muestra a continuación.

$$V = RI \tag{60}$$

Donde I es la intensidad que atraviesa la resistencia y V la diferencia de potencial en sus bornes. A modo de demostración para verificar su funcionamiento de este bloque se realizo un divisor de tensión, con dos resistencias de mismo valor de $10k$, con una entrada de tensión de 10 voltios. El resultado se muestra en la siguiente grafica, como se aprecia la tensión es la mitad de la de tensión de entrada al ser las resistencias del mismo valor y la intensidad del circuito es de $5\mu A$, ya que se cumple lo siguiente:

$$V = RI \rightarrow I = \frac{V}{R} \rightarrow Si V = 10 V y R = 2 \cdot 10k \rightarrow I = \frac{20 V}{20k} = 500\mu A \tag{61}$$

Con esto se verifica el correcto funcionamiento de la resistencia modeladas en Verilog-AMS. El *test-bench* de esta comprobación esta en el anexo.

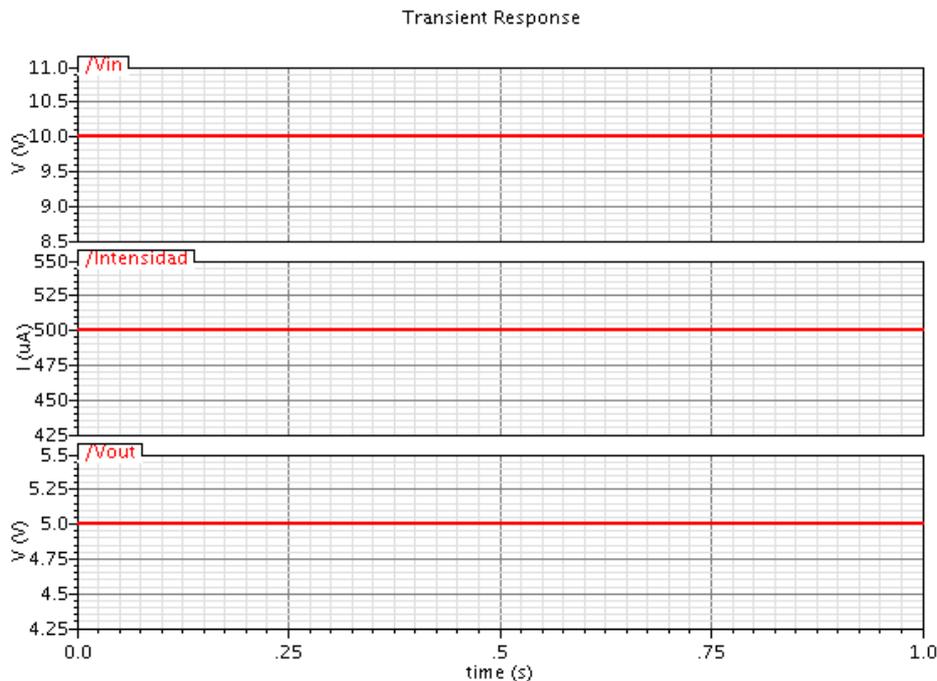


Fig. 49: Resultados en transitorio de la simulación realizada de un divisor de tensión resistivo, con dos resistencias de $10k$ y una tensión de entrada de $10V$. En el que se muestra la tensión de entrada (V_{in}), la intensidad del circuito con las dos resistencias en serie (Intensidad), y la tensión de salida del divisor (V_{out}).

4.2 Bloques Lógicos

4.2.1 Latch RS

El *Latch* RS ha sido diseñado a partir de dos puertas NOR diseñadas en Veriloga-AMS, como se muestra en la siguiente figura. Al tratarse de un *Latch* basado en puertas NOR, su

tabla de verdad RS es la que se muestra a continuación, q y qz son los estados anteriores y N.D. significa No Determinado.

Tabla 12: Tabla de verdad del *Latch RS* basado en puertas NOR.

R	S	Q	QZ
0	0	N.D	N.D.
0	1	1	0
1	0	0	1
1	1	0	0

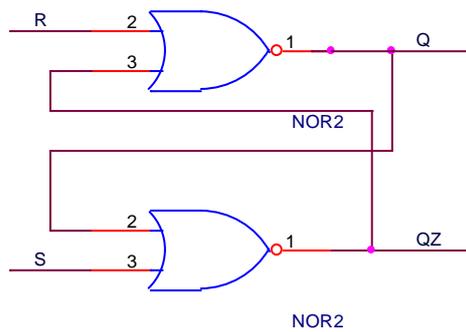


Fig. 50: Estructura interna del Flip Flop RS.

A continuación se muestra una simulación realizada, que como se puede observar funciona tal como indica la tabla anterior.

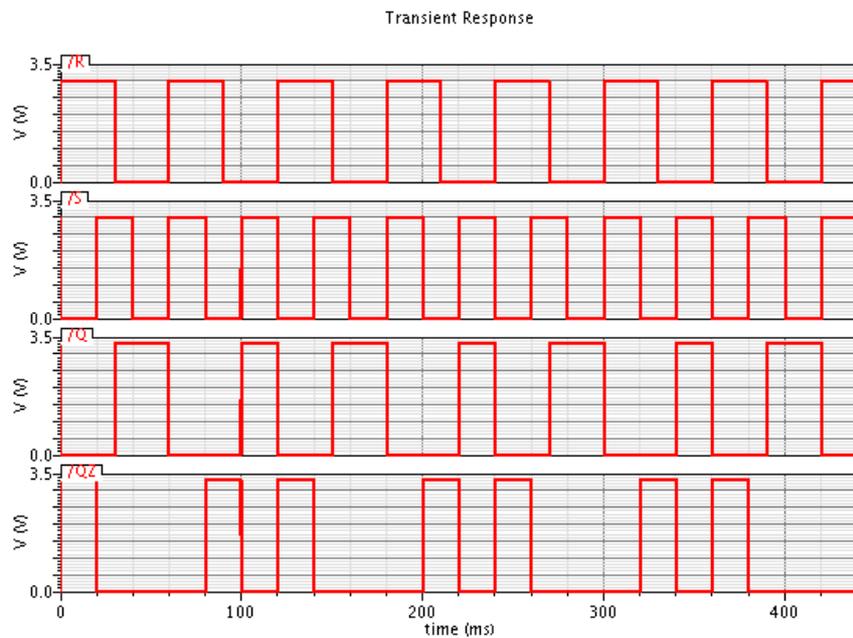


Fig. 51: Simulación realizada del *latch RS*.

4.2.2 Flip Flop D

El Flip Flop D se realizó en Verilog-Ams, de tal manera que se puede obtener dos valores lógicos de tensión en las dos salidas, Q y QZ, uno alto (Vh) y uno bajo (Vl). También, tiene la opción de seleccionar una tensión de umbral (Vth) a la entrada para diferenciar a partir de que tensión de entrada se considera nivel alto y/o nivel bajo. Además, de poder alterar los tiempos de transición de la onda, como rise time, fall time y delay time. Y por último, tiene la opción de cambiar de estado tanto en el flanco de subida, flanco de bajada o en ambos.

En nuestro caso, se ha escogido un valor de nivel alto de tensión y de nivel bajo de 3.3V y 0.0V respectivamente. Con una tensión de umbral (Vth) de 2.9V y los tiempos de rise, fall, y delay de 1ns y que el cambio de estado se produzca en el flanco de subida. A continuación, se muestra una simulación realizada a este componente. Como se puede observar funciona correctamente.

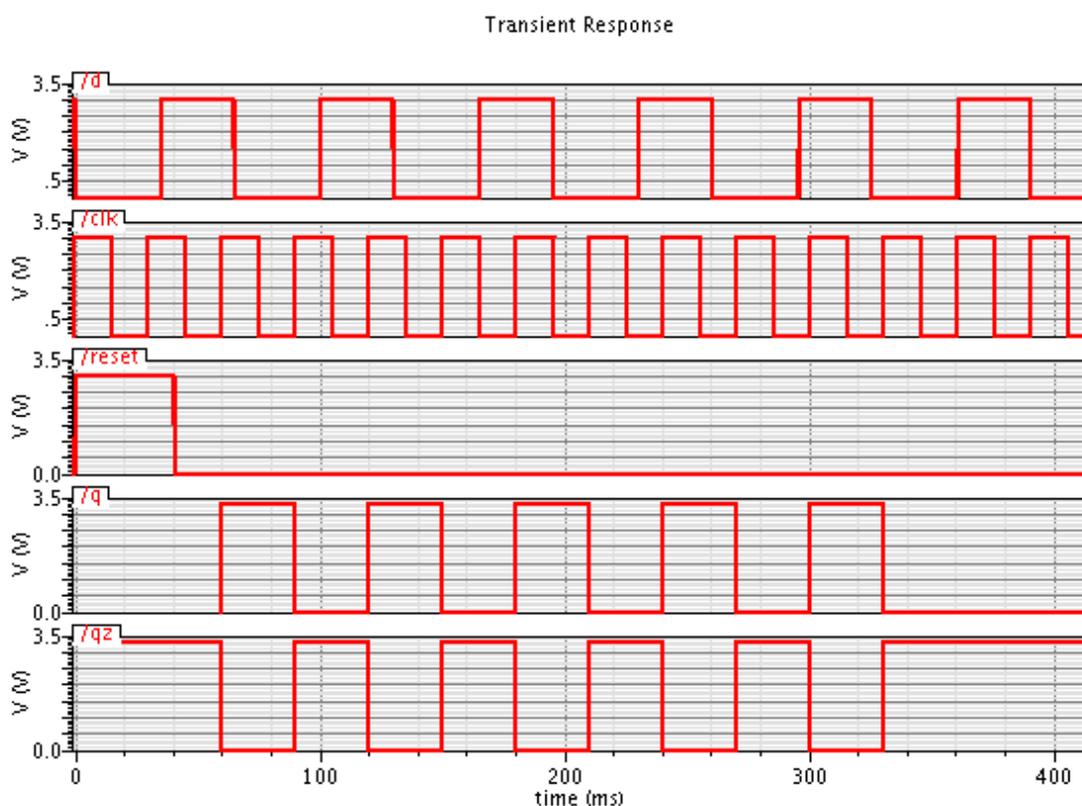


Fig. 52: Simulación realizada en el Flip Flop D.

4.2.3 Puerta AND de 2 entradas y AND de 8 entradas

Las puertas AND de 2 entradas y 8 entradas han sido diseñadas en Verilogams, de tal manera que se puede obtener dos valores lógicos de tensión a la salida uno alto (Vh) y uno bajo (Vl). También, tiene la opción de seleccionar una tensión de umbral (Vth) a la entrada para

diferenciar a partir de que tensión de entrada se considera nivel alto y/o nivel bajo. Además, se puede alterar los tiempos de transición de la onda, como rise time, fall time y delay time.

En nuestro caso, se ha escogido un valor de nivel alto de tensión y de nivel bajo de 3.3V y 0.0V respectivamente. Con una tensión de umbral (V_{th}) de 2.9 y los tiempos de rise, fall, y delay de 1ns. A continuación, se muestra una simulación realizada a a la puerta AND de 2, donde se puede comprobar que funciona correctamente.

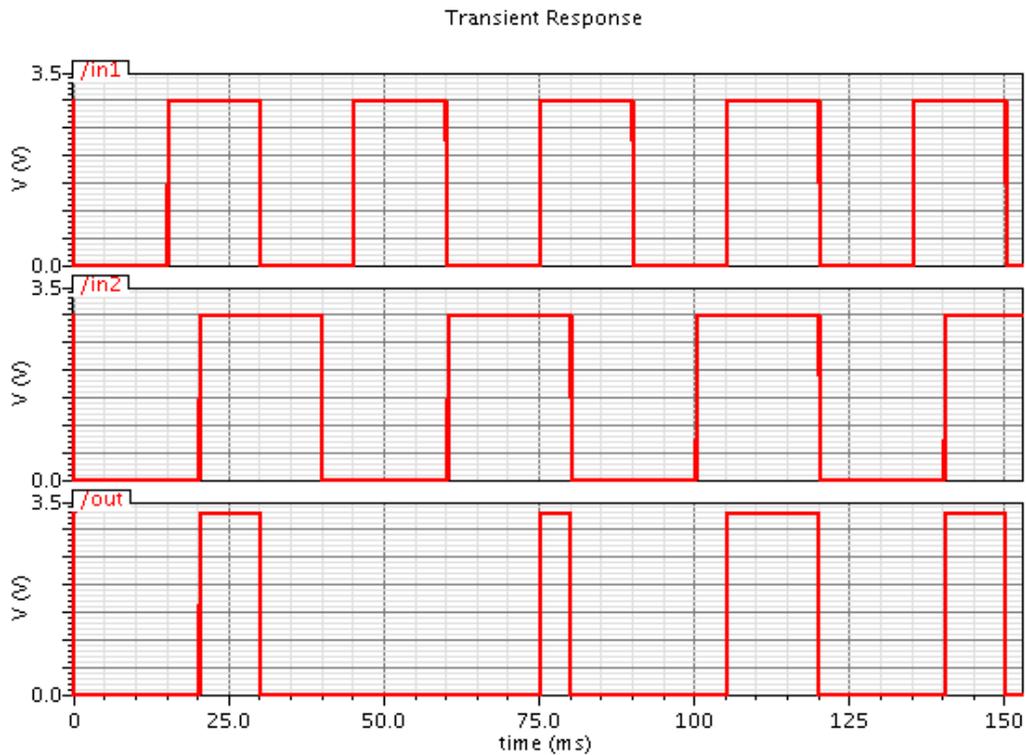


Fig. 53: Simulación realizada con una puerta AND de 2 entradas.

4.2.4 Puerta OR de 3 entradas

Esta puerta OR de 3 entradas ha sido diseñada en Verilogams, de tal manera que se puede obtener dos valores lógicos de tensión a la salida uno alto (V_h) y uno bajo (V_l). También, tiene la opción de seleccionar una tensión de umbral (V_{th}) a la entrada para diferenciar a partir de que tensión de entrada se considera nivel alto y/o nivel bajo. Además, se puede alterar los tiempos de transición de la onda, como rise time, fall time y delay time.

En nuestro caso, se ha escogido un valor de nivel alto de tensión y de nivel bajo de 3.3V y 0.0V respectivamente. Con una tensión de umbral (V_{th}) de 2.9 y los tiempos de rise, fall, y delay de 1ns. A continuación, se muestra una simulación realizada a este componente. Se

puede comprobar que funciona correctamente, los muy pequeños intervalos que están la salida en nivel bajo se debe a la los tiempos añadidos y a la tensión de umbral (V_{th}).

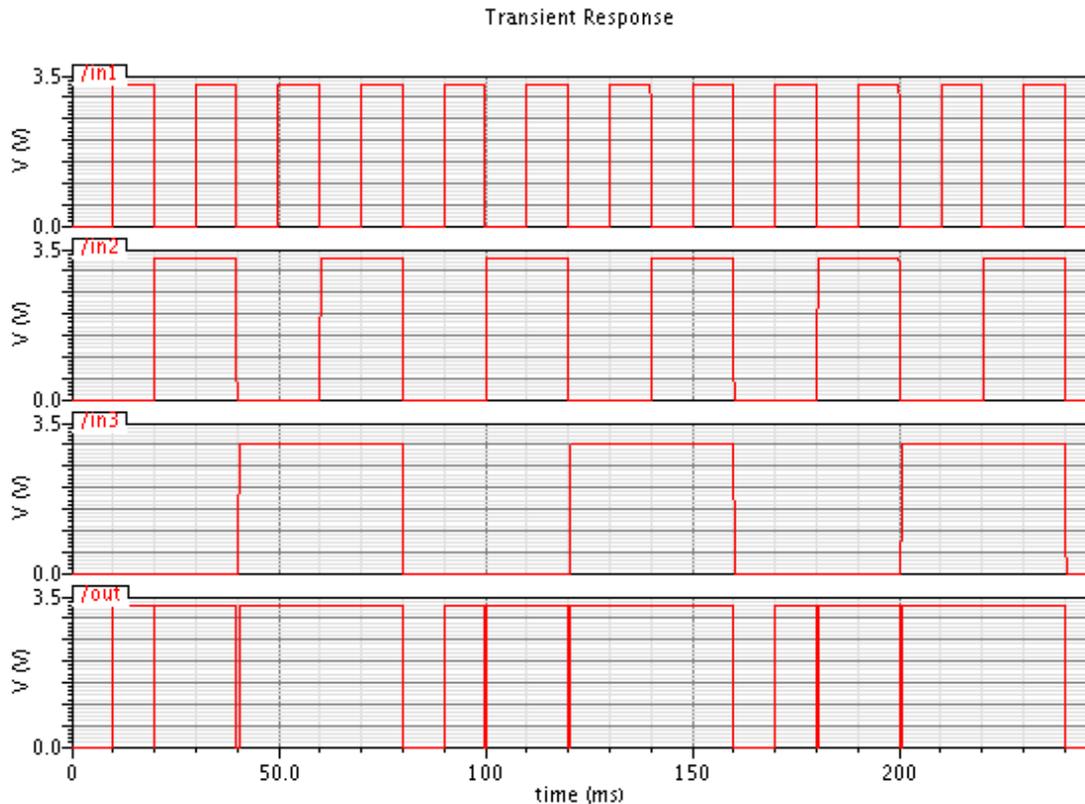


Fig. 54: Simulación realiza a la puerta OR de 3 entradas; In1, in2 y in3 son entradas de la puerta OR y out la señal de salida de la puerta OR.

4.2.5 Puerta NOR de 2 entradas

Esta puerta NOR de 2 entradas ha sido diseñada en Verilog-AMS, de tal manera que se puede obtener dos valores lógicos de tensión a la salida uno alto (V_h) y uno bajo (V_l). También, tiene la opción de seleccionar una tensión de umbral (V_{th}) a la entrada para diferenciar a partir de que tensión de entrada se considera nivel alto y/o nivel bajo. Además, se puede alterar los tiempos de transición de la onda, como rise time, fall time y delay time.

En nuestro caso, se ha escogido un valor de nivel alto de tensión y de nivel bajo de 3.3V y 0.0V respectivamente. Con una tensión de umbral (V_{th}) de 2.9 y los tiempos de rise, fall, y delay de 1ns. A continuación, se muestra una simulación realizada a este componente. Se puede comprobar que funciona correctamente.

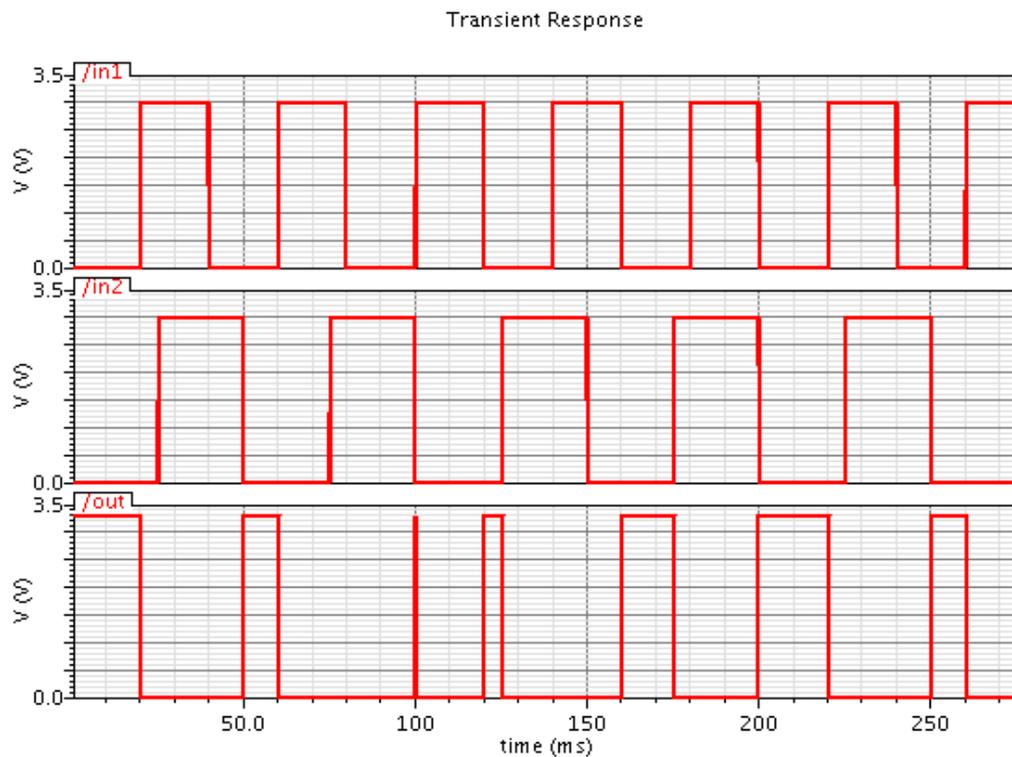


Fig. 55: Simulación realizada con una puerta NOR de 2 entrada RS.

4.2.6 Puerta NOT

Esta puerta NOT ha sido diseñada en Verilogams, de tal manera que se puede obtener dos valores lógicos de tensión a la salida uno alto (V_h) y uno bajo (V_l). También, tiene la opción de seleccionar una tensión de umbral (V_{th}) a la entrada para diferenciar a partir de que tensión de entrada se considera nivel alto y/o nivel bajo. Además, se puede alterar los tiempos de transición de la onda, como rise time, fall time y delay time.

En nuestro caso, se ha escogido un valor de nivel alto de tensión y de nivel bajo de 3.3V y 0.0V respectivamente. Con una tensión de umbral (V_{th}) de 2.9 y los tiempos de rise, fall, y delay de 1ns. A continuación, se muestra una simulación realizada a este componente donde se puede comprobar que funciona correctamente.

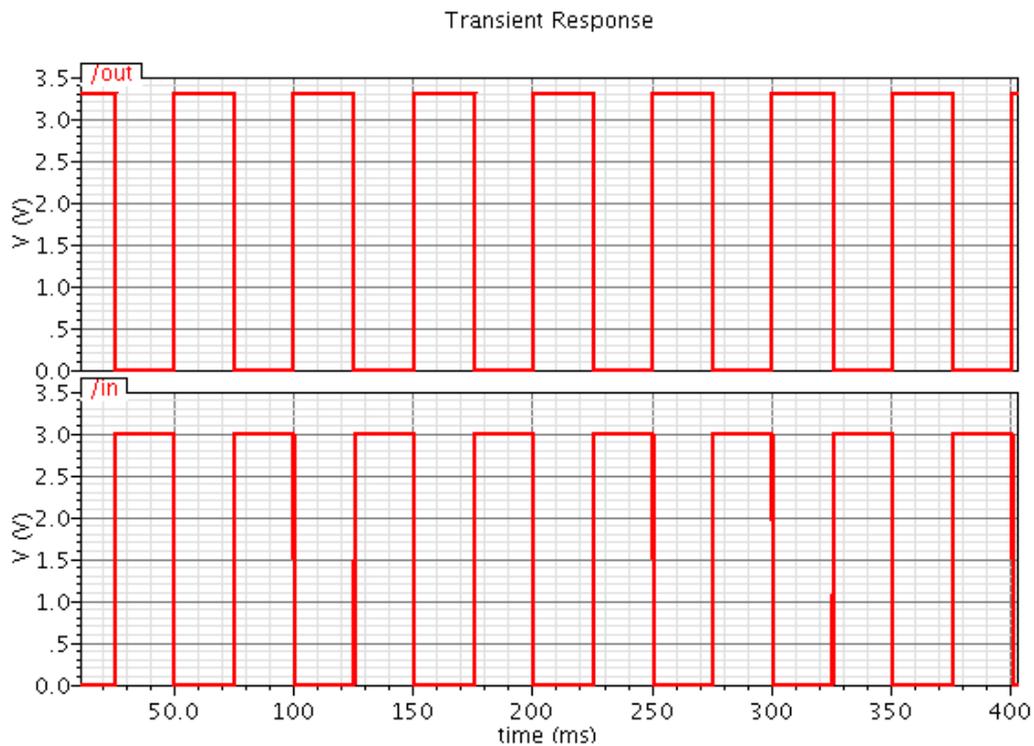


Fig. 56: Simulación realizada con una puerta NOT.

4.3 Comparadores de tensión.

Los comparadores de tensión han sido realizadas completamente en código Verilogams, se trata de un simple comparador de dos tensiones entrantes que da como resultado dos valores lógicos de tensión uno alto (V_h) y uno bajo (V_l), en el que se puede alterar los tiempos de transición de la onda, como rise time, fall time y delay time. Esto comparadores ha sido diseñados para cumplir la siguiente condición:

$$\begin{aligned} \text{si } V_p > V_n &\rightarrow V_{out} = V_h \\ \text{si } V_p < V_n &\rightarrow V_{out} = V_l \end{aligned} \quad (62)$$

En nuestro caso para emplear en el control las tensiones V_h y V_l son 3.3 V y 0.0V respectivamente y con tiempos de rise, fall, y delay de 20ns, se considero este tiempo ya que en la práctica los comparadores analógicos suelen tener este retardo. A continuación se muestra una simulación de este tipo de comparador, en el que se puede comprobar que se cumple la condición anterior.

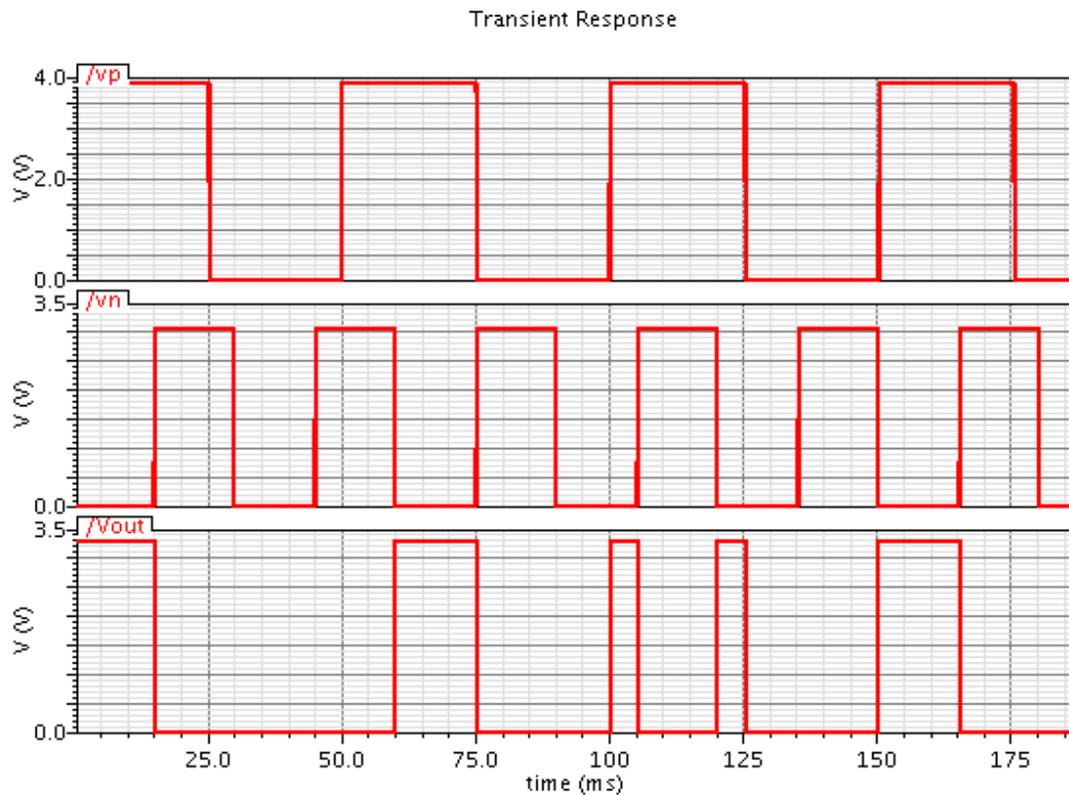


Fig. 57: Simulación del comparador diseñado.

4.4 Modulo de variación de la carga por tensión.

Este modulo se ha realizado especialmente para observar el comportamiento del control mediante al variación de la carga durante el transcurso del tiempo. Este modulo controla el valor de la resistencia a partir de una tensión. Además, tiene la opción de variar la resistencia máxima (maxres) y la resistencia mínima (minres) en ohmios, para que actúe entre estas. También ha sido realizado de tal manera que no sea posible poner valores de resistencias negativas. La relación entre la tensión de entrada de control y la resistencia es de 1, esto quiere decir, que para un valor de la tensión de entrada tiene el mismo valor que la resistencia de salida, pero diferente magnitud. Siempre y cuando este valor este entre los limites de maxres y minres. En caso contrario permanecerá en los valores límite (maxres y minres), como se puede observar en la siguiente grafica. Esta grafica trata de un barrido de las tensiones de entrada de 1Hz, los valores de la resistencia máxima y mínima en este modulo son 100k ohmios y 0.001 ohmios, respectivamente. Cuando la tensión de entrada llega a un valor igual o mayor a 100kV el valor de la resistencia permanece al valor límite máximo de 100k ohmios y en el caso en el que el valor sea menor o igual a 0.001 voltios se mantiene a 1m ohmio. El *test-bench* de esta comprobación esta en el anexo.

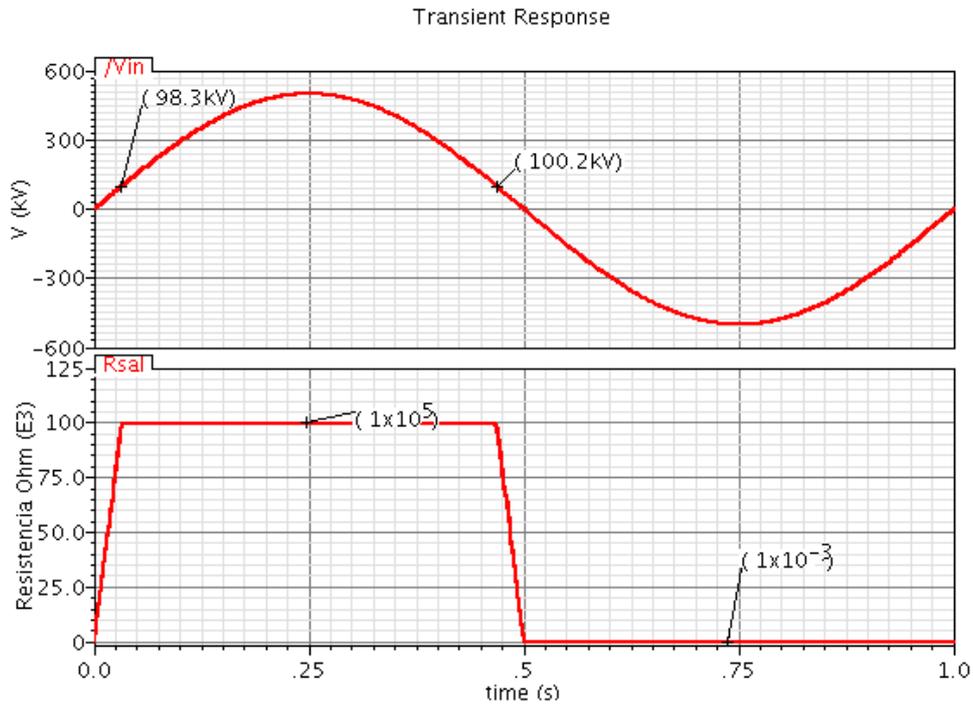


Fig. 58: Resultado de la simulación realizada en la que V_{in} es una señal senoidal de 1 Hz con una amplitud de 500kv y R_{sal} es el valor de la resistencia que se obtiene a la salida.

En la siguiente grafica se puede observar la relación entre la entrada y la salida cuando los valores límite son los mismo que en el caso anterior. Como se observa, la relación cuando está entre los límites de los valores de la resistencia maxres y minres, es de 1 y cuando no está entre los límites permanece en los límites de minres y maxres.

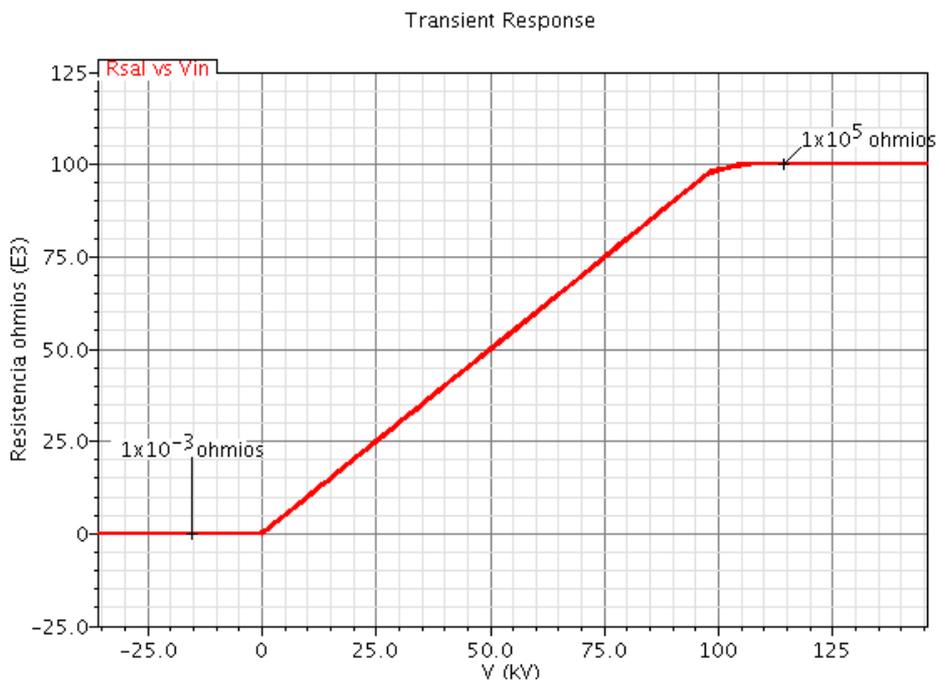


Fig. 59: Resultado de la simulación realizada en la que V_{in} es una señal senoidal de 1 Hz con una amplitud de 500kv y R_{sal} es el valor de la resistencia que se obtiene a la salida.

4.5 Oscilador (“Oscillator”).

Se trata de un generador de onda cuadrada que varía la frecuencia de oscilación según la corriente de entrada en éste, se ha diseñado de tal manera que se pueda variar la frecuencia máxima y mínima, en Herzios, que se desea con su correspondiente intensidad máxima y mínima, en Amperios. También, se puede modificar la tensión de salida a nivel bajo y alto. En nuestro caso la frecuencia se puede variar entre 8 Mhz y 32Mhz con una entrada de corriente, respectivamente de 10uA y 100uA y nivel alto y bajo de salida de 3.3V y 0.0 V respectivamente. Este bloque ha sido diseñado en Verilog-AMS. La siguiente gráfica muestra la relación entre la entrada de corriente y la frecuencia de salida. Cuya, ecuación entre la corriente de entrada y la frecuencia de salida, del bloque oscilador es la siguiente:

$$f_o = \frac{(I_{in} - I_{min}) \cdot (f_{max} - f_{min})}{(I_{max} - I_{min})} + f_{min} \quad (63)$$

Teniendo en cuenta, para nuestro caso, $I_{min}=10\mu A$, $I_{max}=100\mu A$, $f_{min}=8\text{Mhz}$, $f_{max}=32\text{Mhz}$.

La señal de salida aparte de variar su frecuencia, hay que indicar que varía entre 0 y 3.3 Voltios, como indican los requisitos.

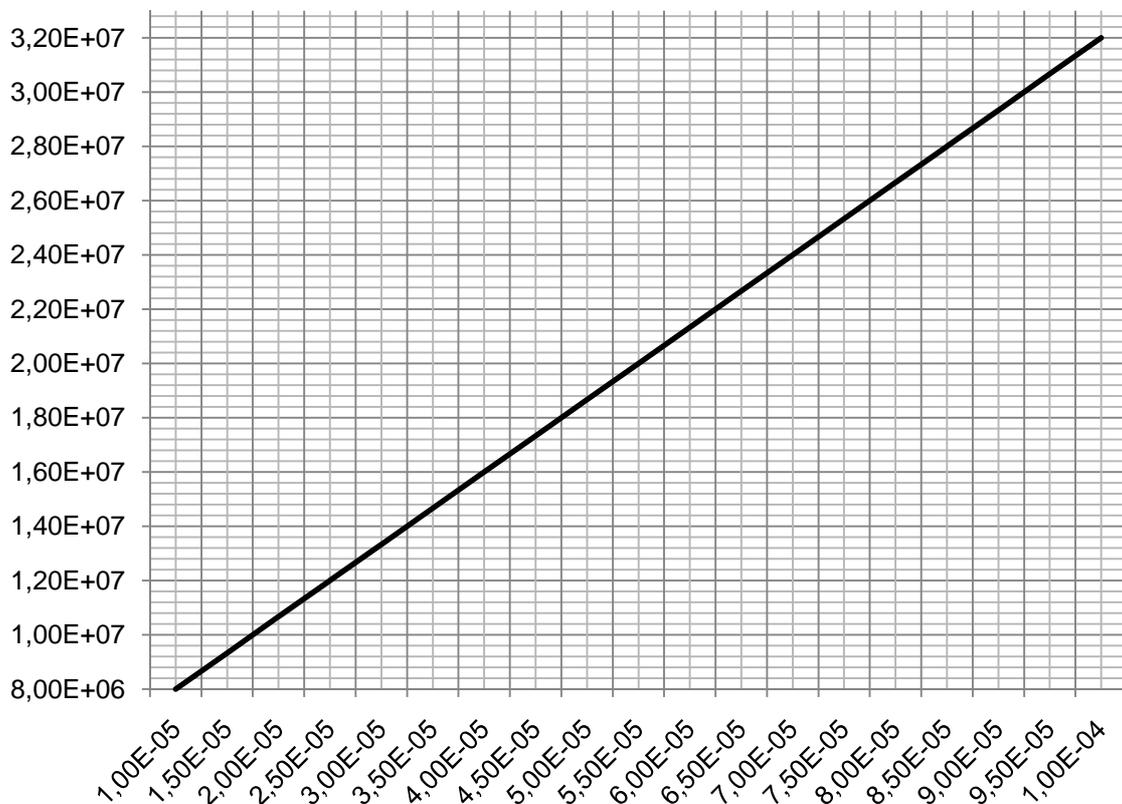


Fig. 60: Relación entre la frecuencia de salida y la intensidad de entrada del oscilador. En el eje horizontal (X) la intensidad de entrada en amperios y en el eje vertical las frecuencias de salida del oscilador en Hz.

5 Simulaciones

En este apartado se va a analizar las características principales del convertor diseñado y realizado, mediante las herramientas oportunas de Cadence™ y Matlab®. Para ello se va a analizar las siguientes características.

- Ganancia de lazo del lazo de tensión en modo corriente.
- Sensibilidad dinámica en modo corriente.
- Impedancia de salida en lazo cerrado.
- Variaciones de la tensión de salida variando la carga.
- Variaciones de la tensión de salida variando la tensión de entrada.
- Puesta en marcha con carga baja y alta.
- Conversión de PFM a PWM y de PWM a PFM.
- General del convertor en régimen normal.

5.1 Ganancia de lazo del lazo de tensión en modo corriente.

Esta ganancia ya ha sido calculada en la sección 3.1 para el diseño del amplificador de error y se muestra en el apartado referido a este. La ecuación de ganancia de este lazo se basa en la siguiente figura en la que aparece red de muestreo β y el compensador de tensión $A_v(s)$.

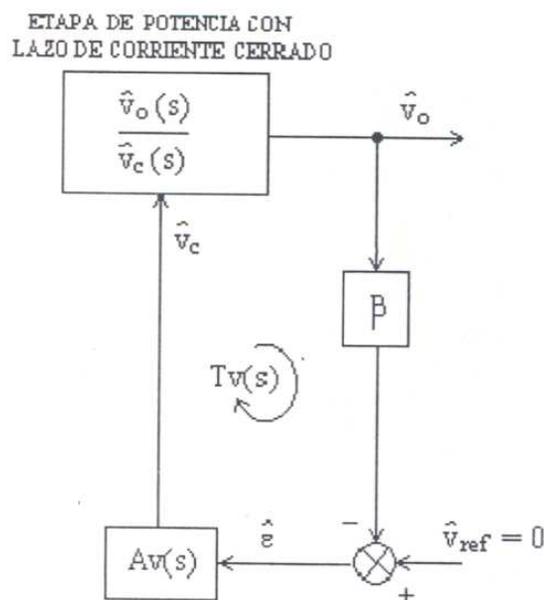


Fig. 61: Lazo externo de tensión (4).

A partir de la figura la ecuación de ganancia de lazo del lazo de tensión en modo corriente es:

$$T_v(s) = \frac{\hat{v}_o(s)}{\hat{v}_c(s)} \cdot A_v(s) \cdot \beta \quad (64)$$

$$\frac{6.4981 \cdot 10^{18}(s + 1.33 \cdot 10^5)^2(s^2 + 1.33 \cdot 10^5 + 1.33 \cdot 10^{10})(s + 1 \cdot 10^4)}{s(s + 3 \cdot 10^6)(s + 1.50 \cdot 10^5)(s + 1.33 \cdot 10^5)(s^2 + 1.33 \cdot 10^5 + 1.33 \cdot 10^{10})(s^2 + 6.152 \cdot 10^6 + 9.771 \cdot 10^{12})} \quad (65)$$

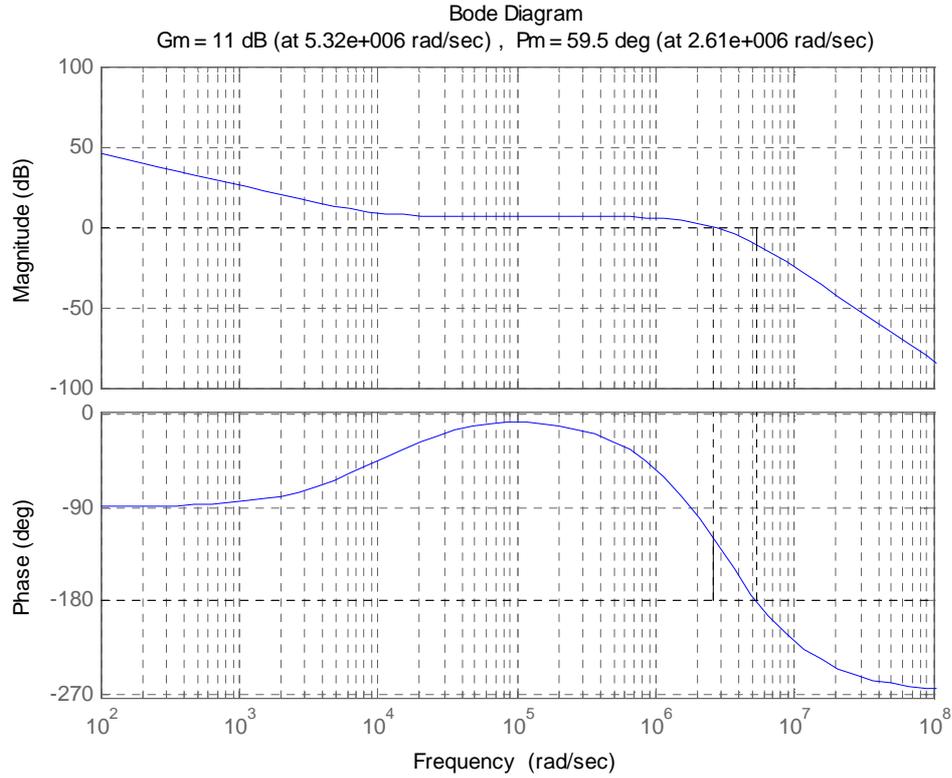


Fig. 62: Ganancia de lazo del lazo de tensión en modo corriente.

5.2 Sensibilidad dinámica en modo corriente.

La sensibilidad dinámica se define como la tensión de salida ante rizado de baja frecuencia. Esta se define como por la siguiente expresión:

$$A_{Lc}(s) = \frac{A(s)}{1 + T_v(s)} \quad (66)$$

A(s) es la sensibilidad dinámica en lazo abierto, sin el lazo de control, para ello antes se tendrá que calcular está y se define para un circuito Buck:

$$A(s) = D \cdot \frac{(1 + sRC)}{\frac{S^2}{\omega_n^2} + \frac{S}{Q \cdot \omega_n} + 1} \quad (67)$$

Siendo $D = 0.25$, ciclo de trabajo y los demás parámetros calculados en el apartado referido al cálculo del amplificador de error, se obtiene la siguiente ecuación.

$$A(s) = 0.25 \cdot \frac{1 \cdot 10^5 s + 1.333 \cdot 10^{10}}{2.5s^2 + 3.334 \cdot 10^5 s + 1.333 \cdot 10^{10}} \quad (68)$$

A partir de esto ya calculado se puede aplicar la ecuación anterior de la sensibilidad dinámica en lazo cerrado.

$$\frac{10000s(s + 1.33 \cdot 10^5)^2(s^2 + 1.33 \cdot 10^5 + 1.33 \cdot 10^{10})(s + 1.33 \cdot 10^5)(s + 1.498 \cdot 10^5)(s + 3 \cdot 10^6)(s^2 + 6.152 \cdot 10^6 + 9.77 \cdot 10^{12})}{(s + 1.33 \cdot 10^5)(s + 6638)(s + 1.383 \cdot 10^5)(s^2 + 1.33 \cdot 10^5 + 1.33 \cdot 10^{10})^2(s + 7.047 \cdot 10^6)(s^2 + 2.11 \cdot 10^6 + 1.34 \cdot 10^{13})} \quad (69)$$

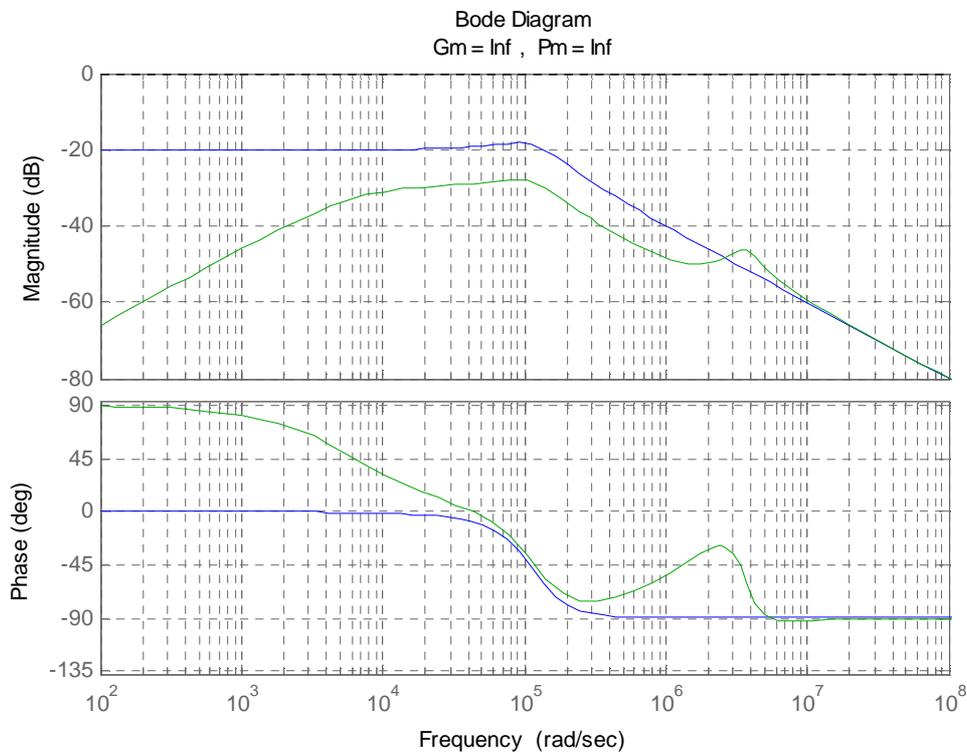


Fig. 63: Sensibilidad dinámica en lazo abierto (azul) e sensibilidad dinámica en lazo cerrado (verde).

Como se puede observar en la grafica, la sensibilidad dinámica en lazo cerrado mejora respecto a lazo abierto y tiene un máximo en la frecuencia de corte ($\omega_n = 1.1547 \cdot 10^5$) y se atenúa conforme nos alejamos de esta. Por lo que se puede asegurar que esta en un margen aceptable.

5.3 Impedancia de Salida.

La impedancia de salida, o variación dinámica de la tensión ante variaciones de corriente en la carga. Esta se define como:

$$Z_{o_{LC}}(s) = \frac{Z_o(s)}{1+T_v(s)} \quad (70)$$

$Z_o(s)$ es la impedancia de salida en lazo abierto, siendo para un Buck, la siguiente expresión:

$$Z_o(s) = (R_L//R) \cdot \frac{\left(1 + \frac{s}{\omega_{z1}}\right) \cdot \left(1 + \frac{s}{\omega_{z2}}\right) \cdot \omega_n^2}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2} \quad (71)$$

Siendo:

$$\omega_n = \frac{1}{\sqrt{L \cdot C}} = 1.1547 \cdot 10^5 \text{ rad/sec} \quad (72)$$

$$\xi = \frac{1}{2 \cdot \omega_n} \cdot \left(\frac{1}{((R_L//R) + R_c) \cdot C} + \frac{R_L + R}{L} \right) = 15.3069 \quad (73)$$

$$\omega_{z1} = \frac{R}{L} = 4 \cdot 10^3 \text{ rad/sec} \quad (74)$$

$$\omega_{z2} = \frac{1}{R_c \cdot C} = 3.333 \cdot 10^8 \text{ rad/sec} \quad (75)$$

Por lo que se obtiene una impedancia de salida en lazo abierto, que cumple la siguiente expresión:

$$Z_o(s) = \frac{0.0009615s^2 + 3.205 \cdot 10^5s + 1.282 \cdot 10^7}{s^2 + 3.535 \cdot 10^6s + 1.333 \cdot 10^{10}} \quad (76)$$

Una vez que se tiene esto, la expresión de la impedancia de salida en lazo cerrado es, según la expresión anterior es;

$$\frac{0.0009615s(s + 1.33 \cdot 10^5)(s + 3.33 \cdot 10^8)(s^2 + 1.33 \cdot 10^5 + 1.33 \cdot 10^{10})(s + 4000)(s + 1.498 \cdot 10^5)(s + 3 \cdot 10^6)(s^2 + 6.152 \cdot 10^6 + 9.77 \cdot 10^{12})}{(s + 3776)(s + 3.531 \cdot 10^6)(s + 1.33 \cdot 10^5)(s + 6638)(s + 1.383 \cdot 10^5)(s^2 + 1.33 \cdot 10^5 + 1.33 \cdot 10^{10})(s + 7.047 \cdot 10^6)(s^2 + 2.11 \cdot 10^6 + 1.34 \cdot 10^{13})} \quad (77)$$

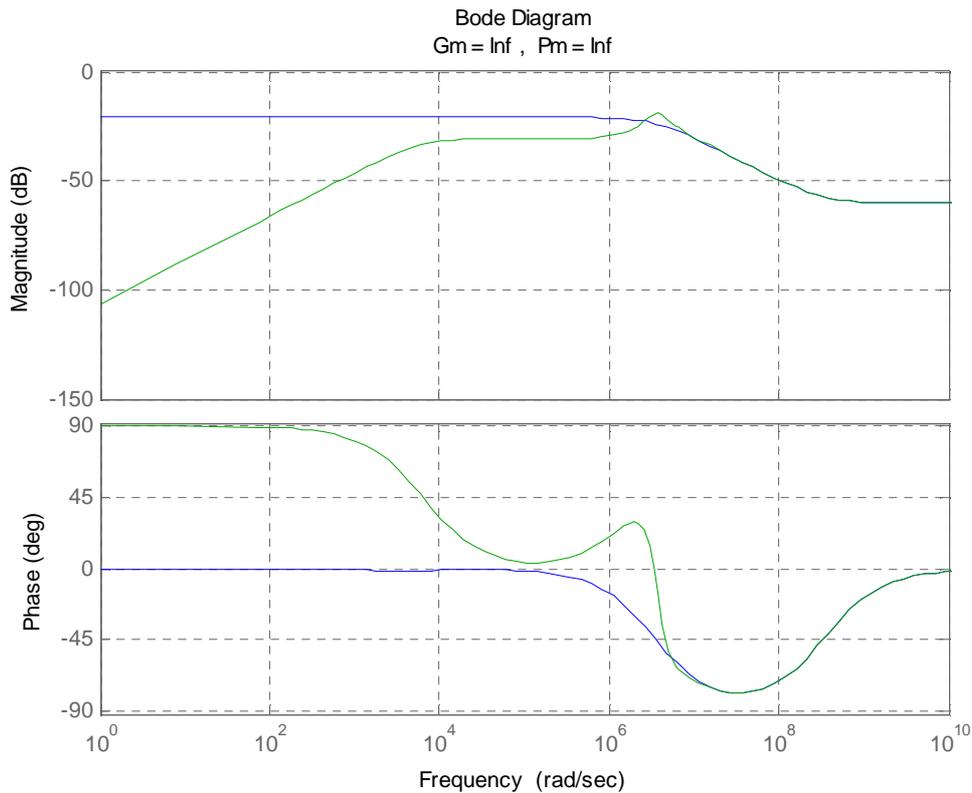


Fig. 64: Impedancia de salida lazo abierto (azul) e impedancia en lazo cerrado (verde).

Como se puede observar, ya tiene un valor aceptable en lazo abierto y se ha mejorado la impedancia de salida en lazo cerrado respecto a la impedancia de salida en lazo abierto, como se puede observar cuanto menor frecuencia mayor mejora este.

5.4 Tensión de salida variando la carga.

Para esta simulación se va a realizar de dos maneras primera aumentando la carga desde su valor nominal (2.5 ohmios) hasta 6 ohmios y otra disminuyendo desde 2.5 ohmios hasta 0.5 ohmios con una tensión de entrada del convertor de 20 voltios y una frecuencia de reloj de 1 Mhz.

En el primer caso, se aumenta la carga desde 2.5 ohmios hasta 6 ohmios, se muestra en la siguiente figura, como afecta la variación de la carga de salida en la tensión de salida del convertor (V_{out}), en la intensidad en el inductor ($I_{inductor}$) y en la tensión de salida del amplificador de error ($V_{out_amp_erro}$). Como se puede observar en esta grafica, conforme se aumenta la carga la acción de control (Tensión de salida del amplificador de error) disminuye y obliga que con esta nueva carga, la tensión de salida del convertor vuelva a su valor de 5 voltios. También, es lógico que conforme aumente la carga disminuya la intensidad en el inductor si se quiere a una tensión de salida igual para todas las variaciones de carga.

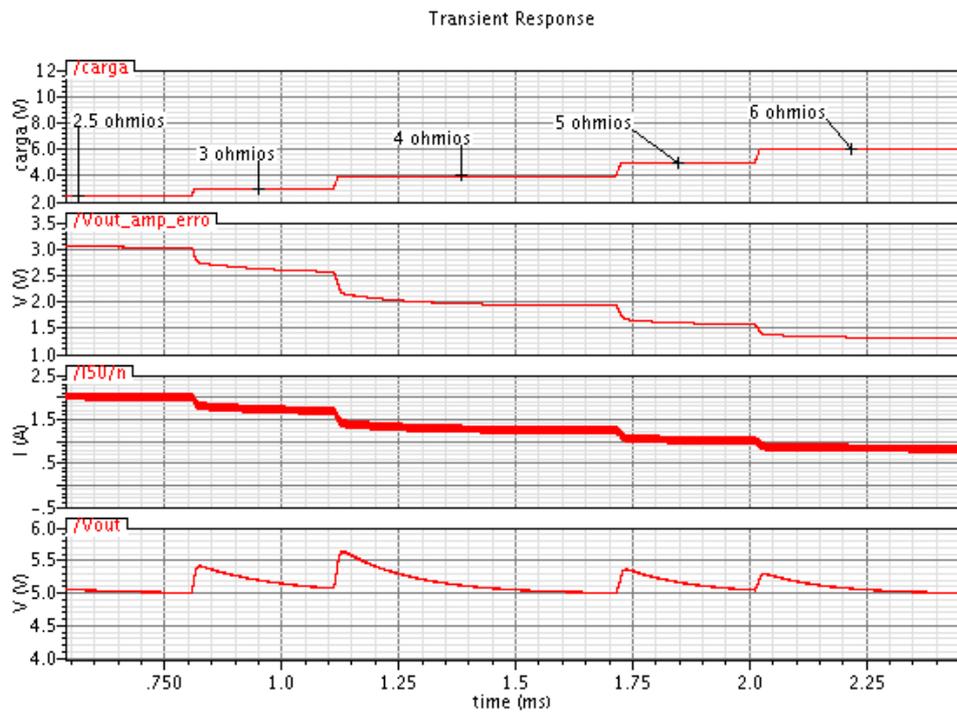


Fig. 65: Tensión de salida del convertor (V_{out}), corriente en el inductor ($I_{5U/n}$) y tensión de salida del amplificador de error ($V_{out_amp_erro}$) variando la carga des 2.5 ohmios hasta 6 ohmios.

En las próximas graficas se puede observar más detalladamente lo que sucede en la transición cuando se aumenta la carga, a la salida del amplificador de error, en la corriente de la bobina y la tensión de salida del convertor.

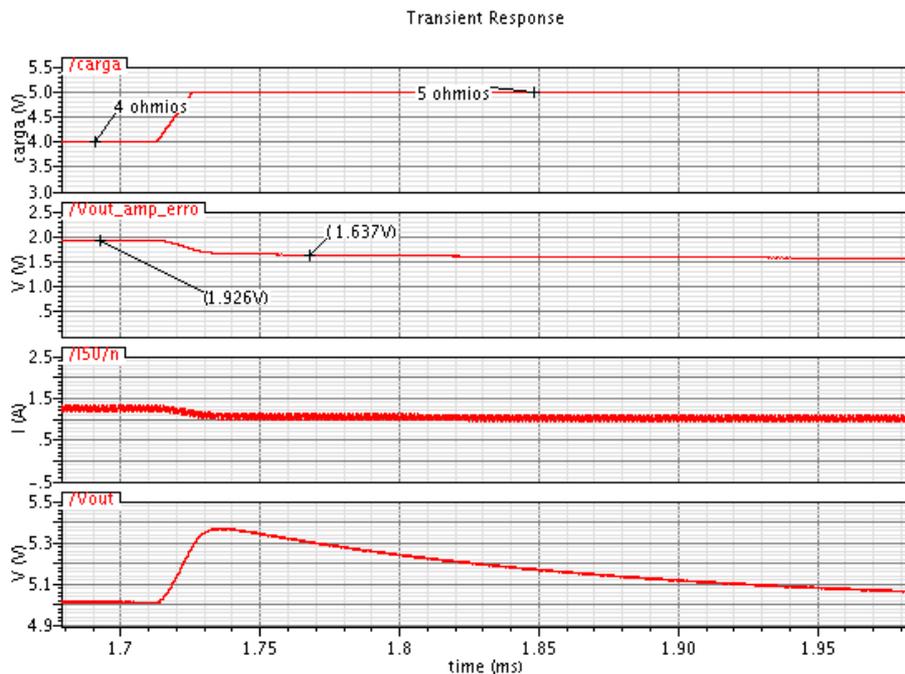


Fig. 66: Tensión de salida del convertor (V_{out}), corriente en el inductor ($I_{5U/n}$) y tensión de salida del amplificador de error ($V_{out_amp_erro}$) variando la carga des 4 ohmios a 5 ohmios.

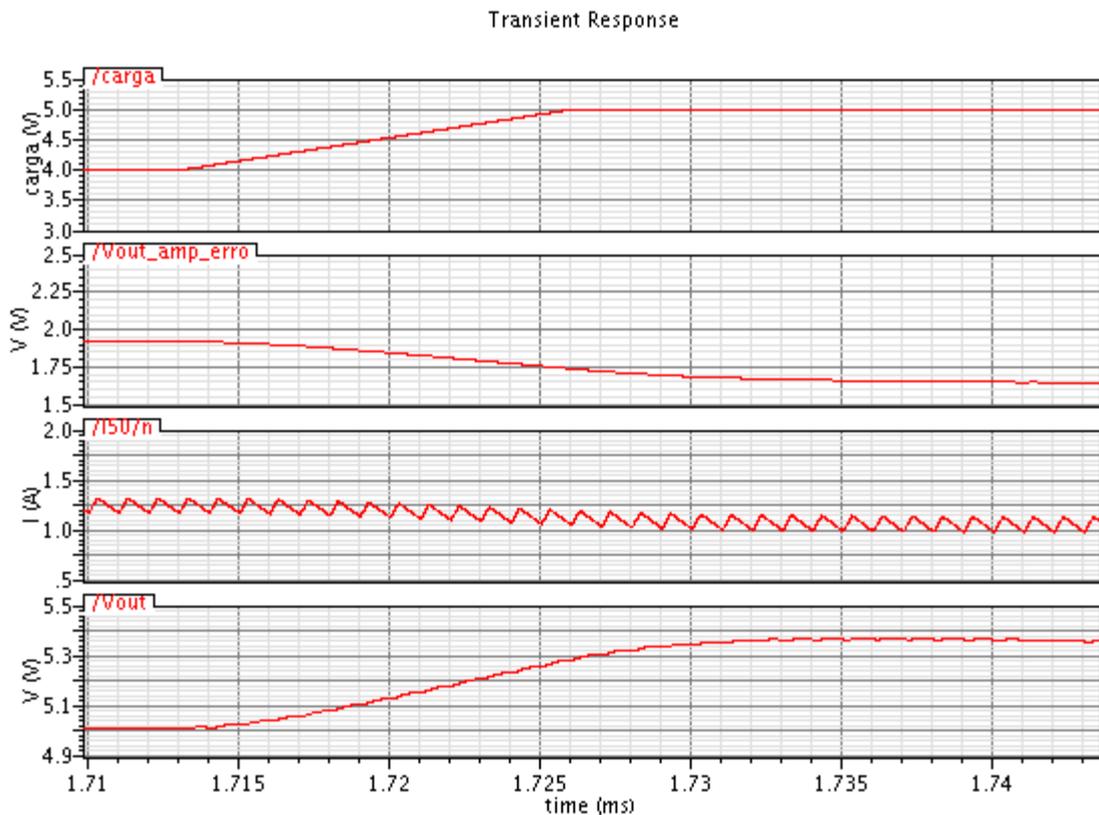


Fig. 67: Tensión de salida del convertor (V_{out}), corriente en el inductor ($I/150/n$) y tensión de salida del amplificador de error ($V_{out_amp_erro}$) variando la carga des 4 ohmios a 5 ohmios, aumentada.

En el segundo caso, se va disminuir la carga desde 2.5 ohmios hasta 0.5 ohmios, como en el caso anterior se muestra en la siguiente figura la tensión de salida en el amplificador de error, la tensión de salida del convertor y la intensidad en el inductor variando la carga. Como se puede observar, conforme se disminuye la carga, la acción de control (tensión de salida del amplificador de error) aumenta, hasta que se encuentra esté en saturación debido a que nuestro convertor es de modo corriente y el límite que se propuso a la hora de diseñar el sistema de control era de 2.5 A, por lo que se puede verificar que funciona correctamente. Es lógico, observa que conforme disminuye la carga llega a un punto que la tensión de salida disminuye ya que la corriente en el inductor está limitada.

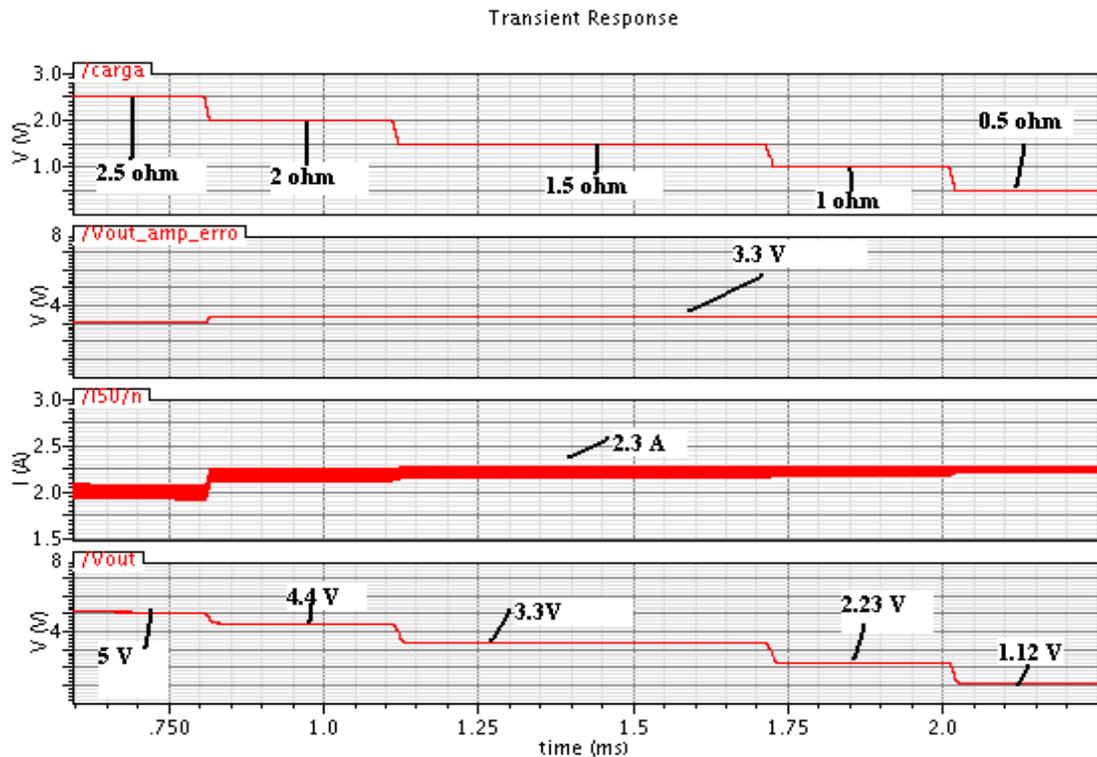


Fig. 68: Tensión de salida del convertor (V_{out}), corriente en el inductor ($I_{/507n}$) y tensión de salida del amplificador de error ($V_{out_amp_erro}$) variando la carga des 2.5 ohmios hasta 0.5 ohmios.

5.5 Tensión de salida variando la tensión de entrada.

A continuación se muestra una grafica realizada con la carga nominal de 2.5 ohmios, con una frecuencia de conmutación de 1Mhz, en el que se variando la tensión de entrada desde 20 Voltios hasta 50 Voltios, ya que tal como se ha diseñado el control para una tensión menor de 17 volitos o menor que esta la tensión de salida es cero, esto está controlado por el UVLO. Como se puede observar en la siguiente grafica la corriente del inductor, la tensión de salida del amplificador de error ha permanecido estable ante la variación de la tensión de entrada.

La conclusión que se saca de esta simulación que ante una entrada de + 250% de la tensión nominal de entrada, por lo que el regulador diseñado, se muestra eficaz ante este tipo de perturbaciones.

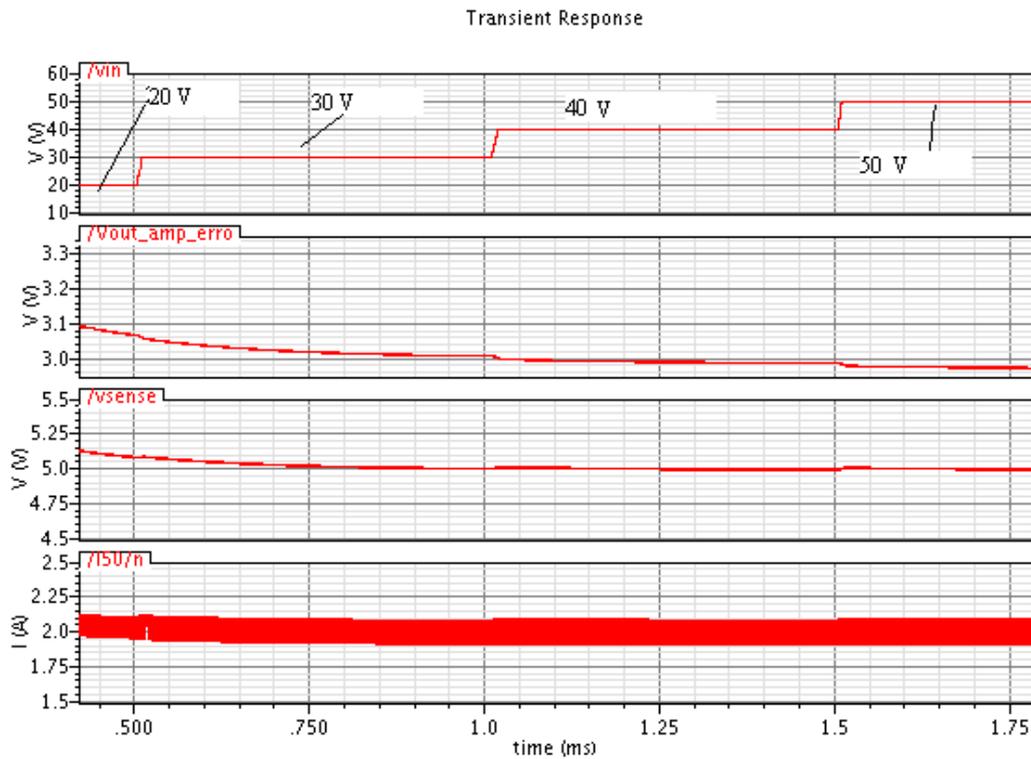


Fig. 69: Tensión de salida del conversor (V_{sense}), corriente en el inductor ($I_{50/n}$) y tensión de salida del amplificador de error ($V_{out_amp_erro}$) variando la tensión de entrada (V_{in}) desde 20 Voltios hasta 50 Voltios.

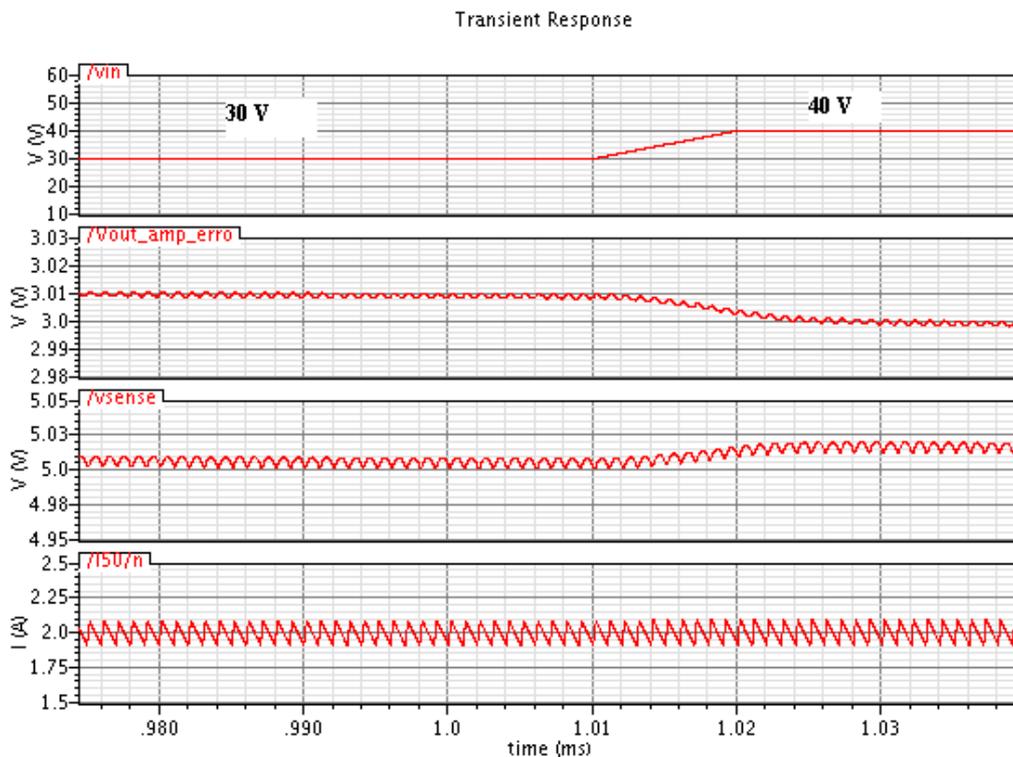


Fig. 70: Tensión de salida del conversor (V_{sense}), corriente en el inductor ($I_{50/n}$) y tensión de salida del amplificador de error ($V_{out_amp_erro}$) en la transición de la tensión de entrada de 20 Voltios a 30 Voltios.

En la figura anterior se puede observar que existe una pequeña variación en la transición de variación de tensión de entrada.

5.6 Puesta en marcha con carga baja y alta.

A continuación se muestran simulaciones para averiguar cómo regula la tensión y qué suceden si inicialmente se tiene una resistencia baja o mayor a la nominal. Estas simulaciones se han realizado con una frecuencia de conmutación de 1 MHz y una tensión de entrada de 20 Voltios.

En el primer caso, se ha realizado una simulación para estudiar la puesta en marcha con carga baja, con una carga de 0.25 ohmios. El resultado en este caso se muestra en la siguiente figura, como se observa, en este caso actúa el límite de corriente que es aproximadamente 2.5 A por tener una impedancia de salida muy baja, por lo que se obtiene una tensión de salida en régimen permanente de aproximadamente 0.563 V. Ya que si se multiplica la intensidad en la bobina por la carga de 0.25 ohmios da como resultado este.

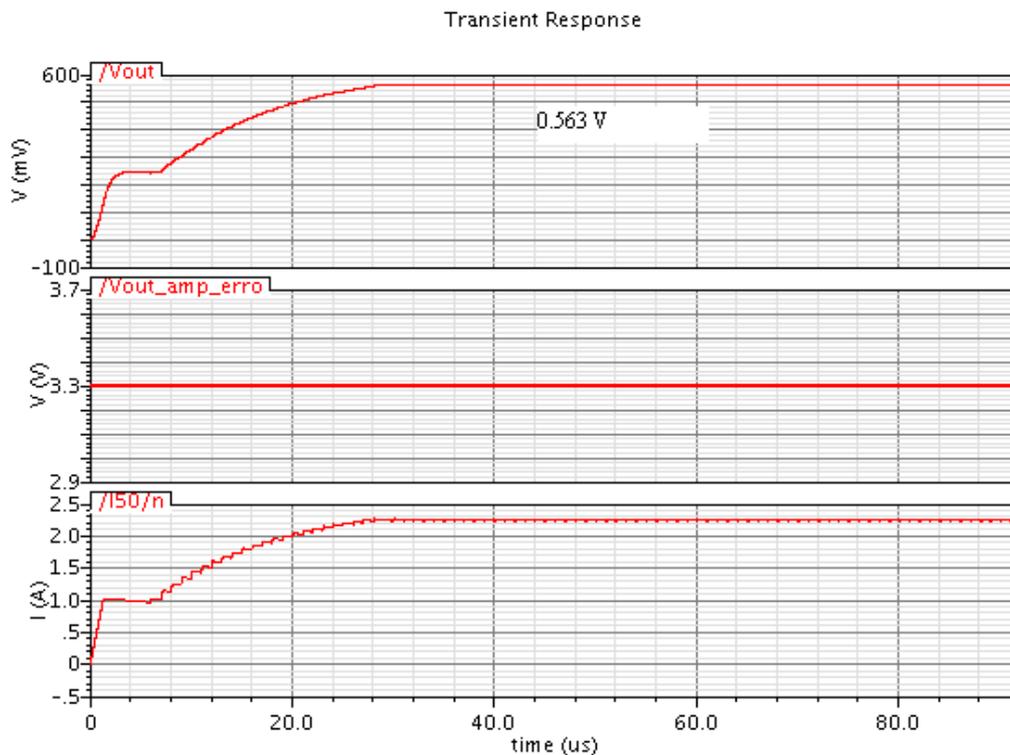


Fig. 71: Tensión de salida del convertidor (V_{out}), corriente en el inductor ($I_{50/n}$) y tensión de salida del amplificador de error ($V_{out_amp_erro}$), cuando se produce el arranque con una carga de 0.25 ohmios.

En el segundo caso, se ha realizado una simulación para estudiar el arranque con carga alta, con una carga de 7 ohmios. El resultado se muestra en la siguiente figura, donde se comprueba el arranque aumenta hasta el valor límite de la corriente y después de un tiempo se estabiliza a un valor de 5 Voltios.

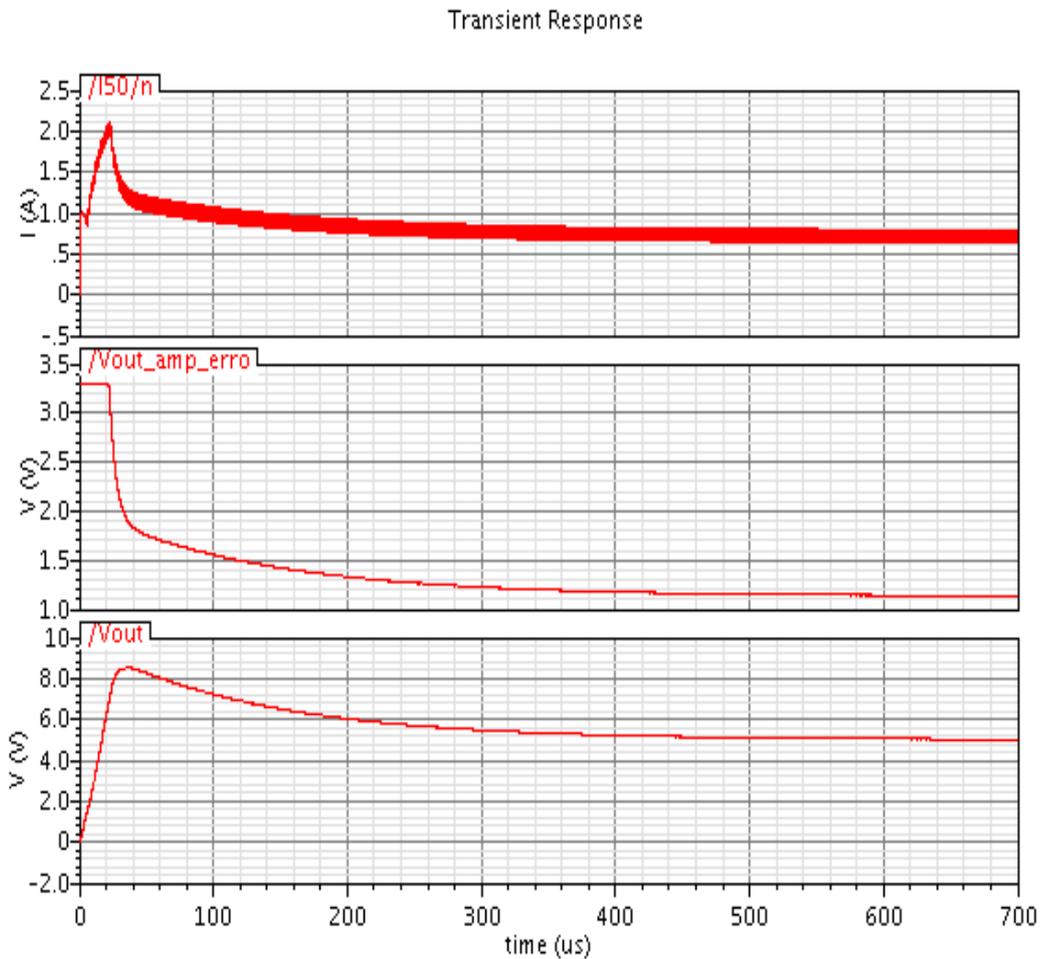


Fig. 72: Tensión de salida del convertor (V_{out}), corriente en el inductor ($I_{50/n}$) y tensión de salida del amplificador de error ($V_{out_amp_erro}$), cuando se produce el arranque con una carga de 7 ohmios.

5.7 Conversión de PWM a PFM y de PWM a PFM

A continuación se muestra la variación la conversión de PWM a PFM y de PFM a PWM, esta variación se realizo mediante la una gran variación de la carga de salida, para que la intensidad decayera entre los limites.

Transient Response

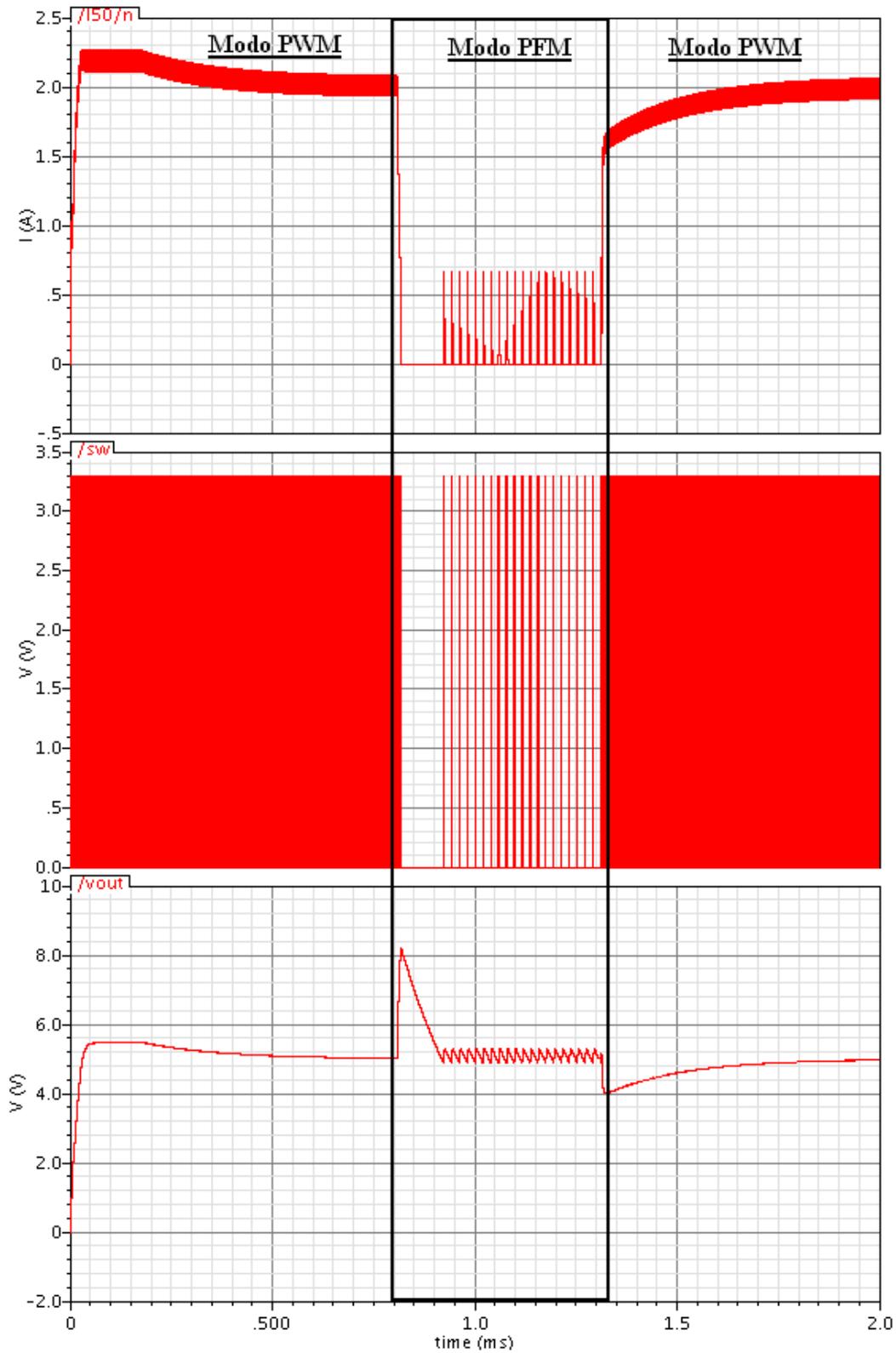


Fig. 73: Tensión de salida del conversor (V_{out}), corriente en el inductor ($I_{50/n}$) y señal que controla la etapa de potencia (sw),.

5.8 Conversor DC DC

A continuación se muestra la simulación realizada en los puntos importantes del circuito de control y de potencia para comprobar su funcionamiento en modo normal, con una frecuencia de 1Mhz, tensión de entrada del convertor de 20 V y carga de salida de 2.5 ohmios.

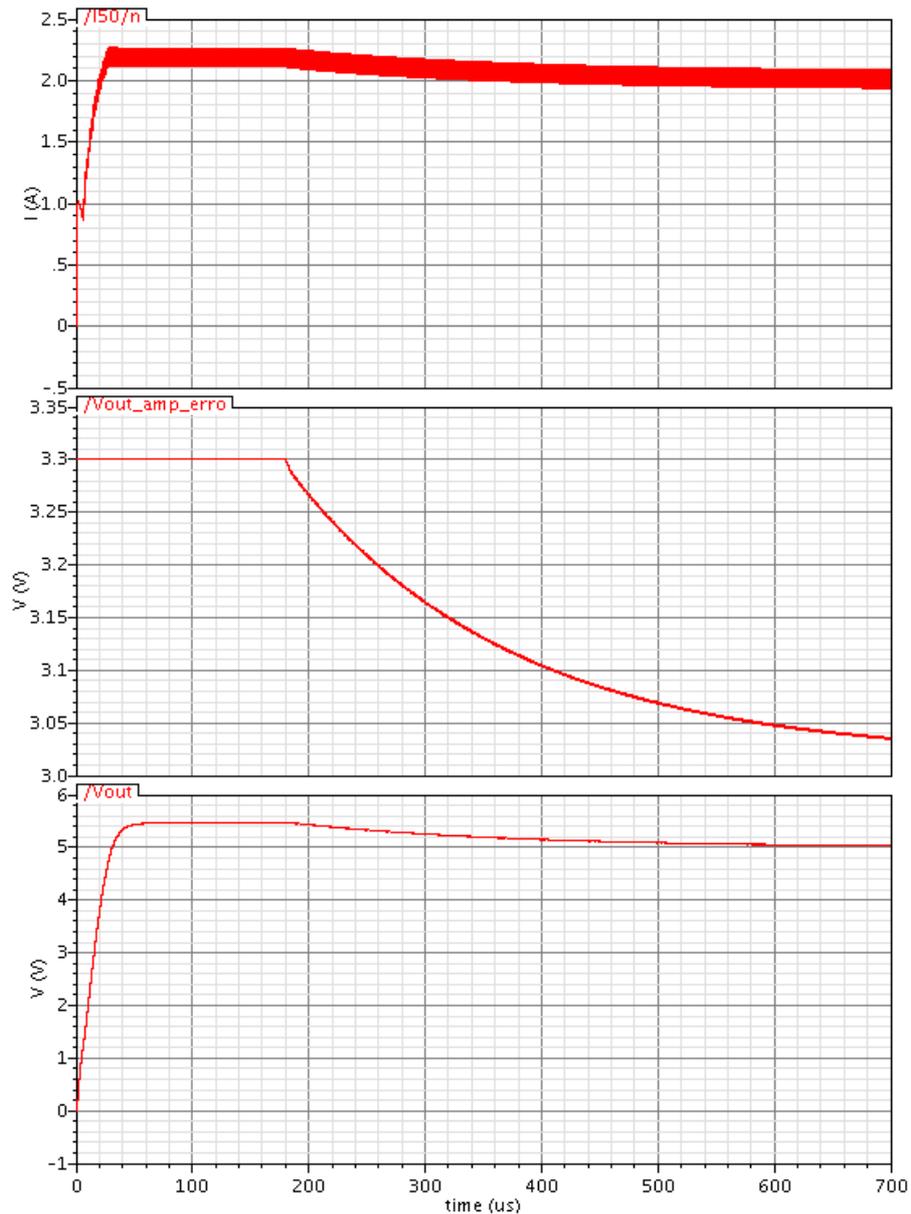


Fig. 74: Tensión de salida del convertor (V_{out}), corriente en el inductor ($I_{inductor}$) y tensión de salida del amplificador de error ($V_{out_amp_erro}$).

5.9 Conclusiones

A raíz de las simulaciones realizadas se puede concluir que el conversor cumple con los requisitos y que no tiene problemas de inestabilidad después de observar estas.

6 Conclusiones

En este capítulo se exponen las principales conclusiones extraídas del conjunto del proyecto.

A partir de la recopilación de información se ha observado que existe poca información referida a la modulación PFM para convertidores DC DC, mientras tanto en caso de modulación PWM hay mucha y muy extensa. En ella se ha comprobado que con la modulación PFM existen menos pérdidas que con PWM.

Se ha nombrado las diferencias importantes entre el modo de control por corriente y tensión, y se ha realizado una comparación entre ellas.

Que no es fácil implementar un circuito en un ambiente aeroespacial. Ya que hay que tener en cuenta problemas como el vacío y la radiación. Si además se desea un buen rendimiento del convertidor y optimizar el espacio de este convertidor la dificultad es mayor. Por lo que se han comentado los fenómenos físicos que pueden tener los circuitos electrónicos en un ambiente espacial.

Que a nivel comercial, el mercado de convertidores aeroespacial no es muy extenso y esta controlado por empresas de los Estados Unidos de América. Por lo que no existe un mercado europeo referente a este tipo de convertidor que soporte estas características especiales. Además, de que las empresas estudiadas utilizan modulación PWM.

Se ha estudiado el diseño del documento (1). Debido a problemas de poca información que tenía el documento y errores encontrados. Se ha tenido que diseñar un sistema de control para un convertidor que cumple con las características comentadas al inicio de este documento. Por ello se ha realizado y diseñado una estructura de control diferente al que se propone en el documento (1).

Se ha realizado el modelo de cada componente del convertidor en Verilog-AMS, por lo que se ha aprendido como emplear la herramientas oportunas de Cadence™. Y las simulaciones oportunas de cada modelo para verificar su correcto funcionamiento. Además de aprender a utilizar Cadence™.

Una vez realizado cada modelo se ha unido cada modelo, para obtener al final el convertidor con las características deseadas. Y posteriormente poder realizar las simulaciones oportunas que definen el convertidor diseñado.

Referente al convertidor diseñado cumple con las características propuestas y después de observar las simulaciones se puede verificar que nuestro sistema, sin tener en cuenta las limitaciones del espacio, es óptimo.

7 Bibliografía

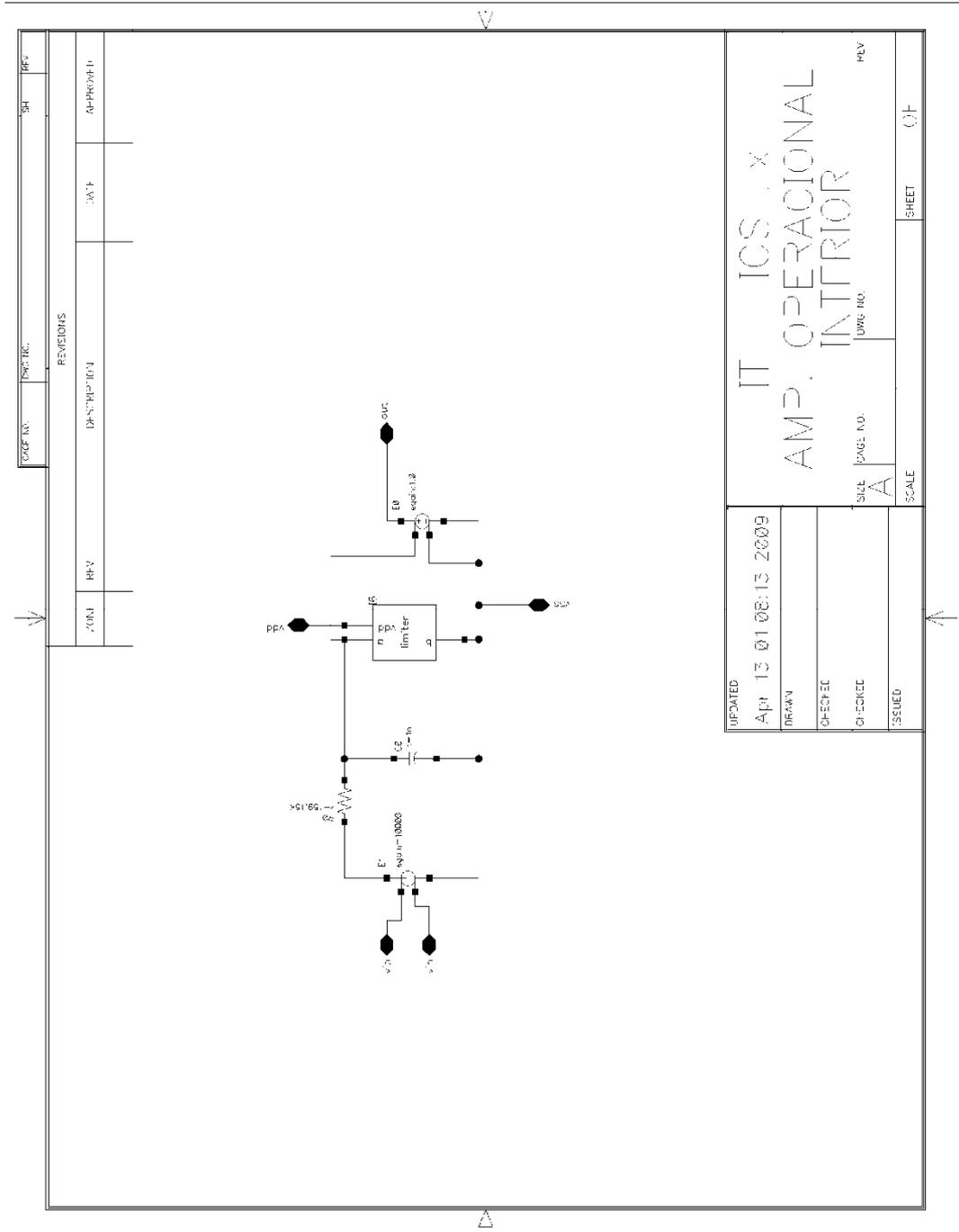
1. **Pires, Carlos Daniel Silva Reis.** *Conversores DC DC para a industria Aeroespacial - I.* Lisboa : s.n., 2008.
2. **Mohan, N, Undeland, T. M. y Robbins, W.P.** *Power Electronics: converters, applications and design.* Michigan : John Wiley & Sons, 1994. 0471584088.
3. **Basso, C.P.** *Switch-Mod Power Supply SPICE Cookbook.* New York : McGraw-Hill, 2001. 0-07-137509-0.
4. **Garcerá Sanfelín, G, Figueres Amorós, E., et al..** *Conversores conmutados circuitos de potencia y control.* Valencia : Servicio de Publicaciones Universidad Politécnica de Valencia, SPUPV-98.122., 1998. ISBN 84-7721-571-5..
5. **Erickson, R. W. y Maksimovic, D.** *Fundamentals of Power Electronics, Second Edition,.* Boulder, Colorado, USA. : Springer, 2001. 0-7923-7270-0.
6. **Mora, A., y otros.** *A Buck Converter Operating in PFM mode Mathematical Model and Simulation Analysis.* Padova, Italy : IEEE, 2007. 978-1-4244-1628-8.
7. **Chen, Jingdong.** *Determine Buck Converter Efficiency in PFM Mode.* Santa Clara, California, USA : Power Electronics Technology,<http://www.pwerelectronics.com>, Septiembre 2007.
8. **Figueres Amorós, E.** Apuntes de Electrónica de Potencia. Ingeniería en Automática y Electrónica Industrial. *Tema 8: Control de convertidores.* Valencia : s.n., 2008.
9. **NASA.** NASA Polar, Wind, and Geotail Projects. *Cinturones de Radiación.* [En línea] <http://www-istp.gsfc.nasa.gov/Education/Mradbelt.html>.
10. **Álvarez Ruiz de Ojeda, Luis Jacobo.** **Departamento de Tecnología Electronica, Universidad de Vigo.** Logica programable. [En línea] http://www.dte.uvigo.es/logica_programable/documentos/curso_diseno_digital_con_CDCs/Diseno_para_fiabilidad.pdf.
11. **AEROFLEX.** Aeroflex Corporation. [En línea] <http://www.aeroflex.com/>.
12. **Electronics, Crane Aerospace &.** Crane Aerospace & Electronics. [En línea] www.craneae.com.
13. **Intersil.** Intersil. [En línea] <http://www.intersil.com/cda/home/>.
14. **Rectifier, International.** International Rectifier. [En línea] <http://www.irf.com>.

15. **Incorporated, Modular Devices.** [En línea] Modular Devices Incorporated. <http://www.mdipower.com/>.
16. **Corporation, M.S. Kennedy.** M.S. Kennedy Corporation. [En línea] <http://www.mskennedy.com/>.
17. **Kundert, Kenneth S. y Olaf, Zinke.** *The designer's guide to Verilog AMS.* 2004. 1-4020-8044-1.
18. **Accellera.** *The designer's Guide Community.* [En línea] Agosto de 2008. <http://www.designers-guide.org/VerilogAMS/VlogAMS-2.3-full.pdf>.
19. **Arbetter, B, Erickson, R y Maksimovic, D.** *DC-DC Converter Design for Battery-Operated Systems.* Atlanta, Georgia, USA. : IEEE, 1995. 0-7803-2730-6.

8 Anexos

8.1 Esquemas implementados

8.1.1 Esquema interno del modelo del amplificador operacional



8.1.3 Arranque Suave

COP. N.º	PWC. N.º	SH	REV.
REVISIONS		DATE	APPROVED
NO.º	REV.		

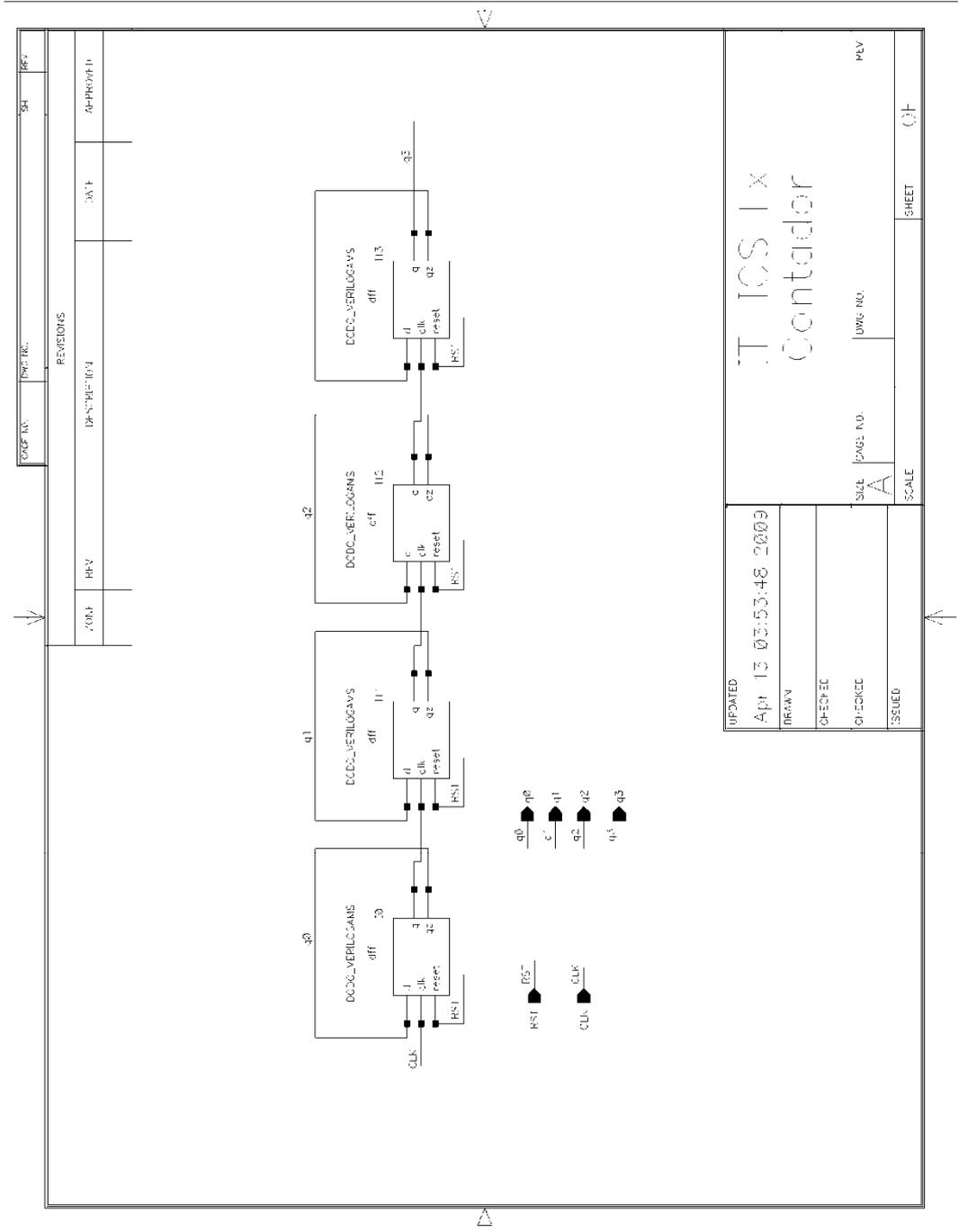
$R = 3000$
 $R = 12$
 $C = 100 \mu F$
 DDCB VERLOGRAMS semiconductor

IT ICS .x

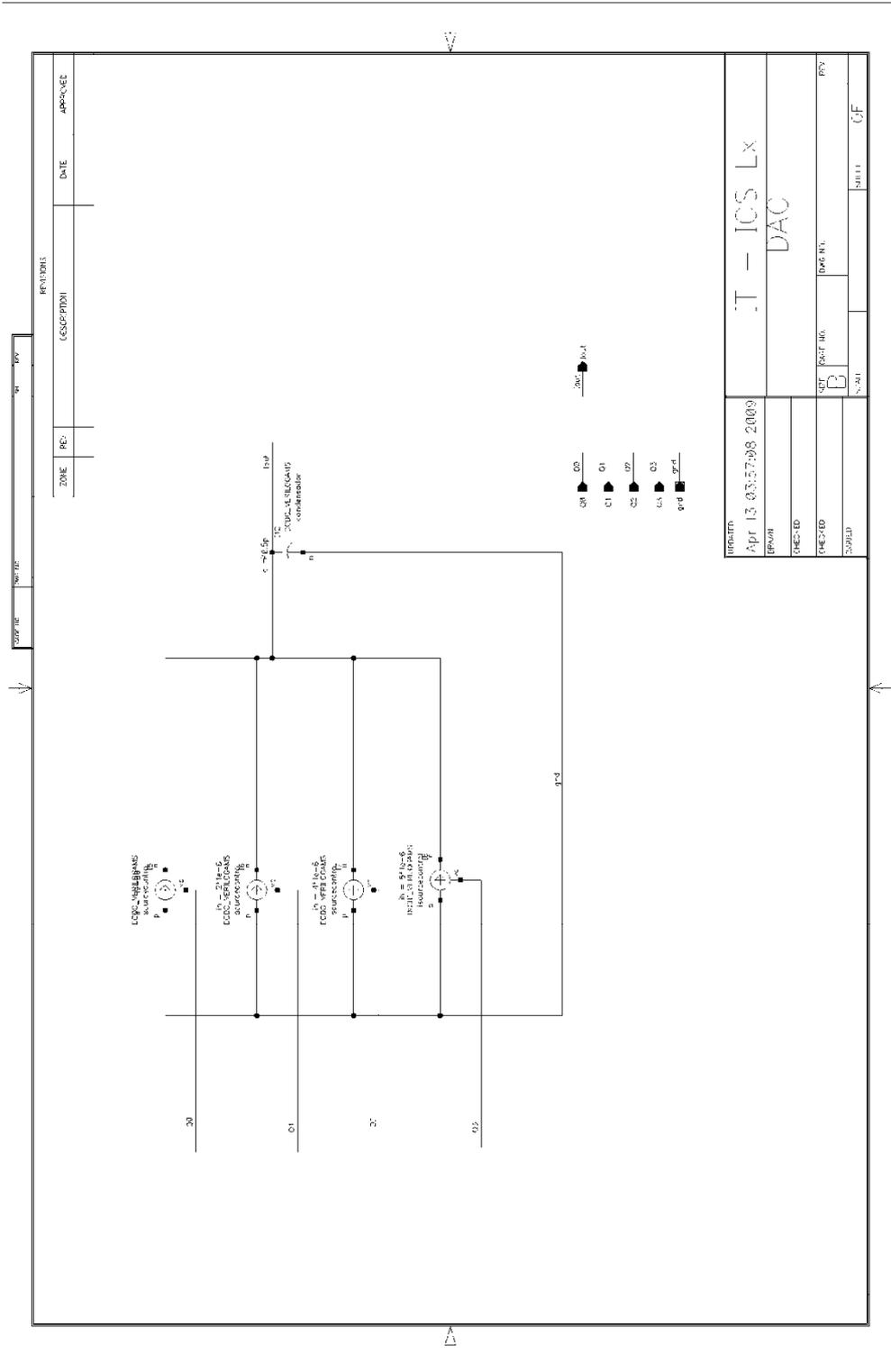
Arranque Suave

UPDATED	Apr 13 03:48:46 2009	SCALE	SHEET 01
DRAWN		DWG. NO.	
CHECKED		REV	
ISSUED			

8.1.4 Contador

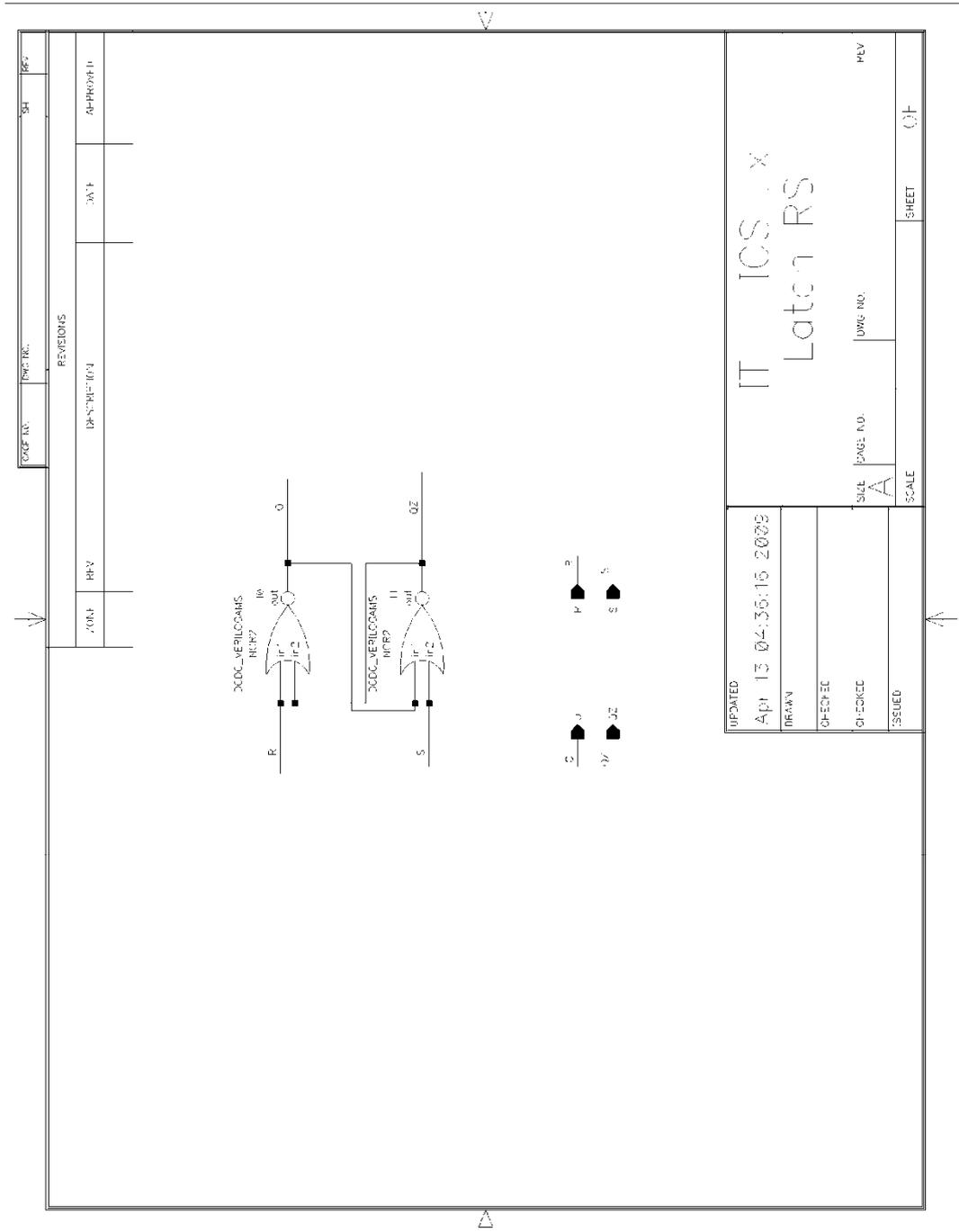


8.1.5 DAC

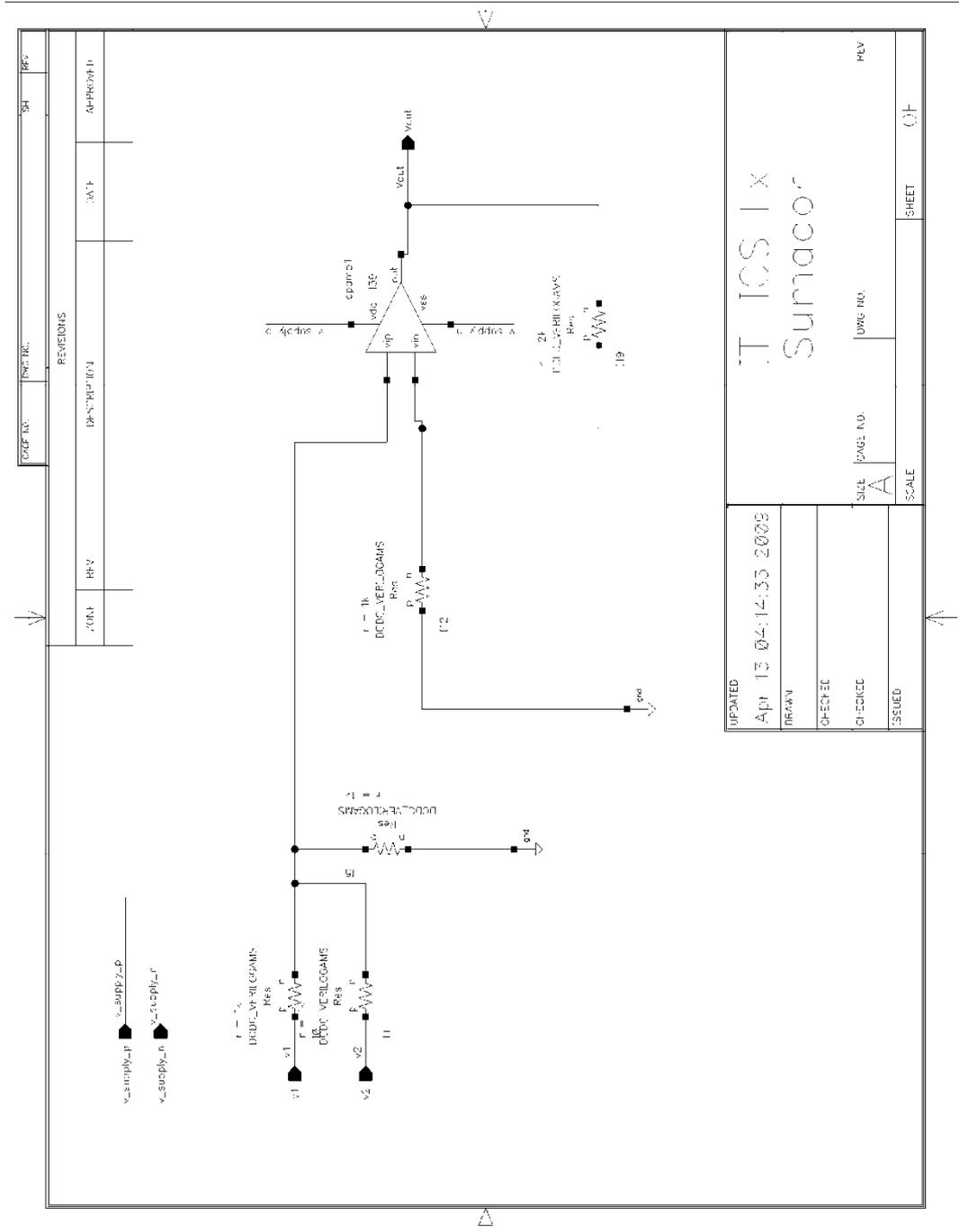


TITLE Apr 13 03:57:08 2009 IT - ICS Lx DAC	
DRAWN CHECKED CHECKED SUPPLY	DATE TIME NAME DESIGNED DRAWN CHECKED DATE NAME
DATE NAME	DATE NAME

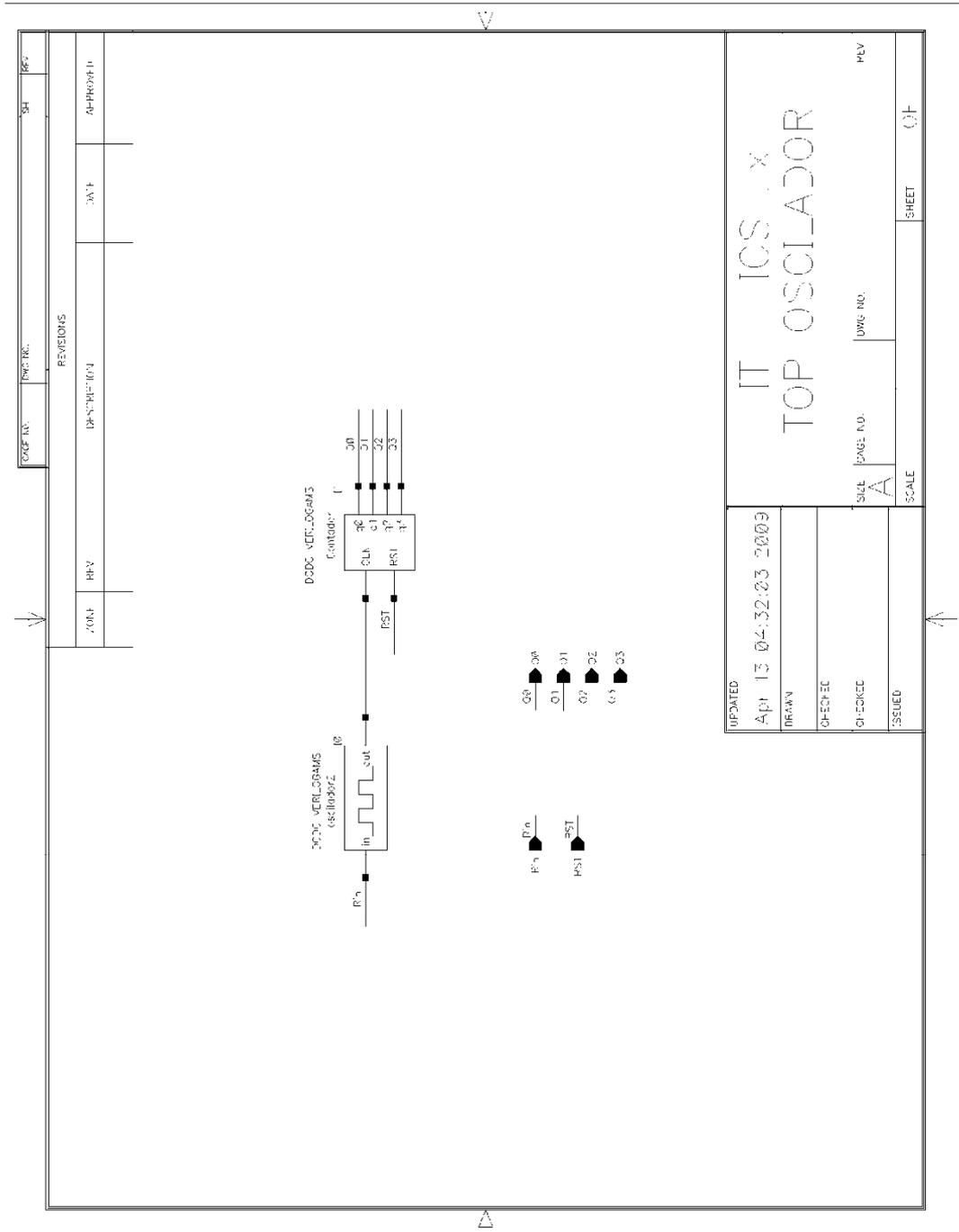
8.1.6 Latch RS



8.1.10 Sumador



8.1.12 Top oscilador



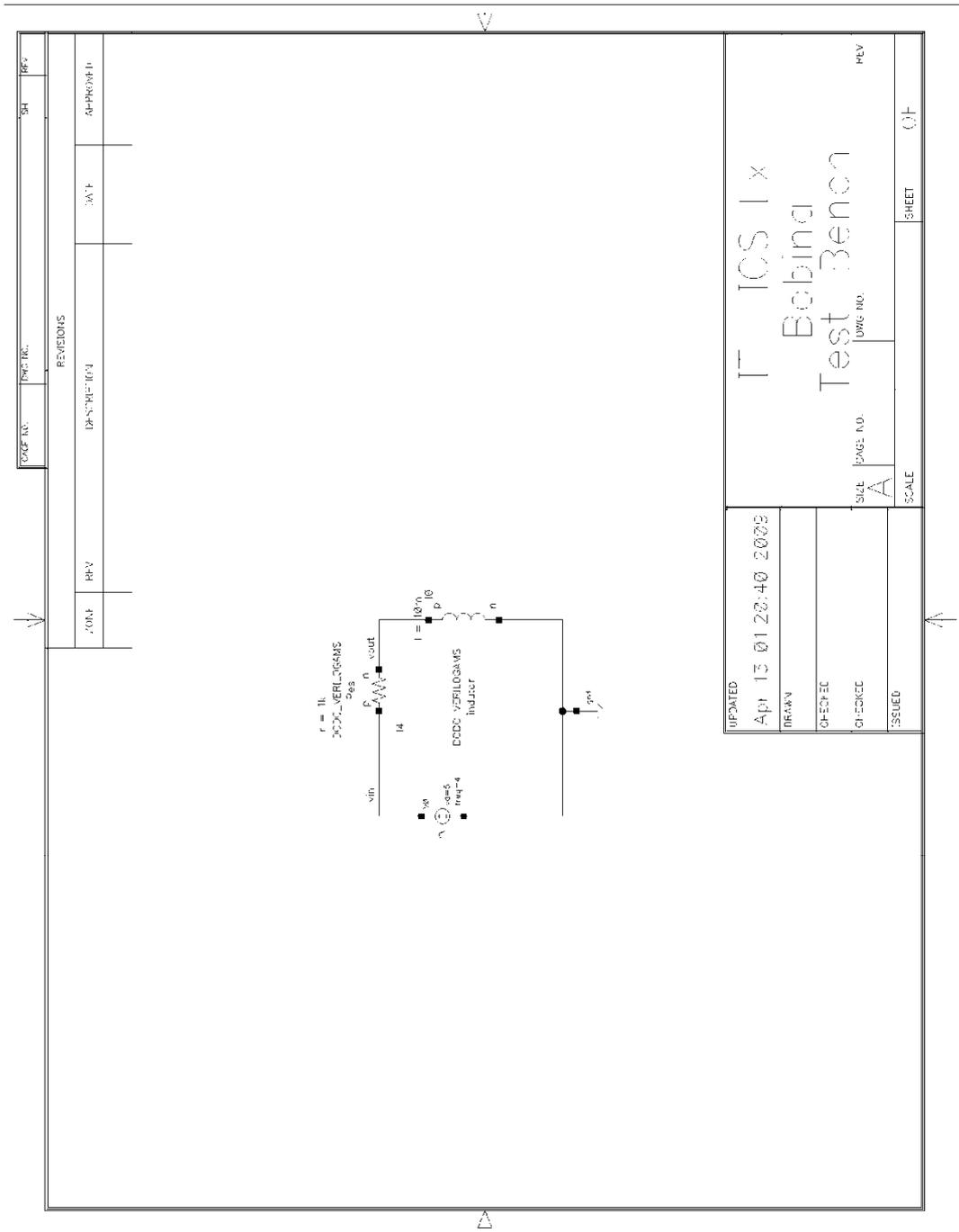
NO.	REV.	DESCRIPCION	DATE	APPROVED

COMP. NO.	PROY. NO.	SH	REP.
-----------	-----------	----	------

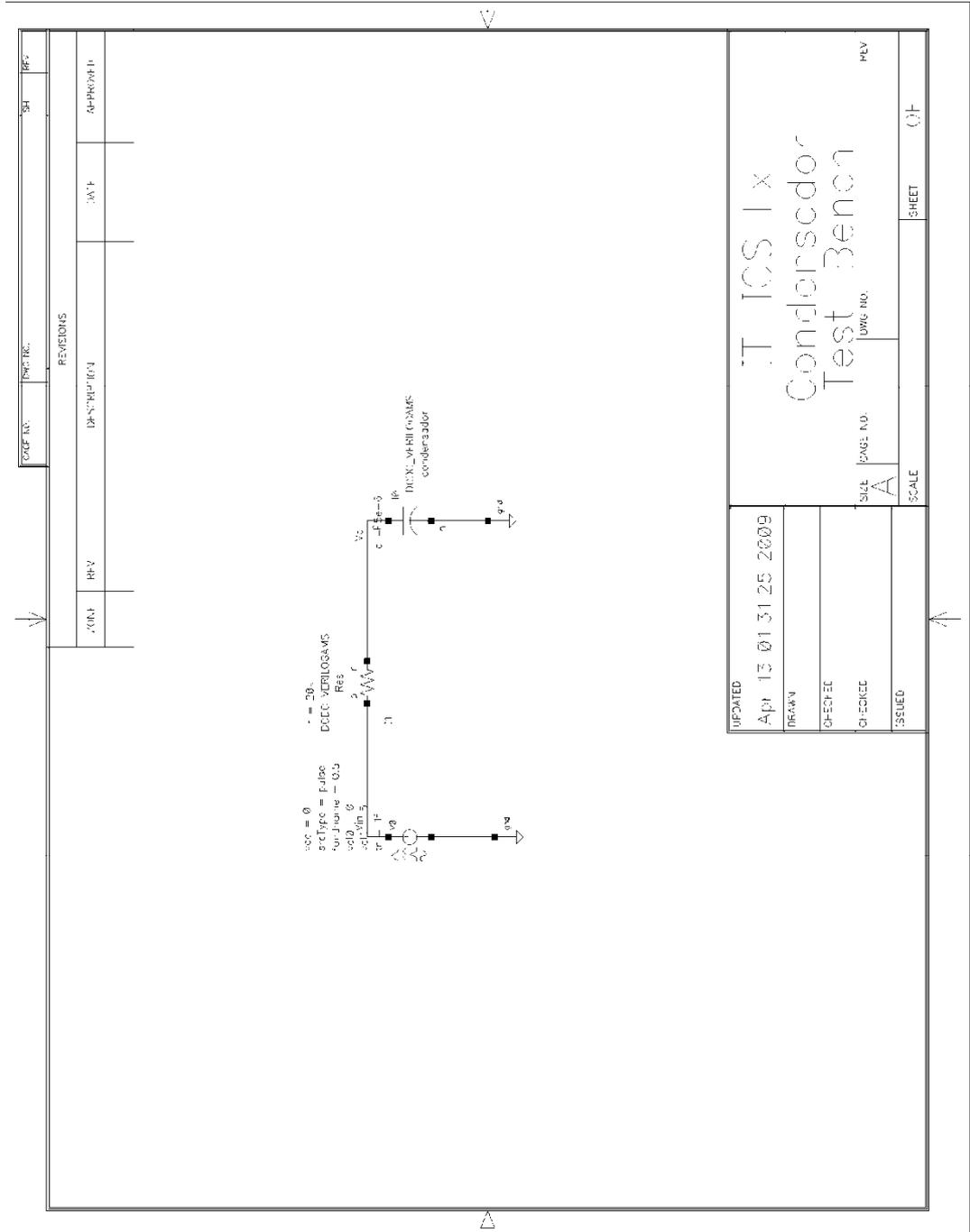
UPDATED	IT ICS .x		
APR 13 04:32:03 2009	TOP OSCILADOR		
DRAWN	SHEET	DWG. NO.	REV.
CHECKED	A		
ISSUED	SCALE	SHEET	OF

8.2 Algunos Test-bench implementados

8.2.1 Test-bench bobina



8.2.2 Test-Bench Condensador



8.2.3 Test-Bench Diodo

CONTR. NO.	PROJ. NO.	SHT.	REV.

REVISIONS		DATE	APPROVED
NO.	DESCRIÇÃO		

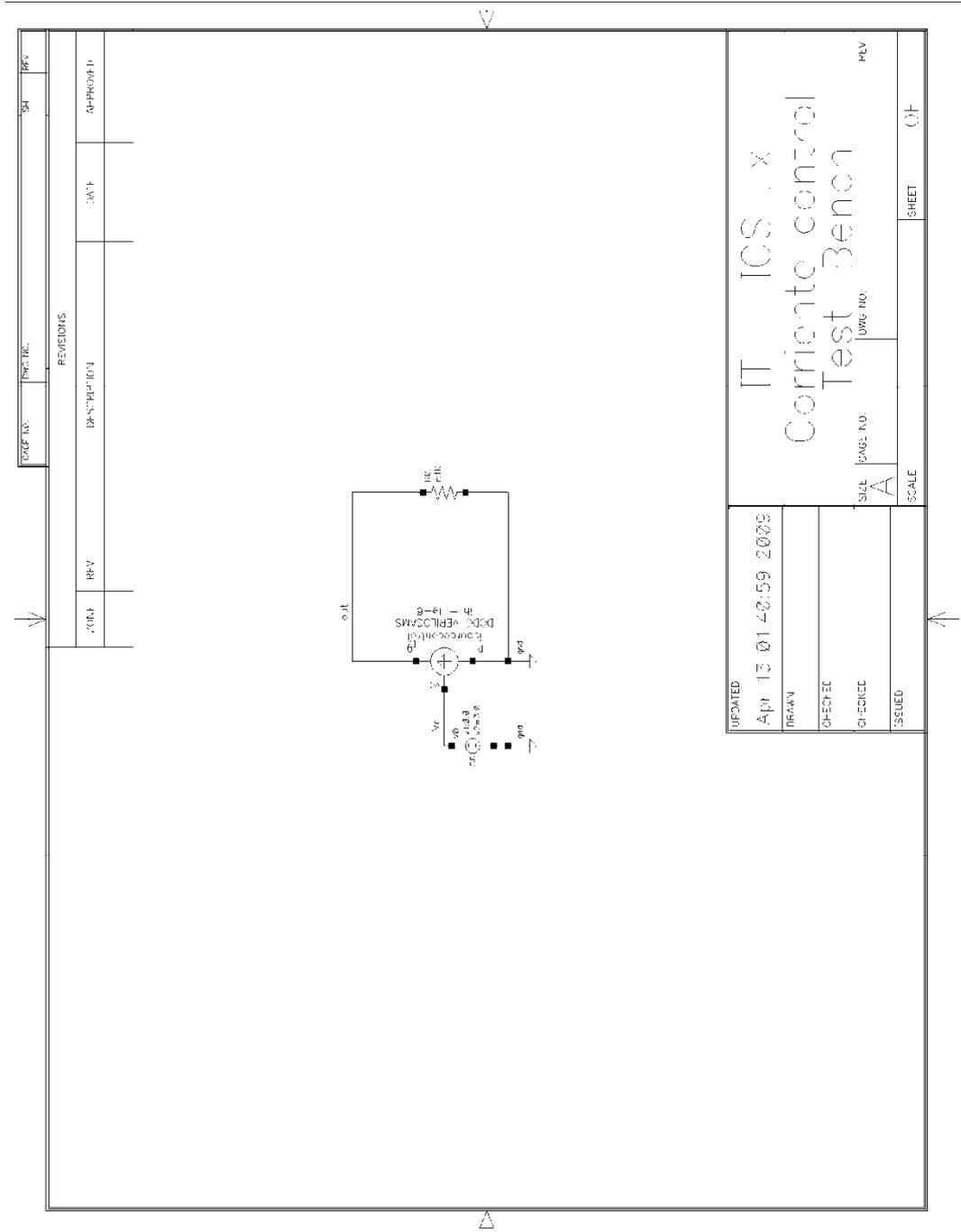
IT ICS I x
Dioco
Test Bench

SCALE: A

DWG. NO. SHEET OF

UPDATED	SCALE
Apr 13 01:36:05 2008	
DRAWN	
CHECKED	
CHECKED	
ISSUED	

8.2.4 Test-Bench Fuente de corriente controlada

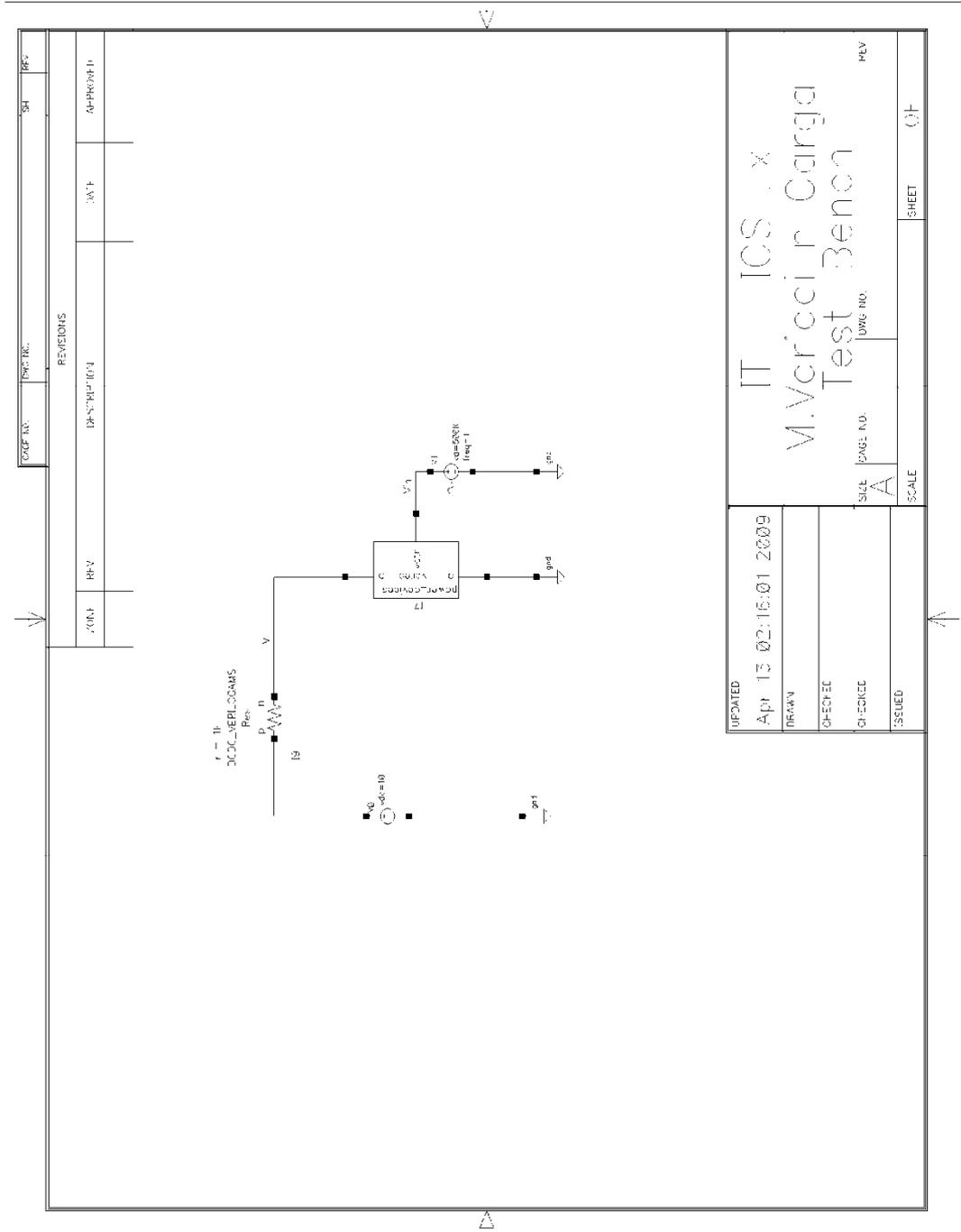


8.2.5 Test-Bench Resistencia

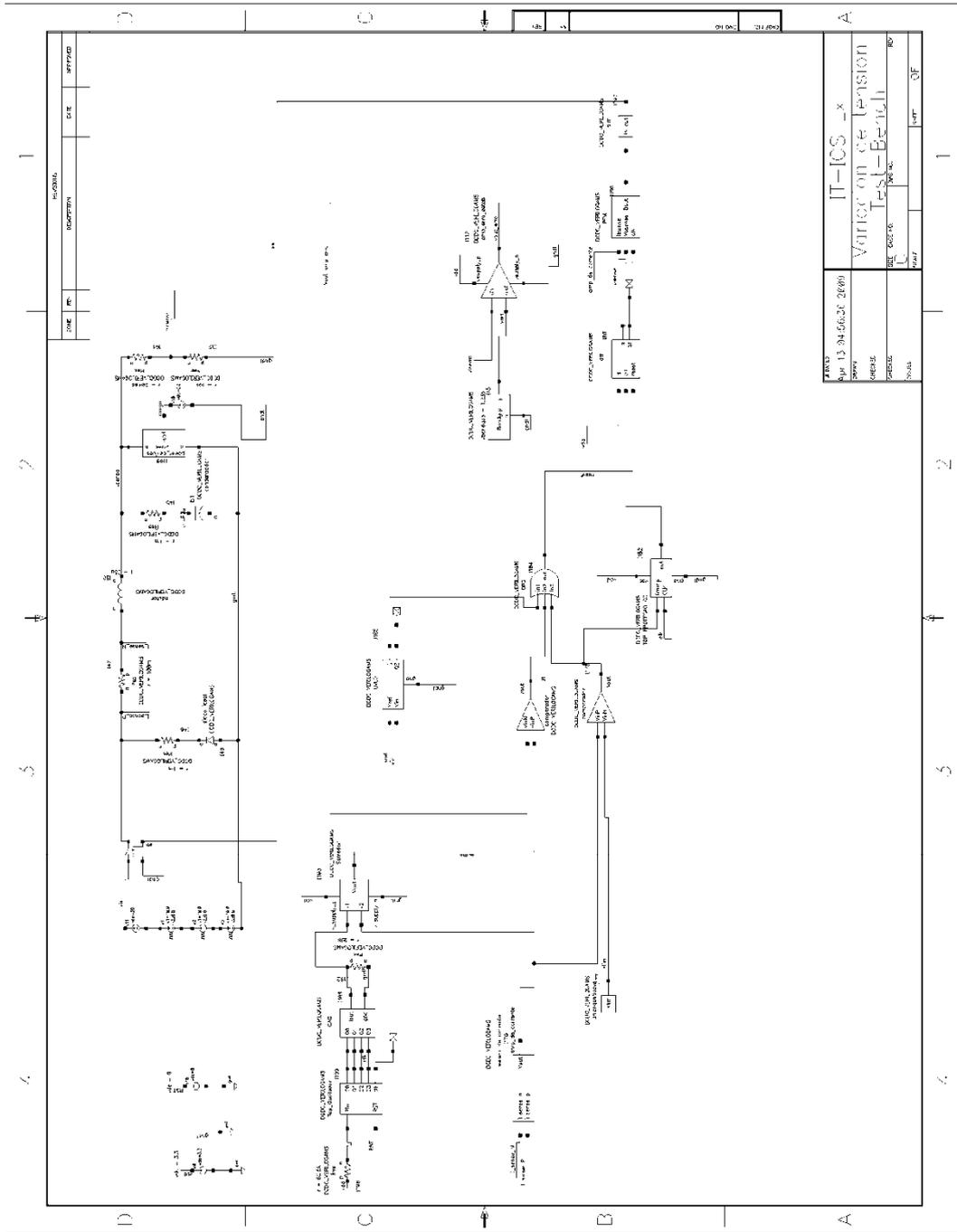
ECCF NO.	DESCR. INCL.	SH	REV.
REVISIONS			
NO.	REV.	DATE	APPROVE

UPDATED	IT-ICS I x	TITLE	REV.
Apr 13 01 46:38 2008	Rosistancia	TEST BENCH	
DRAWN	SIZE	RANGE NO.	LONG NO.
CHECKED	A		
CHECKED	SCALE		
ISSUED		SHEET	OF

8.2.6 Test-Bench de modulo de variación de la carga.

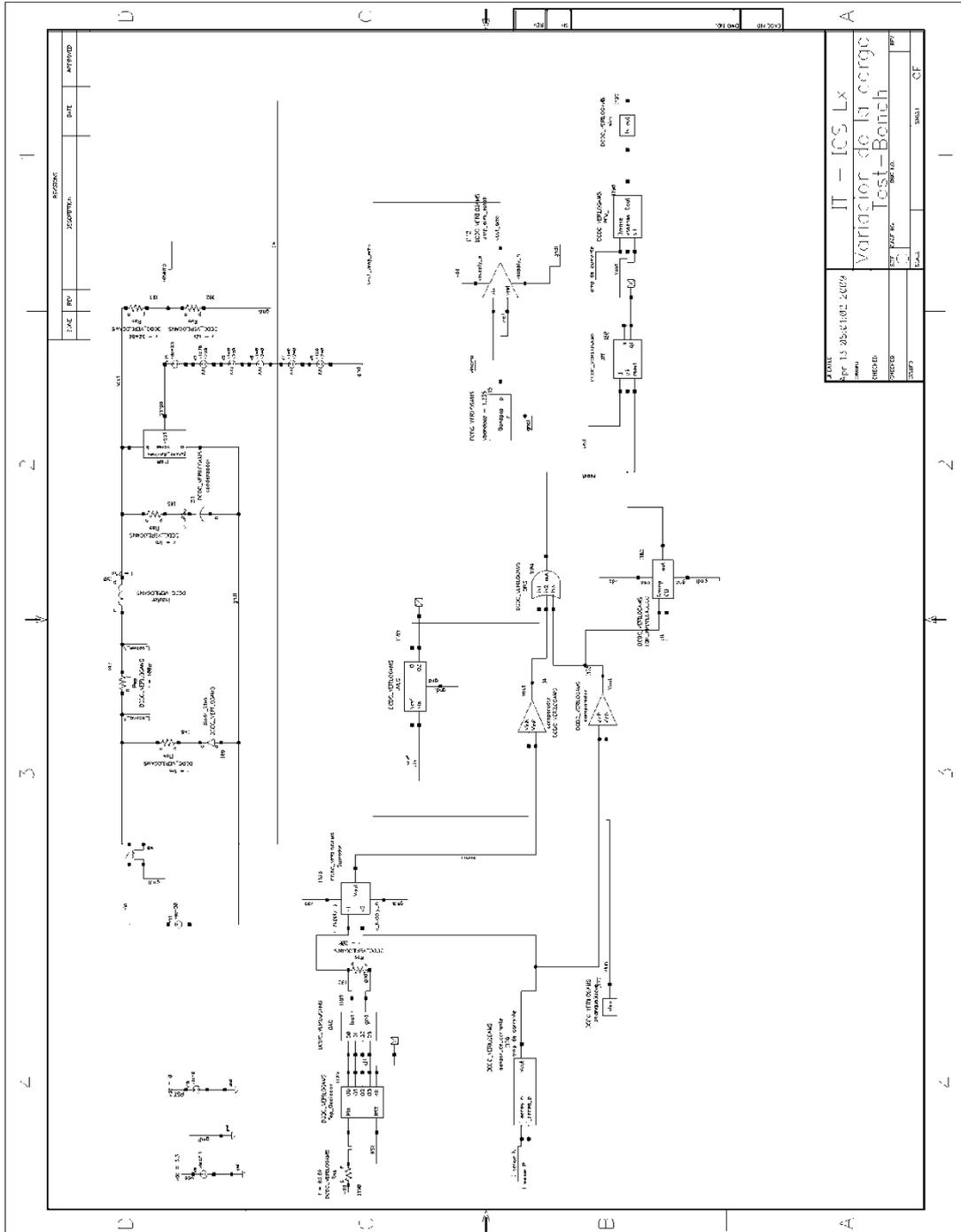


8.2.8 Test-Bench de la variación de la tensión de entrada



REVISED	IT-ICS -x
DATE	Apr 13 94 5:03 PM 2000
DESIGNED BY	Variacion de Tension
CHECKED BY	Test-Bench
DATE	04/13/00
BY	CS
OF	01

8.2.9 Test-Bench de la variación de la carga



PROYECTO	II - ICS Lx
FECHA	20/11/2009
INTEGRANTES	VARIACION DE LA CARGA
PROFESOR	Test-Bench
GRUPO	1001001001
ALUMNO	1001001001
GRUPO	1001001001
GRUPO	1001001001

8.3 Fichero realizado para el cálculo del amplificador de error

```
%Diseño control conversor
Rc=1*10^-3
Rl=0.1
Vi = 20
Vo=5;
L=25*10^-6
C=3*10^-6
R=2.5
fs=1*10^6
Ts=1/fs
ws=2*pi*fs;
wz=pi/Ts
Qz=-(2/pi)
disp('frecuencia de resonancia')
wn = 1/(sqrt(L*C))
disp('dseta')
dseta = (1/(2*wn))*((1/(R*C))+(Rc/L))
disp('factor de calidad Q')
Q= 1/(2*dseta)
disp('Calculo Beta')
Vref = 1.235;% Vbandgap
Vo = 5;
beta= Vref/Vo
disp('Ganancia de muestreo de la corriente He(S).')
He2n=[1 0];
He2d=[wz*Qz];
He3n=[1 0 0];
He3d=[wz^2];
He2=tf(He2n,He2d);
He3=tf(He3n,He3d);
He= 1+He2+He3
figure
bode(He),grid
figure
rlocus(He)
pause
disp('Ganancia del sensor de corriente')
Ri=1
disp('fdt de control de la tensión de la corriente en el inductor a
través del ciclo de trabajo')
Hs_ni=wn^2*[R*C 1];
Hs_di=R*[1 2*dseta*wn wn^2];
Hsi=tf(Hs_ni,Hs_di);
Gid=Vi*Hsi
figure
bode(Gid),grid
pause
disp('Rampa sensada en un Buck')
Sn= Ri*((Vi-Vo)/L)
disp('Calculo Fm')
mc=1.5
Fm= 1/(mc*Sn*Ts)% incluye D, Fm=1/(mc*Vi*(1-D)*Ri*Ts)
disp('Ganancia del lazo de corriente Ti(S)')
Ti=Ri*He*Fm*Gid
figure
bode(Ti),grid
```

```

figure
margin(Ti),grid
figure
rlocus(Ti),grid
pause
disp('il/vc')
il_vc_n= Fm*Gid;
il_vc_d= 1+Ti;
il_vc= (Fm*Gid)/(1+Ti);
tdIl_vc= zpk(il_vc)
disp('Z(s)')
Z_n= R*[R*C 1];
Z_d= [(Rc+R)*C 1];
Z= tf(Z_n,Z_d)
disp('Vo/vc')
vo_vc= zpk(il_vc*Z)
figure
bode(vo_vc), grid
disp ('**Función de transferencia Av(s)**')
disp ('**procedimiento de diseño**')
disp ('1° wzl < wn, wzl < 1.1547e+005')
wzl=10000
disp ('2° wpl sera seleccionado en la frecuencia más baja de:')
disp ('a)wpl < 1/(Rc*C)=wa')
wa=1/(Rc*C)
disp ('b)wpl < ws/2=wb')
wb= ws/2
wa = 3.3333e+008
wb = 3.1416e+006
wpl= 3e+006
Av_n= [1/wzl 1];
Av_d= [1/wpl 1];
Av_d1=conv([1 0],Av_d);
wi=32000
Av1= tf ((wi*Av_n),Av_d1);
Av =zpk(Av1)
figure
margin(Av),grid
pause
disp('Ganancia en lazo cerrado Tv(s)')
Tv1=vo_vc*Av*beta*Fm;
Tv= zpk(Tv1)
figure
margin(Tv1),grid
disp('dimensionamiento')
C2=1e-09% C2= 1nf
R2= 1/(wzl*C2)%R2=100k
C1= 1/(wpl*R2)%3.33pf
R1= (1/(wi*(C2+C1)))%
disp('comprobación')
transden1 = ( [R2*C1*R1*(C1+C2) R1*(C1+C2) 0]);
transnum1 = ([R2*C2 1]);
funcion1 = tf (transnum1,transden1);
funcion= zpk(funcion1)
figure
bode (funcion), grid
pause
disp ('parametros del conversor')
disp('sensibilidad dinámica en modo corriente')

```

```

D=0.25
disp('fdt audiosuscepibilidad en lazo abierto')
As=D*Hsi
figure
bode(As),grid
pause
disp('fdt audiosuscepibilidad en lazo cerrado')
Alc=As/(1+Tv)
figure
margin (As), grid
hold
margin (Alc)
pause
disp('**Impedancia de salida de lazo abierto Zo(S)**')
Rp=(Rl*R)/(Rl+R)
disp('frecuencias')
wn=1/(sqrt(L*C))
wz1_z=Rl/L
wz2_z=1/(Rc*C)
dseta_z=(1/(2*wn))*((1/(C*(Rc+Rp)))+((Rl+R)/L));
Zo_n=conv([1/wz1_z 1],[1/wz2_z 1])*wn^2;
Zo_d=[1 2*dseta_z*wn wn^2];
disp('Impedancia de salida en lazo abierto');
Zo=Rp*tf(Zo_n,Zo_d)
figure
bode(Zo),grid
pause
Zolc= Zo/(1+Tv)
figure
margin (Zo), grid
hold
margin (Zolc)

```