



INSTITUTO SUPERIOR TÉCNICO
Universidade Técnica de Lisboa

Placa de aquisição alimentada por USB

Ricardo Jorge Duarte da Silva

Dissertação para obtenção do grau de mestre em

Engenharia Electrónica

Júri

Presidente: Prof. Moisés Simões Piedade

Orientador: Prof. Pedro Miguel Pinto Ramos

Vogal: Prof. António Joaquim dos Santos Romão Serralheiro

Novembro de 2011

Agradecimentos

Quero agradecer à minha família pelo apoio constante demonstrado ao longo do tempo do curso, em particular durante a realização da tese de mestrado.

Agradeço ao professor Pedro Ramos pela oportunidade de execução do trabalho apresentado e apoio prestado, e ao professor Moisés Piedade pelas condições de trabalho disponibilizadas a todos os alunos para desenvolvimento dos seus projectos.

Quero agradecer aos colegas e amigos que me acompanharam e apoiaram ao longo deste percurso dentro e fora do ambiente académico.

Quero finalmente agradecer ao Sr. Pina dos Santos por todo o apoio prestado a mim e aos colegas de curso ao longo dos últimos anos.

Resumo

A aquisição de dados consiste na medição de fenómenos eléctricos/físicos como a temperatura, pressão e tensão e posterior conversão para o domínio digital. Os sistemas de aquisição de sinal surgiram devido à necessidade de medir e controlar diversas variáveis em sistemas cada vez mais complexos. A aquisição de dados permitiu assim o controlo desses sistemas numa fracção do tempo que levaria o mesmo trabalho a ser efectuado manualmente, poupando assim tempo, dinheiro e aumentando também a segurança. Sem estes sistemas de medida, a existência de alguns sistemas complexos, como por exemplo a ressonância magnética, ou mesmo o controlo de uma linha de produção seria impossível. Os sistemas de aquisição são constituídos por uma interface de condicionamento de sinal composta por sensores e electrónica necessária para a digitalização do sinal e um computador que permite ao utilizador interagir com o sistema.

O projecto apresentado consistiu no desenvolvimento de uma placa de aquisição de dados (DAQ) com alimentação e comunicação USB. O controlo efectua-se através do microcontrolador PIC32MX460F512L, que em conjunto com o integrado FT2232H permite a comunicação com o computador através do protocolo USB. A placa de aquisição é constituída por 4 canais diferenciais, com aquisição simultânea a uma frequência de amostragem máxima de 150 kS/s. O protocolo USB é utilizado no controlo do sistema e na transferência das medições, através de uma aplicação desenvolvida em LabVIEW, que permite a sua utilização em outros programas desenvolvidos também em *LabVIEW* através do uso de algumas funções de configuração e controlo.

Palavras – chave: DAQ, ADC, USB, PIC, sistema de aquisição.

Abstract

Data acquisition is the process of measuring electrical/physical phenomena, for example temperature, pressure and voltage, converting them to a digital signal. Signal acquisition systems appeared with the need to measure and control multiple variables on systems that became more and more complex. Data acquisition allowed the control of those systems in a fraction of the time that would take the same job to be done manually, saving both time, money and improving safety at the same time. Without these measuring systems, some complex systems like CAT scan or even the control of an assembly line would be impossible. Data acquisition systems are composed by a signal conditioning interface that includes sensors and the necessary electronic components to signal digitalization. At the end there's a personal computer to allow the user to interface with the sampled data, and develop higher-end applications.

In this document is described the development of a USB powered data acquisition card (DAQ) with USB communication. A PIC32MX460F512L microcontroller is used to control all the card integrated circuits, with the help of the FT2232H device that implements and allows USB communication with the personal computer. The data acquisition device features 4 differential channels, with simultaneous sampling at a maximum sampling rate of 150 kS/s. All the control is done using the USB protocol with the help of an application developed in *LabVIEW* software that allows its use also on *LabVIEW* using some configuration and control functions.

Keywords: DAQ, ADC, USB, PIC, Data Acquisition.

Índice

Agradecimentos	i
Resumo	iii
Abstract	iv
Lista de Figuras	vii
Lista de Tabelas	xi
Acrónimos	xiii
1. Introdução	1
1.1 Motivação e Objectivos	2
1.2 Descrição geral do sistema	3
1.3 Metodologia.....	3
1.4 Organização do documento	4
2. Estado da arte.....	5
2.1 Arquitecturas de placas de aquisição de dados	5
2.2 Condicionamento de sinal	6
2.2.1. Amplificação/Atenuação	7
2.2.2. Filtragem.....	7
2.2.3. Isolamento	7
2.3 Conversor Analógico Digital	8
2.3.1. Topologias	8
2.3.1.1 Conversor tensão - frequência	8
2.3.1.2 Conversores tensão - tempo.....	9
2.3.1.3 Conversores de comparação	10
2.3.1.4 Conversor Sigma - Delta	11
2.3.1.5 Conversor <i>Pipeline</i>	12
2.3.1.6 Comparação entre as diferentes topologias.....	12
2.3.2. Resolução	13
2.3.3. Erro de ganho e de desvio (<i>offset</i>)	13
2.3.4. Não-linearidade Integral (INL).....	14
2.3.5. Não-linearidade Diferencial (DNL).....	14
2.4 Características de placas de aquisição	15
2.4.1. Atraso entre canais.....	15
2.4.2. Tempo de estabelecimento (<i>settling time</i>)	15
2.4.3. Interferência entre canais (<i>crosstalk</i>).....	16
2.4.4. Frequência de amostragem	17
2.4.5. Tremor (<i>Jitter</i>).....	18
2.4.6. Largura de Banda (Analógica/Digital)	18
2.4.7. Entradas diferenciais/referenciadas à massa	20
2.4.8. Alcance	21
2.4.9. Protocolos de comunicação	21

3. Arquitectura do sistema	23
3.1 Unidade de processamento	24
3.2 Dispositivo USB	25
3.3 Condicionamento de sinal	26
3.3.1. Impedância de entrada	27
3.3.2. Protecção de entrada.....	28
3.3.3. Atenuador de tensão compensado.....	31
3.3.4. Amplificador de Instrumentação	34
3.3.5. Amplificador de ganho programável	35
3.3.6. Montagem diferença	38
3.3.7. Conversor Analógico Digital	39
3.4 Protocolos de comunicação	41
3.4.1. Comunicação SPI	41
3.4.2. Comunicação paralela.....	42
3.4.3. Sequência temporal da aquisição.....	44
3.5 Software.....	45
3.5.1. Utilização do controlador da placa de aquisição.....	46
3.5.2. Representação do sinal amostrado	47
3.5.3. Calibração da placa de aquisição	48
3.5.4. Aplicação de demonstração	49
4. Caracterização do dispositivo	51
4.1 Largura de Banda	51
4.2 Tempo de subida.....	54
4.3 Distorção Harmónica.....	54
4.3.1. THD/Alcance/Canal	55
4.3.2. THD/Alcance/Frequência	56
4.4 Interferência entre canais.....	58
4.5 Aquisição simultânea.....	60
4.6 Consumo de corrente.....	62
5. Conclusões	65
Referências.....	69
Anexo A – Atenuador de tensão compensado	71
Anexo B – Mensagem com parâmetros da aquisição	73
Anexo C – Esquemas eléctricos e PCB	74
C.1. Esquemas Eléctricos.....	74
C.2. PCB	77
C.3. Sistema completo	78
Anexo D – Lista de componentes utilizados	80

Lista de Figuras

Figura 1 – Esquema de um sistema de medida baseado em aquisição.	1
Figura 2 – Diagrama de blocos simplificado da placa de aquisição projectada.....	3
Figura 3 – Diagrama de blocos de uma placa de aquisição não simultânea.	5
Figura 4 – Diagrama de blocos de uma placa de aquisição simultânea com <i>Sample & Hold</i>	5
Figura 5 – Diagrama de blocos de uma placa de aquisição simultânea.	6
Figura 6 – Circuito de condicionamento de sinal da placa de aquisição NI-6009 [4].	7
Figura 7 – Conversor tensão - frequência.....	8
Figura 8 – Conversor de rampa simples.	9
Figura 9 – Conversor de dupla rampa.	9
Figura 10 – Conversor simultâneo/paralelo.....	10
Figura 11 – Conversor de aproximações sucessivas.....	11
Figura 12 – Conversor Sigma - Delta.	11
Figura 13 – Conversor <i>Pipeline</i> de 12 bits.	12
Figura 14 – Tensão de transição ideal (Recta azul) e tensão de transição real (Recta verde) [12].	14
Figura 15 – Medição de um sinal utilizando uma placa de aquisição não simultânea.....	15
Figura 16 – Sistema de aquisição não simultânea (esquerda) e sistema de aquisição simultânea (direita).16	
Figura 17 – Representação da interferência entre canais (<i>crosstalk</i>).....	16
Figura 18 – Geração de frequências de amostragem.	17
Figura 19 – Diagrama temporal de uma aquisição de sinal.	18
Figura 20 – Largura de banda do ADC AD7980.....	19
Figura 21 – Medição diferencial (esquerda) e medição referenciada a GND (direita).	20
Figura 22 – Arquitectura da placa de aquisição desenvolvida.....	23
Figura 23 – Diagrama de blocos do microcontrolador PIC32MX460F512L [26].....	24
Figura 24 – Programa “FT Prog” para programação das características da comunicação USB.....	26
Figura 25 – Esquema eléctrico do condicionamento de sinal de um canal.....	27
Figura 26 – Impedância de entrada com circuito referenciado a GND e em modo diferencial.	27
Figura 27 – Circuito de protecção de entrada.	28
Figura 28 – Simulação da resposta do circuito de protecção a uma tensão de entrada (V_{in}) de $230 V_{ef}$	29
Figura 29 – Corrente instantânea nas resistências de entrada (R_1) e restantes resistências do divisor resistivo (R_2).....	30
Figura 30 – Potência instantânea nas resistências de entrada (R_1) e restantes resistências do divisor resistivo (R_2).....	30
Figura 31 – Potência nos díodos D_1 e D_2	31
Figura 32 – Atenuador de tensão compensado.....	32
Figura 33 – Sobrecompensação do sistema.	33
Figura 34 – Subcompensação do sistema.	33
Figura 35 – Sistema compensado.	33
Figura 36 – Esquema eléctrico da estrutura interna de um amplificador de instrumentação.....	34

Figura 37 – Resposta em frequência do PGA (LTC6910-1) [22].....	36
Figura 38 – Controlo do ganho de cada canal.	37
Figura 39 – Montagem inversora para adição de componente DC.....	38
Figura 40 – Arquitectura de aproximações sucessivas do ADC AD7980 [20].....	39
Figura 41 – Ligação em <i>daisy-chain</i> de dois ADCs.	40
Figura 42 – Ganhos associados a cada componente do circuito.....	40
Figura 43 – Esquema das ligações da comunicação SPI.	41
Figura 44 – Recepção de dados de 3 canais.	42
Figura 45 – Comunicação paralela entre o PIC e o integrado FT2232H.....	43
Figura 46 – Transmissão de dados entre o PIC e o integrado FT2232H.	43
Figura 47 – Sequência temporal disponível.....	44
Figura 48 – Sequência temporal da transferência de dados.....	44
Figura 49 – Selecção das características da aquisição.	45
Figura 50 – Interface do programa de identificação dos dispositivos.....	46
Figura 51 – Modo de utilização do controlador em aquisição contínua.	47
Figura 52 – Variação do sinal ao longo dos circuitos de condicionamento de sinal.	48
Figura 53 – Aplicação de calibração dos canais da placa de aquisição.	49
Figura 54 – Painel frontal da aplicação de controlo da placa de aquisição.	50
Figura 55 – Janela de cálculo das características do sinal amostrado.....	50
Figura 56 – Largura de banda do canal 1 nos diferentes alcances.	51
Figura 57 – Largura de banda do canal 2 nos diferentes alcances.	52
Figura 58 – Largura de banda do canal 3 nos diferentes alcances.....	52
Figura 59 – Largura de banda do canal 4 nos diferentes alcances.....	53
Figura 60 – Tempo de subida e atraso.	54
Figura 61 – Patamar de ruído da placa de aquisição projectada.	55
Figura 62 – Patamar de ruído da placa de aquisição NI-USB 9215.	55
Figura 63 – Medição da THD nos diferentes alcances para os 4 canais Vs. NI-USB 9215.	56
Figura 64 – Valor da THD para diferentes valores de frequência (placa de aquisição).	57
Figura 65 – Valor da THD para diferentes valores de frequência (NI-USB 9215).	57
Figura 66 – Patamar de ruído de um canal.	58
Figura 67 – Espectro de potência do sinal de teste.	59
Figura 68 – Espectro de potência de sinal detectada no canal em teste.	59
Figura 69 – Aproximação à frequência com maior potência.	59
Figura 70 – Aproximação à frequência aparente do sinal.....	60
Figura 71 – Aquisição de um sinal de 100 Hz, 2 V _{pp}	61
Figura 72 – Aquisição de um sinal de 1 kHz, 2 V _{pp}	61
Figura 73 – Aquisição de um sinal de 10 kHz, 2 V _{pp}	62
Figura 74 – Variação do consumo de corrente com a frequência de amostragem.	63
Figura 75 – Consumo de corrente para diferentes alcances de tensão.	63
Figura 76 – Atenuador de tensão compensado (circuito tipo B).	71

Figura 77 – Protecção de entrada e amplificador de instrumentação AD8251.....	74
Figura 78 – Andar de amplificação composto por 2 PGAs LTC6910-1.	74
Figura 79 – Montagem diferença (OPA141).	75
Figura 80 – ADCs AD7980 ligados numa montagem <i>daisy-chain</i>	75
Figura 81 – Esquema de ligações do PIC32MX460F512L.	76
Figura 82 – Esquema de ligações do integrado FT2232H e memória auxiliar.	76
Figura 83 – Componentes para alimentação do circuito.....	77
Figura 84 – Camada superior da placa de aquisição (sem componentes).....	77
Figura 85 – Camada inferior da placa de aquisição (sem componentes).	78
Figura 86 – Camada superior da placa de aquisição (com componentes).	78
Figura 87 – Camada inferior da placa de aquisição (com componentes).	79
Figura 88 – Caixa utilizada.....	79
Figura 89 – Sistema completo	80

Lista de Tabelas

Tabela 1 – Requisitos da placa de aquisição a desenvolver.....	2
Tabela 2 – Comparação entre as diferentes arquiteturas de placas DAQ.	6
Tabela 3 – Comparação entre as diferentes topologias de conversores analógico digital [12].....	12
Tabela 4 – Cálculo da frequência de amostragem para o controlador PIC32MX460F512L.	17
Tabela 5 – Interfaces de comunicação disponíveis em placas de aquisição.	21
Tabela 6 – Custo de placas de aquisição com diferentes protocolos de comunicação.....	22
Tabela 7 – Características dos diferentes dispositivos USB.	25
Tabela 8 – Variação do módulo da impedância de entrada com a frequência.	28
Tabela 9 – Ganhos do amplificador LTC6910-1 [22].	36
Tabela 10 – Diferentes alcances programáveis da DAQ.	37
Tabela 11 – Lista de funcionalidades da placa de aquisição.	46
Tabela 12 – Valores de <i>crosstalk</i> dos 4 canais da placa de aquisição.	60
Tabela 13 – Consumo de corrente com e sem os PGAs saturados.	64
Tabela 14 – Exemplo da mensagem com parâmetros da aquisição.	73
Tabela 15 – Custos dos componentes do protótipo.	80

Acrónimos

ADC	– Conversor Digital Analógico (<i>Analog to Digital Converter</i>)
AI	– Amplificador de Instrumentação (<i>Instrumentation Amplifier</i>)
CMRR	– Rejeição de modo comum (<i>Common Mode Rejection Ratio</i>)
CS	– <i>Chip Select</i>
DAQ	– Aquisição de dados (<i>Data Acquisition</i>)
DMIPS	– Dhrystone MIPS
DNL	– Não-linearidade Diferencial (<i>Differential nonlinearity</i>)
DSP	– Processador digital de sinais (<i>Digital Signal Processor</i>)
FFT	– <i>Fast Fourier Transform</i>
FIFO	– <i>First In First Out</i>
FPGA	– <i>Field Programmable Gate Array</i>
GPIB	– <i>General Purpose Interface Bus</i>
GPIO	– Terminal de entrada/saída (<i>General purpose input/output</i>)
INL	– Não-linearidade Integral (<i>Integral nonlinearity</i>)
LSB	– Bit menos significativo (<i>Least significant bit</i>)
MIPS	– Milhões de Instruções por segundo (<i>Million Instructions per Second</i>)
MSB	– Bit mais significativo (<i>Most significant bit</i>)
PCB	– Placa de circuito impresso (<i>Printed Circuit Board</i>)
PCI	– <i>Peripheral Component Interconnect</i>
PIC	– <i>Peripheral Interface Controller</i>
PGA	– Amplificador de Ganho Programável (<i>Programmable Gain Amplifier</i>)
PMP	– <i>Parallel Master Port</i>
PWM	– <i>Pulse-width modulation</i>
RAM	– <i>Random Access Memory</i>
SDI	– <i>Serial Data In</i>
SCK	– <i>Serial Data Out</i>
SPI	– <i>Serial Peripheral Interface</i>
SDO	– <i>Serial Data Out</i>
THD	– Distorção harmónica (<i>Total harmonic distortion</i>)
USB	– <i>Universal Serial Bus</i>
Wi-Fi	– <i>Wireless-Fidelity</i>

1. Introdução

Actualmente em diferentes áreas tecnológicas existe a necessidade de efectuar a análise e controlo de sistemas que se tornam cada vez mais complexos. É importante a medição das características (frequência, amplitude, etc.) dos sinais existentes nestes sistemas, sinais que podem ser de origem eléctrica (tensão, corrente) ou de origem não eléctrica (temperatura, pressão, intensidade luminosa, etc.). Algumas das aplicações que utilizam sistemas de aquisição incluem por exemplo a ressonância magnética e a monitorização e controlo dos sistemas de uma linha de montagem.

De forma a analisar e controlar esses sistemas torna-se necessária a utilização de sistemas de aquisição de sinal (DAQ), sendo que estes podem ser incorporados no sistema a medir ou utilizados como um módulo portátil. Estes sistemas são constituídos por duas componentes fundamentais: a primeira corresponde ao *hardware*, necessário na aquisição de sinal; a segunda é o *software*, instalado num computador de forma permitir o controlo e interacção do utilizador com o *hardware*.

Um sistema de medida baseado em aquisição é constituído por um transdutor/sensor que permite a medição de uma grandeza não eléctrica (pressão, temperatura, humidade, etc.). A grandeza será então convertida numa grandeza eléctrica (corrente ou tensão) para possibilitar a aquisição de sinal por parte da placa de aquisição. Os sinais a medir geralmente não se encontram em condições ideais (por exemplo em termos de amplitude), sendo assim necessária a realização de algum tipo de condicionamento de sinal (por exemplo amplificação). O próximo passo envolve a aquisição de sinal, utilizando para tal um conversor analógico digital (ADC) controlado por um microcontrolador (PIC – *Peripheral Interface Controller* [1], DSP – *Digital Signal Processor* [2], FPGA – *Field-Programmable Gate Array* [3]). Após a aquisição de sinal os dados são transmitidos para um computador para processamento e/ou visualização dos resultados. Neste último passo é necessária a existência de uma interface de comunicação (por exemplo USB, Wi-Fi, PCI ou Firewire) que possibilite a comunicação da placa de aquisição com o computador. Na Figura 1 representa-se um esquema típico de um sistema de medida baseado em aquisição.

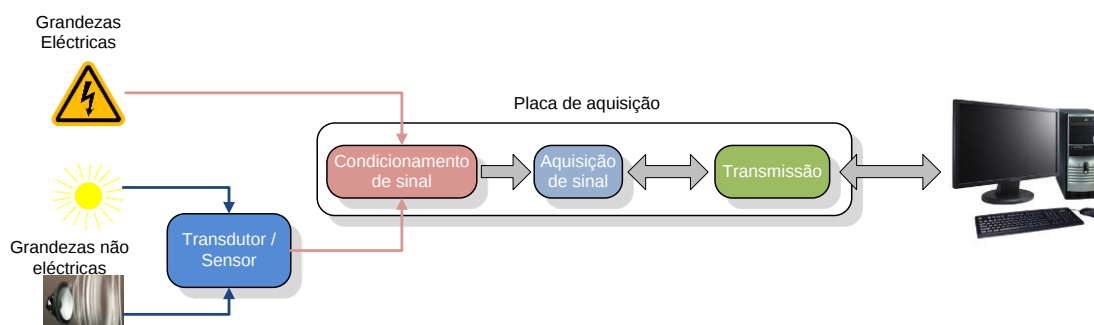


Figura 1 – Esquema de um sistema de medida baseado em aquisição.

1.1 Motivação e Objectivos

O desenvolvimento da tecnologia permitiu que a aplicabilidade de sistemas de aquisição se expandisse a diferentes áreas tecnológicas, possibilitando a aquisição de placas de aquisição portáteis, ou integradas internamente nos sistemas a um custo reduzido. Uma placa de aquisição de dados tem como componente fundamental o conversor digital analógico, cujo custo tem vindo a decrescer significativamente ao longo dos anos, sendo já possível adquirir ADCs com uma elevada resolução e frequência máxima de amostragem elevada a um custo relativamente reduzido. Como principais características na escolha de uma placa de aquisição os factores tidos em conta incluem o número de canais, a frequência de amostragem máxima, se a placa de aquisição permite aquisição simultânea, o seu custo e também a facilidade na utilização do *software* que permite a configuração da placa de aquisição.

Os dispositivos existentes no mercado possuem por vezes um custo proibitivo quando o principal objectivo consiste na sua utilização no ensino, devido à aquisição de um número elevado de dispositivos. O custo destes equipamentos varia entre os 170 € para uma placa de aquisição não simultânea (NI-USB 6008 [4]) com uma frequência de amostragem máxima de 10 kS/s, até cerca de 750 € para uma placa de aquisição simultânea (NI-USB 9215 [5]) com uma frequência de amostragem máxima de 100 kS/s. Os dois dispositivos mencionados serão os mais adequados para ambientes académicos de ensino, existindo também dispositivos com características superiores mas também com um custo superior. Com a execução deste projecto pretende-se desenvolver uma placa de aquisição orientada para o ensino com um custo material inferior a 150 €, com os requisitos apresentados na Tabela 1.

Tabela 1 – Requisitos da placa de aquisição a desenvolver.

Interface	USB
Aquisição	Simultânea
Tipo de medida	Tensão
Número de canais	4 diferenciais
Frequência de amostragem máxima	100 kS/s
Resolução	16 bits
Alcance	Gama de alcances [$\pm 0,1$ V ; ± 10 V]

É necessário o desenvolvimento de uma aplicação que permita controlar e configurar a aquisição dos diferentes canais. A aplicação é desenvolvida de modo a permitir o desenvolvimento de outras aplicações através do *software LabVIEW*. A aplicação desenvolvida possui funcionalidades semelhantes à aplicação *DAQ Assistant* desenvolvida pela *National Instruments*.

1.2 Descrição geral do sistema

O sistema desenvolvido tem como unidade principal de processamento um microcontrolador da família PIC de 32 bits fabricado pela *Microchip*. Na Figura 2 encontra-se o diagrama de blocos simplificado da placa de aquisição desenvolvida.

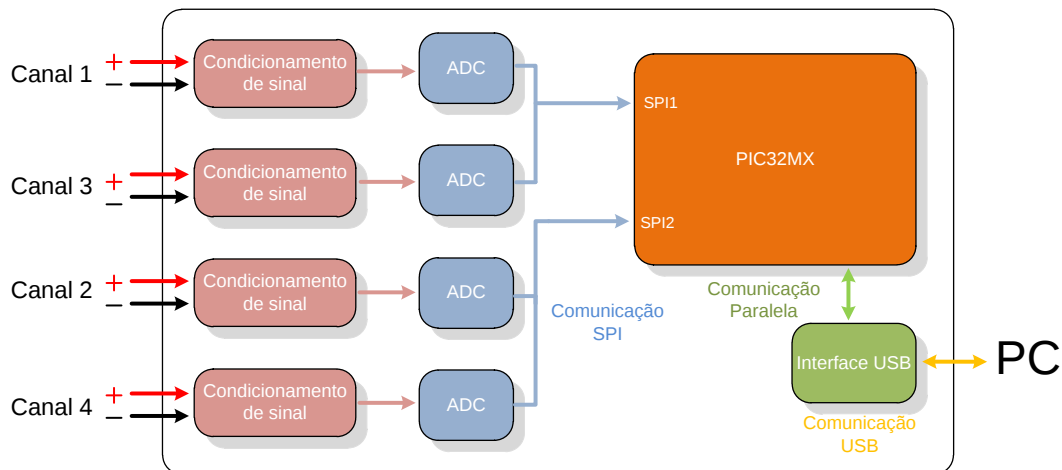


Figura 2 – Diagrama de blocos simplificado da placa de aquisição projectada.

O microcontrolador PIC tem como função o controlo da aquisição de sinal, é o responsável pela programação dos amplificadores de ganho programáveis utilizados, controlo da frequência de amostragem, que permite o controlo do ritmo de conversão dos ADCs, recepção dos dados resultantes da amostragem utilizando para tal o protocolo de comunicação SPI, e a transferência das amostras recolhidas através de uma interface paralela para um circuito integrado que implementa o protocolo USB para a transferência dos dados para um computador. Estas amostras são depois processadas/visualizadas recorrendo a uma aplicação.

1.3 Metodologia

No desenvolvimento da dissertação estiveram envolvidas as seguintes etapas:

- 1) Pesquisa de documentação relacionada com o tema de aquisição de sinal e elaboração de um relatório preliminar.
- 2) Selecção do microcontrolador mais adequado aos objectivos propostos e do circuito integrado para implementação do protocolo USB.
- 3) Implementação de uma aplicação que permitisse a comunicação através do protocolo USB entre a placa de aquisição e computador.
- 4) Selecção e teste dos componentes utilizados no condicionamento de sinal de cada canal (amplificador de instrumentação, amplificador de ganho programável, ADC).

- 5) Desenvolvimento do *firmware* do PIC, que permitisse o controlo da amostragem em cada canal e posterior envio de dados.
- 6) Desenvolvimento da aplicação que permite a comunicação e configuração com a placa de aquisição e o processamento/visualização dos dados amostrados.
- 7) Fabrico e montagem de um protótipo da placa de aquisição projectada.
- 8) Caracterização do dispositivo.

1.4 Organização do documento

O documento encontra-se dividido num total de 5 capítulos principais. O primeiro capítulo corresponde à introdução aos sistemas de aquisição, exposição dos objectivos, motivação e referência à arquitectura utilizada na realização do mesmo.

Ao longo do segundo capítulo é desenvolvido o tema em relação aos diferentes tipos de arquitecturas de placas de aquisição existentes, assim como introduzidos os diferentes blocos que constituem um sistema de aquisição. São ainda introduzidos os diferentes factores que caracterizam uma placa de aquisição, como por exemplo, a largura de banda, frequência de aquisição máxima, interferência entre canais (*crosstalk*) e tipos de protocolos utilizados na comunicação com a placa de aquisição.

No terceiro capítulo é apresentado o projecto desenvolvido, através da descrição das funcionalidades de cada módulo constituinte da placa de aquisição. É ainda explicada a aplicação desenvolvida, que permite a comunicação entre a placa de aquisição e o computador, utilizando para tal o *software LabVIEW*.

O capítulo quatro inclui os testes realizados à placa de aquisição, entre os quais encontram-se a medição da largura de banda analógica de cada canal, medidas de THD de cada canal nos diferentes alcances e a diferentes frequências, medida de interferência entre canais (*crosstalk*) e medição do atraso existente entre os diferentes canais numa aquisição simultânea.

Finalmente no capítulo 5 são apresentadas as conclusões e propostas de desenvolvimento futuro, é ainda incluída a bibliografia utilizada e anexos correspondentes aos esquemas eléctricos da placa de aquisição desenvolvida, fotos do sistema completo e ainda uma tabela com o custo do material utilizado no desenvolvimento do projecto.

2. Estado da arte

Neste capítulo são apresentadas as diferentes arquitecturas de placas de aquisição de dados (DAQ) existentes e descritos os seus principais blocos constituintes (condicionamento de sinal e conversão analógico digital). São também apresentadas as diferentes arquitecturas e características do conversor digital analógico (ADC), componente fundamental de uma placa de aquisição. Por fim são discutidos os diferentes parâmetros que caracterizam o funcionamento de uma placa de aquisição.

2.1 Arquitecturas de placas de aquisição de dados

Existem três diferentes arquitecturas de placas de aquisição [6], duas para placas de aquisição simultânea e uma para placas de aquisição não simultânea. Em placas de aquisição não simultânea a aquisição de dados realiza-se utilizando apenas um ADC e um selector de canais (*multiplexer*) que os selecciona sequencialmente. Na Figura 3 encontra-se representado na forma de um diagrama de blocos a arquitectura de uma placa de aquisição não simultânea.

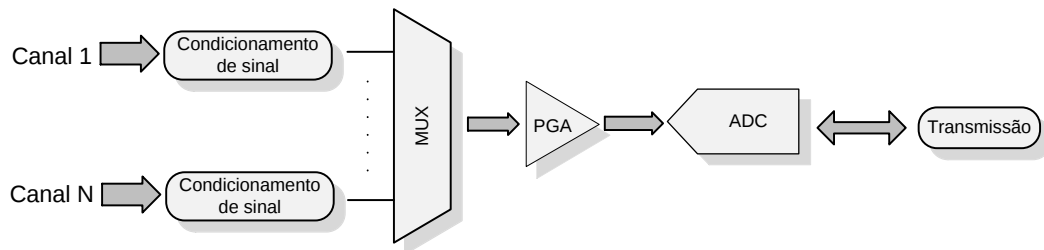


Figura 3 – Diagrama de blocos de uma placa de aquisição não simultânea.

Uma das duas das arquitecturas de placas de aquisição simultânea é constituída por circuitos de condicionamento de sinal por cada canal, seguidos de um circuito retentor de amostras (*Sample & Hold*), um selector de canais e finalmente um ADC. O circuito de retenção de amostras tem como objectivo a retenção do valor da tensão do canal num determinado instante. A aquisição simultânea existe devido à activação simultânea dos circuitos de retenção de amostras existentes em todos os canais. O selector de canais tal como nos sistemas de aquisição não simultânea tem como objectivo a selecção de cada um dos canais de entrada para conversão por parte do ADC. Na Figura 4 encontra-se representado o diagrama de blocos da arquitectura de uma placa de aquisição simultânea utilizando circuitos de retenção de amostras à entrada de cada canal.

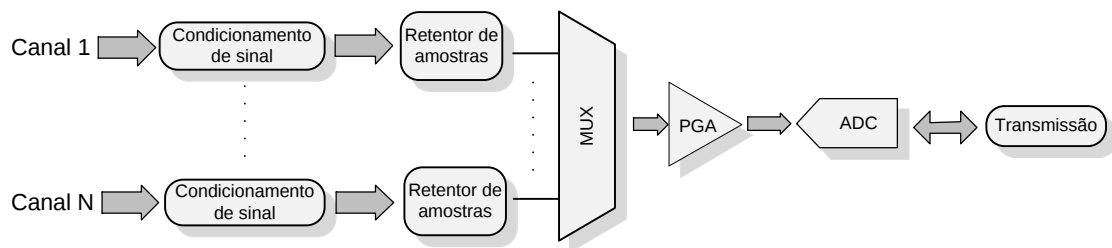


Figura 4 – Diagrama de blocos de uma placa de aquisição simultânea com *Sample & Hold*.

A terceira arquitectura corresponde também a uma arquitectura de aquisição simultânea, composta neste caso por um ADC em cada canal da placa de aquisição (Figura 5).

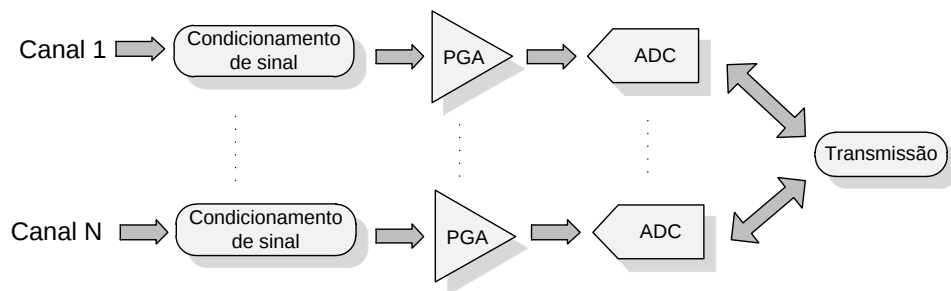


Figura 5 – Diagrama de blocos de uma placa de aquisição simultânea.

As vantagens e desvantagens das três arquitecturas são apresentadas na Tabela 2 e encontram-se dependentes das características pretendidas para o sistema final de medição.

Tabela 2 – Comparação entre as diferentes arquitecturas de placas DAQ.

	Arquitectura de placas DAQ		
	Aquisição não simultânea	Aquisição simultânea com <i>Sample & Hold</i>	Aquisição simultânea com múltiplos ADCs
Custo por canal	Reduzido	Reduzido	Elevado
Frequência de amostragem (ex: 100 kS/s → 8 canais)	12.5 kS/s	<12.5 kS/s	100 kS/s
Sensível a ruído entre canais	Sim	Sim	Não
Atraso entre amostras de diferentes canais	Sim	Não	Não

2.2 Condicionamento de sinal

Uma placa de aquisição é utilizada de modo a possibilitar a conversão para o domínio digital de um sinal de tensão analógico. Por vezes estes sinais de tensão necessitam de algum tipo de condicionamento antes de ser possível realizar a conversão para o domínio digital. Um condicionamento de sinal adequado poderá melhorar a qualidade e desempenho do sistema de medição utilizado [7]. Alguns dos condicionamentos de sinal existentes são a amplificação/atenuação de sinal, filtragem e isolamento eléctrico/magnético [8].

Uma das componentes importantes de um projecto em termos de condicionamento de sinal consiste na protecção do circuito a condições adversas que possam ocorrer, deste modo previne-se que os componentes sensíveis do circuito sejam destruídos. A protecção do circuito deverá ser efectuada tendo em conta situações em que ocorra um aumento inesperado de corrente e/ou tensão. No caso da protecção contra excesso de corrente, a utilização de uma resistência em série com a entrada do circuito possibilita a sua limitação. A título de exemplo de protecção contra excesso de corrente durante um longo período de tempo consiste na utilização de um fusível. Para efectuar a protecção contra picos de tensão que possam existir, a utilização de díodos nas alimentações do circuito possibilita a limitação da tensão ao proporcionar um caminho alternativo para a corrente.

2.2.1. Amplificação/Atenuação

A amplificação de sinal permite a utilização da totalidade gama dinâmica do ADC utilizado. Na amplificação de sinal o ruído presente é também amplificado juntamente com o sinal. Uma forma de reduzir a influência do ruído nas medições consiste na amplificação do sinal o mais próximo possível da fonte do sinal. Os sistemas de medição são projectados de forma a possibilitarem a medição de sinais com uma vasta gama de amplitudes (μV a dezenas de Volt). Para estes últimos sinais é necessário efectuar atenuação, frequentemente realizada utilizando um divisor de tensão resistivo. Para protecção dos circuitos da placa de aquisição o valor de tensão máxima nas entradas é limitado, e encontra-se dependente dos limites desses componentes. Por exemplo no caso da placa de aquisição não simultânea NI-6009, em todos os canais encontra-se um divisor resistivo que atenua o sinal de modo a que este se encontre dentro da gama de medição do ADC [4]. O utilizador selecciona depois qual a gama do sinal a medir, de modo a que o PGA amplifique o sinal adequadamente. Na Figura 6 encontra-se representado o circuito de condicionamento de sinal da DAQ NI-6009.

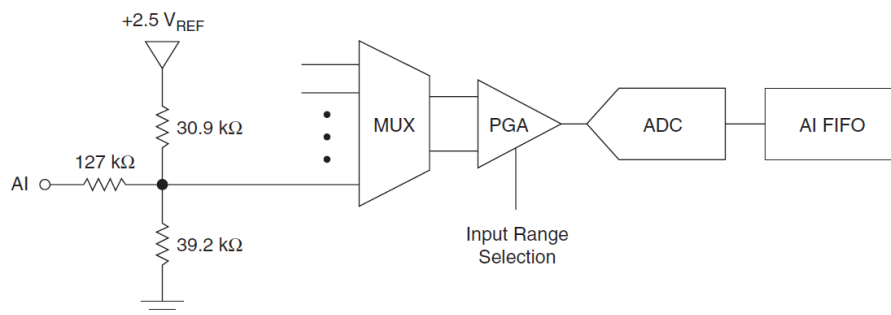


Figura 6 – Circuito de condicionamento de sinal da placa de aquisição NI-6009 [4].

2.2.2. Filtragem

A filtragem de sinal consiste na remoção de uma gama de frequências indesejadas do espectro do sinal. Nas placas de aquisição é possível efectuar a filtragem da banda de frequências acima de metade da frequência máxima de amostragem destas utilizando um filtro passa baixo. Deste modo, o ruído de alta frequência será filtrado não afectando a medição e será assim prevenida a existência de *aliasing* do ruído, que consiste na transformação da frequência real do sinal amostrado numa frequência aparente, caso não se obedeça ao critério de Nyquist [9]. É necessário ter em conta que a placa de aquisição não poderá assim ser utilizada em medições que utilizem técnicas de subamostragem (espelhamento espectral), quando o sinal em teste possui uma frequência superior a metade da frequência máxima de amostragem utilizada.

2.2.3. Isolamento

O isolamento entre circuitos permite separar electricamente os sinais dos diversos sensores utilizados do restante circuito. Para tal são utilizados transformadores, desacopladores ópticos ou capacitivos [10]. Na medição de sinais com elevadas amplitudes e diferentes referências, o isolamento no circuito permite a protecção dos componentes mais sensíveis. Com isolamento, a imunidade ao ruído é bastante elevada e a rejeição de tensões de modo comum (CMRR) é também superior relativamente a sistemas não isolados.

2.3 Conversor Analógico Digital

Um dos componentes mais importantes de uma placa de aquisição é o conversor analógico digital (ADC) cujo objectivo consiste na conversão de tensões analógicas à sua entrada em palavras digitais. As características de um ADC incluem a velocidade de conversão, o número de bits, que consiste no número total de valores de tensão que o conversor distingue (ex: 16 bits equivalem a 65536 valores de tensão diferente). O tipo de saída do conversor (série/paralelo) permite obter uma maior velocidade de transmissão e consequentemente possibilita a existência de uma velocidade de conversão superior, no caso dos conversores paralelos. Finalmente a escala que pode ser unipolar caso o sinal a medir possua apenas valores de tensão positivas, ou bipolar caso o sinal possua também valores de tensões negativas.

2.3.1. Topologias

Existem diferentes arquitecturas de conversores (por exemplo tensão - frequência, tensão - tempo e sigma - delta), cada uma seguindo um princípio de funcionamento, o que faz com que possuam diferentes características [11] - [12]. Os conversores podem ser ainda classificados em conversores integradores e não integradores. Os conversores não integradores possuem uma elevada velocidade de conversão, por outro lado os conversores integradores possuem uma maior imunidade ao ruído.

2.3.1.1 Conversor tensão - frequência

O conversor tensão frequência converte uma determinada tensão de entrada num sinal com uma determinada frequência dependente dessa mesma tensão. Na Figura 7 encontra-se representado o diagrama de blocos de um conversor tensão - frequência.

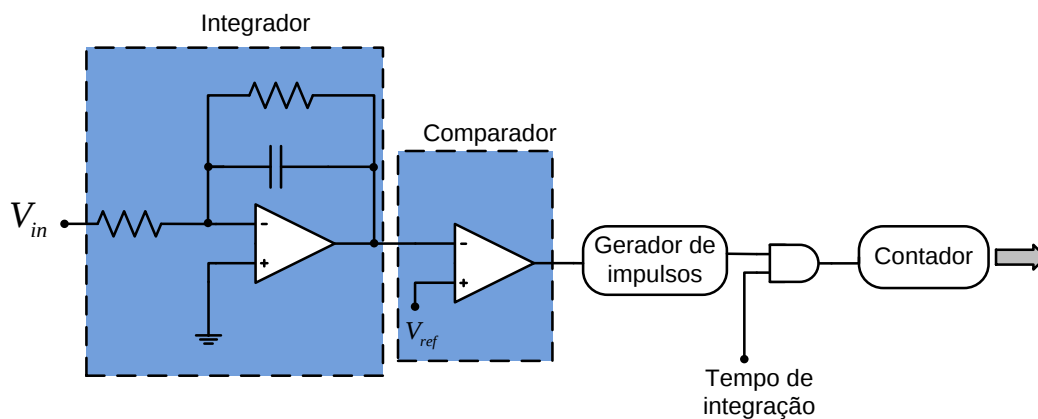


Figura 7 – Conversor tensão - frequência.

O modo de funcionamento de um conversor tensão frequência consiste na integração de um sinal de entrada (V_{in}) até esta igualar uma certa tensão de referência (V_{ref}). Os impulsos gerados pelo circuito são contados durante um tempo fixo de modo a determinar a frequência gerada. A uma maior tensão de entrada corresponde uma frequência mais elevada. Este tipo de conversores é frequentemente utilizado no controlo da velocidade de motores.

2.3.1.2 Conversores tensão - tempo

Os conversores tensão - tempo integram uma tensão de entrada ao longo de um intervalo de tempo conhecido. Existem dois tipos de conversores tensão tempo, os de rampa simples e de dupla rampa.

O conversor de rampa simples funciona através da integração de uma tensão de entrada, até que esta iguale o valor da tensão de referência (V_{ref}) no comparador. Na Figura 8 encontra-se representado o diagrama de blocos de um conversor tensão - tempo.

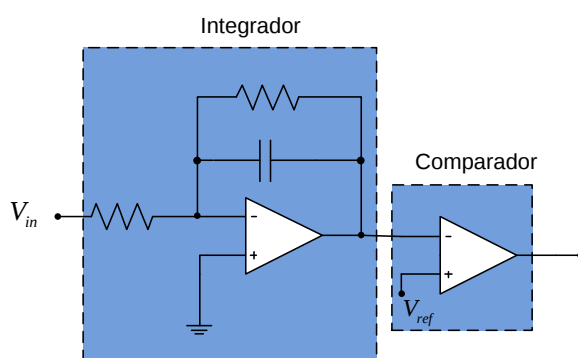


Figura 8 – Conversor de rampa simples.

A exactidão dos valores do condensador e das resistências do circuito são o factor mais importante no funcionamento deste tipo de conversores. O conversor de rampa simples é ainda bastante sensível a variações de temperatura que afectam directamente os condensadores e resistências constituintes do circuito, afectando assim o funcionamento desta arquitectura.

O funcionamento do conversor de dupla consiste na integração de duas tensões diferentes, a tensão de entrada (V_{in}) e uma tensão de referência conhecida (V_{ref}). Na Figura 9 encontra-se representado diagrama de blocos do conversor de dupla rampa.

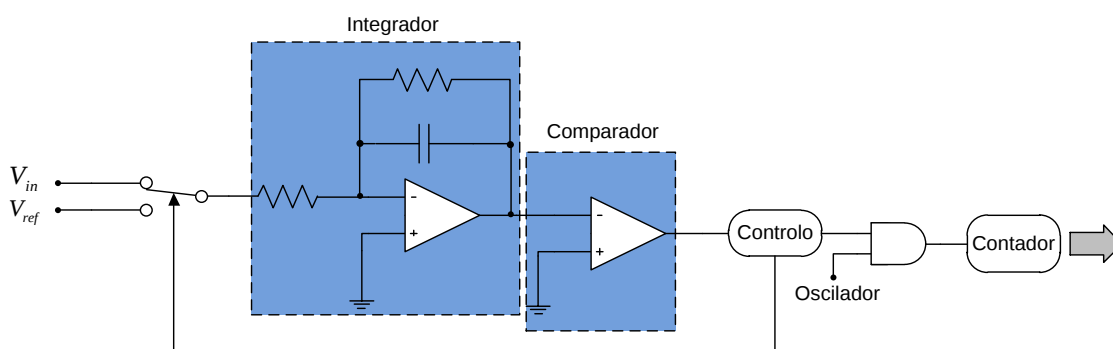


Figura 9 – Conversor de dupla rampa.

A tensão de entrada (V_{in}) carrega o condensador do integrador durante um período de tempo fixo. A segunda fase do processo consiste na integração da tensão de referência conhecida até que o valor de tensão no condensador atinja os 0 V. De notar que a polaridade do sinal de referência tem de ser inversa à do sinal de entrada para que o condensador do integrador possa ser descarregado. O contador contará o tempo que demorou a descarga do condensador, este tempo é proporcional à tensão de entrada.

2.3.1.3 Conversores de comparação

Os conversores de comparação funcionam através da comparação da tensão de entrada com diversas tensões de referência geradas internamente no circuito. Os conversores de comparação existentes são o conversor simultâneo/paralelo e o conversor de aproximações sucessivas.

Num conversor simultâneo/paralelo, o sinal de entrada é aplicado a múltiplos circuitos comparadores sucessivos que possuem à sua entrada diferentes tensões de referência geradas a partir de divisores resistivos, cada um com o peso correspondente a um bit. Na Figura 10 encontra-se representado o diagrama de blocos de um conversor simultâneo/paralelo.

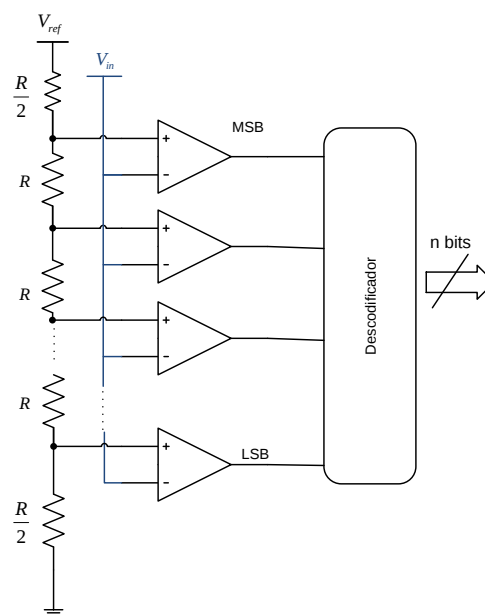


Figura 10 – Conversor simultâneo/paralelo.

Uma das vantagens do conversor simultâneo/paralelo é a sua velocidade de conversão. A complexidade inerente ao circuito à medida que o número de bits aumenta é uma das desvantagens desta arquitectura, devido ao número de comparadores necessários. A relação existente entre o número de bits e o número de comparadores necessários é de $2^n - 1$ comparadores para n bits.

No conversor de aproximações sucessivas, o método de conversão consiste na detecção dos valores dos bits (do MSB para o LSB) utilizando um conversor digital analógico para geração das diferentes tensões de comparação. [11] - [12]. Na Figura 11 encontra-se representado o diagrama de blocos de um conversor de aproximações sucessivas.

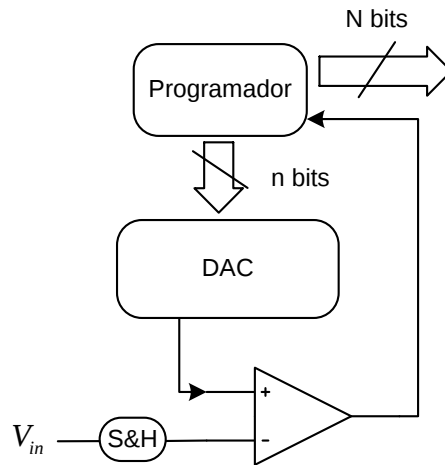


Figura 11 – Conversor de aproximações sucessivas.

O conversor por aproximações sucessivas é constituído por um circuito de *Sample & Hold* que retém a tensão de entrada e um comparador que compara a tensão de entrada (V_{in}) com a tensão gerada pelo DAC devolvendo o valor da conversão resultante.

2.3.1.4 Conversor Sigma - Delta

O conversor Sigma - Delta recorre à sobreamostragem do sinal de entrada de forma a gerar uma sequência de bits (*bit stream*) que são depois aplicados a um filtro passa baixo digital de modo a obter o valor médio do sinal gerado, equivalente ao valor do sinal à entrada do conversor (V_{in}) [12]. Na Figura 12 encontra-se representado o diagrama de blocos correspondente ao conversor sigma - delta.

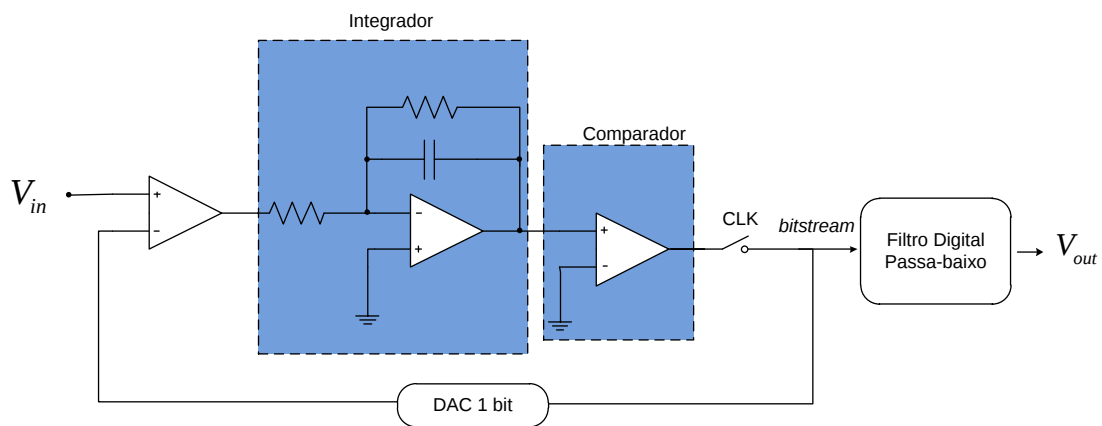


Figura 12 – Conversor Sigma - Delta.

2.3.1.5 Conversor Pipeline

O conversor *Pipeline* é constituído por diversos andares de conversão, em que a função de cada andar consiste na conversão de um reduzido número de bits [13]. Na Figura 13 encontra-se a representação de um conversor *Pipeline* de 12 bits.

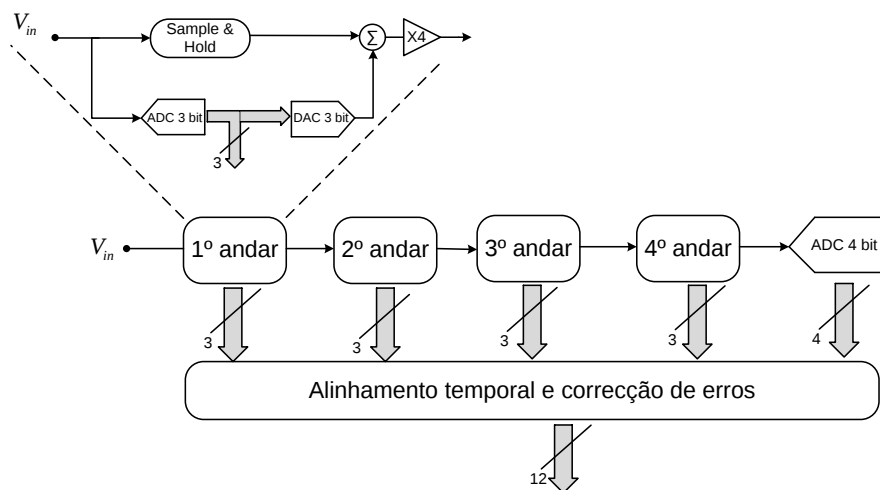


Figura 13 – Conversor Pipeline de 12 bits.

Como se observa na Figura 13, o conversor é constituído por quatro andares cuja conversão depende do resultado do andar anterior. O conversor funciona tendo por base o resultado de cada andar, em que a palavra digital resultante é fornecida a um DAC de modo a que esse resultado seja subtraído à tensão de entrada e fornecida ao próximo andar. No fim de cada conversão realiza-se um ajuste do resultado de modo a corrigir erros existentes nas conversões dos diferentes andares. A velocidade de conversão é uma das grandes vantagens deste tipo de conversores, devido à possibilidade de iniciar uma nova conversão no primeiro andar logo após este ter terminado a conversão da amostra anterior. Por outro lado o circuito associado à correcção de erros e sincronismo das amostras pode ser muito complexo.

2.3.1.6 Comparação entre as diferentes topologias

Na Tabela 3 efectua-se uma comparação da frequência de amostragem e da resolução dos diferentes tipos de conversores existentes. O custo associado de um certo tipo de ADC dependerá da relação existente entre a resolução e a frequência de amostragem do ADC, quanto maiores, maior será também o custo do ADC.

Tabela 3 – Comparação entre as diferentes topologias de conversores analógico digital [12].

Arquitectura	Resolução	Frequência de amostragem
Dupla rampa	4000 a 20000 contagens	50 S/s
Simultâneo	6 a 10 bits	1.5 GS/s
Aproximações sucessivas	8 a 16 bits	5 MS/s
Sigma delta	14 a 24 bits	2 MS/s
Pipeline	10 a 16 bits	100 MS/s

2.3.2. Resolução

Os sinais analógicos nunca serão totalmente representáveis no domínio digital pois estes possuem uma resolução infinita e são medidos por ADCs com resolução finita. A resolução num ADC indica a menor alteração num sinal possível de ser medida. Esta encontra-se dependente do alcance de entrada e também do número de bits do ADC utilizado. A resolução de um ADC corresponde ao valor do bit de menor peso do ADC (LSB – *Least Significant Bit*).

$$\text{LSB} = \frac{\text{Alcance máximo} - \text{Alcance mínimo}}{2^n - 1}. \quad (1)$$

Por exemplo, com um ADC de 16 bits, este possibilita a conversão de 65536 diferentes valores de tensão. Ao utilizar a gama dinâmica total do ADC ao mesmo tempo está-se a aumentar o alcance do sinal, por exemplo para um sinal de 10 V de amplitude, a resolução (LSB) do ADC é de 305 μV . Associados ao valor da resolução encontram-se os erros de ganho e de desvio (*offset*), assim como o valor do INL e do DNL que caracterizam a não linearidade das conversões do ADC utilizado.

2.3.3. Erro de ganho e de desvio (*offset*)

As conversões efectuadas por um ADC possuem por vezes não linearidades que originam pequenas alterações nos resultados das medidas efectuadas. Estas não linearidades devem-se a erros internos inerentes aos ADCs utilizados. Numa conversão, algumas das tensões de transição reais são diferentes das ideais originando erros de conversão. Esses erros são chamados erro de *offset* e erro de ganho, que podem ser definidos de dois modos diferentes (*Terminal Based* e *Independently Based*). O modo *Terminal Based* consiste na correcção do erro de *offset* e do erro de ganho para que os extremos da função de transferência, ou seja a primeira e a última transição coincidam com a função de transferência de conversão ideal [14]. O modo *Independently Based* consiste na correcção do erro de ganho e de *offset* das diversas tensões de transição do ADC de modo a que estas se aproximem das tensões de transição ideais [15]. Com a correcção do erro de *offset* e de ganho é possível calcular o valor da não-linearidade integral (INL) e da não-linearidade diferencial (DNL). Na Figura 14 encontra-se representado a característica de um ADC onde se aplicam à sua entrada as diferentes tensões de transição que resultam em diferentes códigos digitais. O resultado final será uma função de transferência que contém os códigos digitais e respectivas tensões.

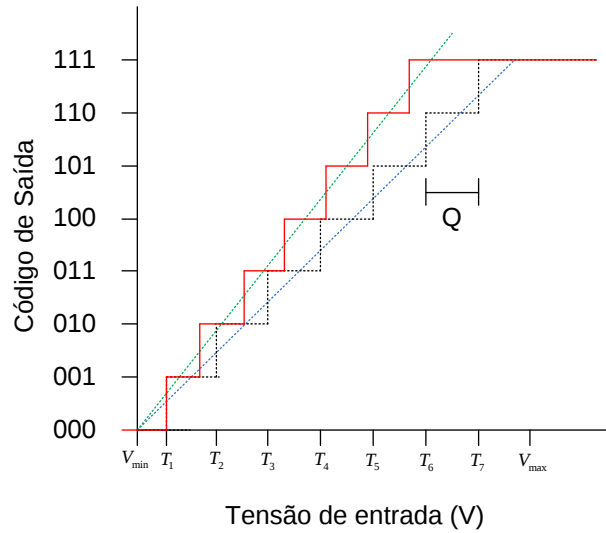


Figura 14 – Tensão de transição ideal (Recta azul) e tensão de transição real (Recta verde) [12].

2.3.4. Não-linearidade Integral (INL)

A não-linearidade integral corresponde à diferença entre as tensões de transição medidas após correcção de ganho (G) e *offset* (V_{os}) e a tensão de transição ideal [12]. Equivale à diferença entre cada ponto da função de transferência referente às tensões convertidas e a função de transferência referente aos valores ideais de conversão [16], corresponde à diferença entre as tensões de transição medidas (após correcção de ganho e de desvio) e a tensão de transição real. O valor de INL é calculado por

$$INL_k = T_{k,i} - (G \times T_k + V_{os}). \quad (2)$$

2.3.5. Não-linearidade Diferencial (DNL)

A não-linearidade diferencial corresponde à diferença entre a largura de cada código (Q) após correcção de ganho (G) e *offset* (V_{os}) e a largura ideal [12], corresponde à diferença entre a largura de cada código (após correcção de ganho e desvio) e a largura ideal. Caso a largura real seja igual a 1 LSB então o valor de DNL para esse valor de tensão é zero. Num ADC existe ainda a possibilidade de certos códigos digitais nunca serem utilizados na conversão (*missing codes*) [16]. Para um valor de $-1 < DNL < +1$, é garantido que o ADC não possui *missing codes*. O valor de DNL é calculado por

$$DNL_k = \frac{G \times (T_{k+1} - T_k) - Q}{Q}. \quad (3)$$

2.4 Características de placas de aquisição

O desempenho de uma placa de aquisição é medido tendo em conta diversos factores relacionados com os seus componentes internos e com as medidas efectuadas [17]. Alguns desses factores são a interferência entre canais, largura de banda analógica, alcances e frequência de amostragem máxima.

2.4.1. Atraso entre canais

Uma das grandes desvantagens de um sistema de aquisição não simultânea consiste no atraso existente entre os diferentes canais amostrados devido à comutação do selector de canais. O atraso provocado depende da frequência de amostragem utilizada. Quanto maior esta, maior é o atraso provocado na amostragem. É possível eliminar o atraso entre canais através da utilização de uma placa de aquisição simultânea, ou corrigi-lo através de *software*. Na Figura 15 encontra-se representada a amostragem de um sinal sinusoidal de frequência 500 Hz com $2 V_{pp}$ aplicado a 4 entradas, efectuada recorrendo a uma placa de aquisição não simultânea (NI 6009). Neste caso verifica-se que existe um atraso de alguns μs entre os diferentes canais.

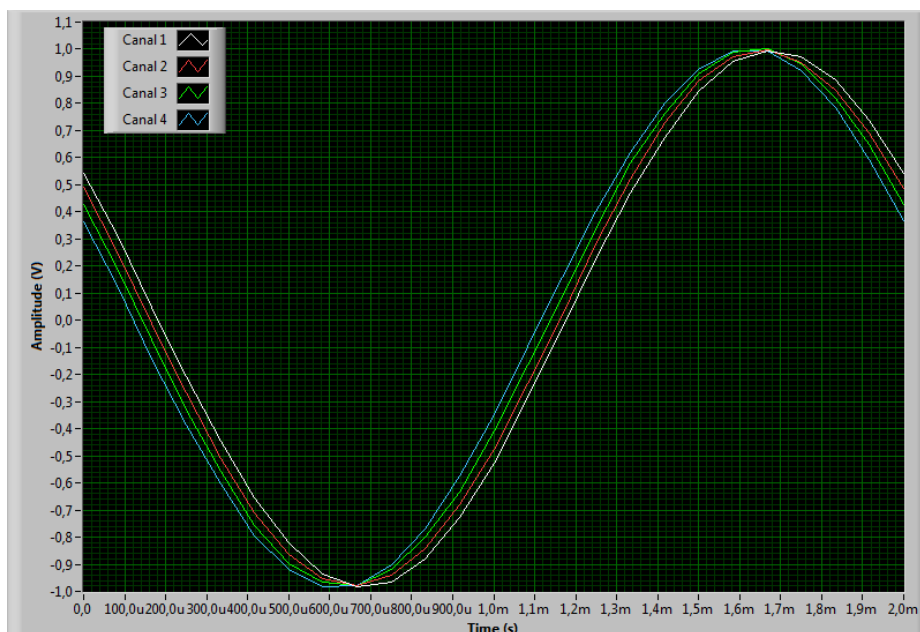


Figura 15 – Medição de um sinal utilizando uma placa de aquisição não simultânea.

2.4.2. Tempo de estabelecimento (*settling time*)

O termo tempo de estabelecimento (*settling time*) caracteriza o tempo necessário para a estabilização de um sinal num circuito [18]. No caso de sistemas de aquisição corresponde ao tempo necessário para que um sinal num canal estabilize de modo a permitir a aquisição e conversão pelo ADC numa palavra digital. Na Figura 16 encontram-se representados os esquemas de detalhe das arquitecturas de aquisição não simultânea e simultânea respectivamente.

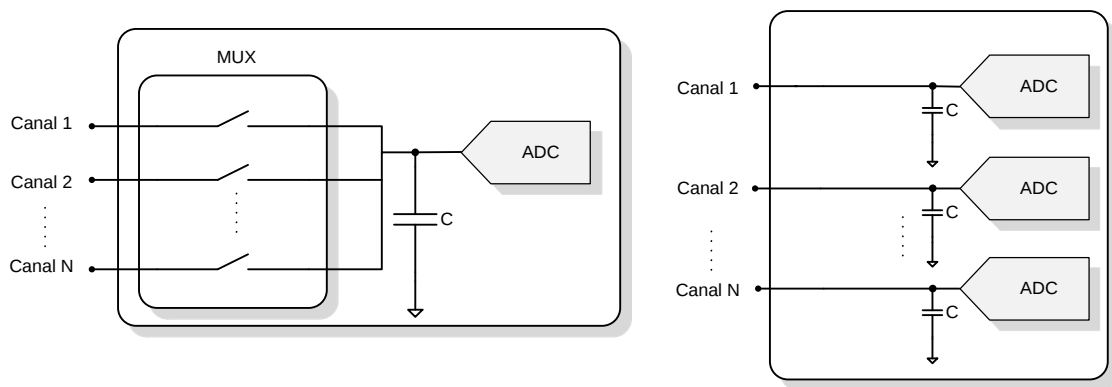


Figura 16 – Sistema de aquisição não simultânea (esquerda) e sistema de aquisição simultânea (direita).

Na arquitectura de aquisição não simultânea, o tempo de estabelecimento é importante devido à utilização do selector de canais, sendo necessária a existência de tempo suficiente para a estabilização de cada canal à entrada do ADC. Nesses casos é necessário esperar que a influência de sinais com maior amplitude desapareça e esperar pela estabilização de sinais de menor amplitude. Se o tempo de espera não for suficiente, os valores amostrados relativos ao segundo canal poderão corresponder a valores de tensão do primeiro canal. No caso da arquitectura de aquisição simultânea, o problema mencionado já não existe pois em cada canal existe um ADC. Este efeito quando presente dá origem a um outro efeito chamado interferência entre canais (*crosstalk*), cuja influência é mais notada em placas de aquisição com uma arquitectura não simultânea, devido à existência do selector de canais.

2.4.3. Interferência entre canais (*crosstalk*)

Um dos problemas existentes em placas de aquisição não simultânea é a existência de interferência entre canais (*crosstalk*) [18]. Este efeito acontece devido à existência de capacidades parasitas associadas entre cada ligação do selector de canais e mede o isolamento existente entre os diferentes canais da placa de aquisição. Na Figura 17 encontra-se representado o esquema da arquitectura de uma placa de aquisição de aquisição não simultânea de modo a exemplificar a interferência existente entre canais.

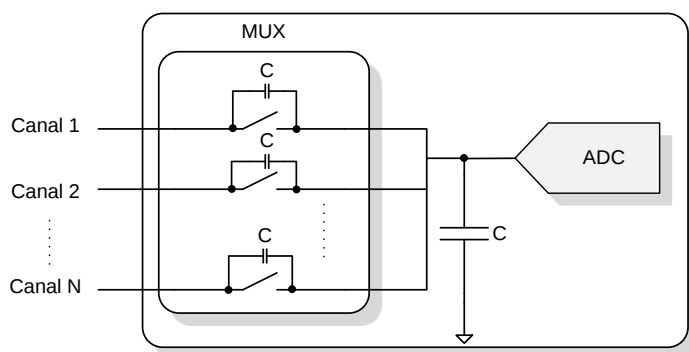


Figura 17 – Representação da interferência entre canais (*crosstalk*).

A interferência é superior à medida que se utilizam mais canais da placa de aquisição, sendo que a frequência de comutação do selector de canais e a frequência dos sinais amostrados, contribuem

também para o aumento da interferência entre canais. O efeito existe também em placas de aquisição simultânea, apesar dos canais possuírem os componentes de condicionamento de sinal independentes e se encontrarem isolados existe sempre alguma interferência entre os diferentes canais embora com um valor bastante inferior em comparação com placas de aquisição não simultânea.

2.4.4. Frequência de amostragem

A frequência de amostragem de uma placa DAQ está dependente do controlador utilizado na aquisição. O controlador gere o funcionamento dos ADCs, dos PGAs e dos restantes componentes utilizados no condicionamento de sinal. Geralmente o controlo do ritmo de amostragem encontra-se dependente de um relógio interno do controlador, de frequência elevada (na ordem dos MHz) que será dividido por um número inteiro no circuito de controlo. A divisão dará origem a uma frequência inferior que controlará o ritmo de amostragem da placa de aquisição.

A frequência de amostragem é calculada através da divisão entre a frequência do relógio do sistema e um número n_{CLK} inteiro. É frequente a utilização de interrupções em microcontroladores para efectuar o controlo da frequência de amostragem (f_s). Tomando como exemplo o microcontrolador PIC32MX460F512L que possui uma frequência de funcionamento de 80 MHz, a geração de interrupções encontra-se dependente do valor de comparação de um contador. Na Tabela 4 encontram-se representados diversos valores de frequências de amostragem para diferentes divisores n_{CLK} , sendo que $n_{CLK} \geq 800$.

Tabela 4 – Cálculo da frequência de amostragem para o controlador PIC32MX460F512L.

Valor de comparação do contador (n_{CLK})	Frequência de amostragem (f_s)
800	100 kS/s
801	99,875 kS/s
802	99,750 kS/s
803	99,626 kS/s

Caso se pretenda uma frequência de 99,8 kS/s, devido a n_{CLK} corresponder a um número inteiro, a frequência de amostragem resultante seria calculada com $n_{CLK} = 801$ ou $n_{CLK} = 802$ dependendo do arredondamento efectuado. Na Figura 18 encontra-se um exemplo do funcionamento do controlo da frequência de amostragem (f_s).

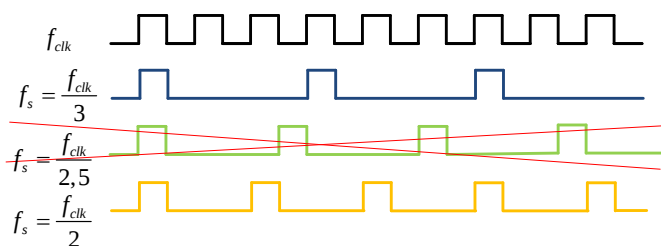


Figura 18 – Geração de frequências de amostragem.

Como se observa na Figura 18, a frequência de amostragem está dependente do relógio do sistema (f_{CLK}). Para a geração de uma nova frequência de amostragem, a divisão de f_{CLK} terá de ser efectuada a partir de um número inteiro. No exemplo, um divisor entre 2 e 3 não seria possível.

2.4.5. Tremor (Jitter)

O termo tremor especifica um desvio ou incerteza relativa à temporização na amostragem de um determinado sinal [19]. Na Figura 19 representa-se como exemplo um diagrama temporal de uma aquisição de sinal com tremor. Neste caso, a amostragem dos diversos pontos não é efectuada à frequência de amostragem (f_s), existindo erros temporais (Δt) aleatórios que antecipam ou atrasam a aquisição.

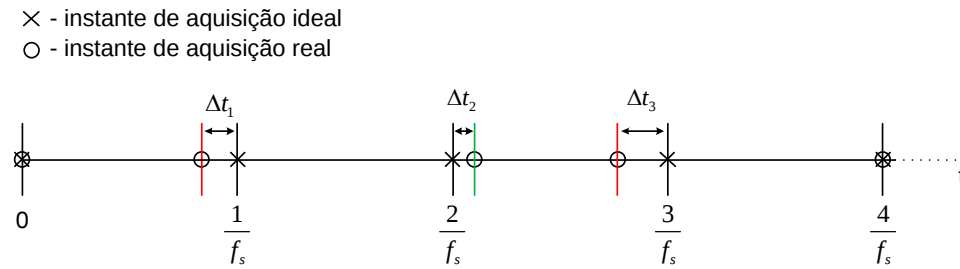


Figura 19 – Diagrama temporal de uma aquisição de sinal.

2.4.6. Largura de Banda (Análogica/Digital)

A largura de banda analógica de um sistema de aquisição está dependente dos componentes electrónicos que a constituem. Considera-se o valor da largura de banda analógica a frequência à qual existe atenuação do sinal sinusoidal de entrada em 3 dB. Por outro lado, a largura de banda digital de um sistema de aquisição corresponde à velocidade máxima de amostragem deste. Segundo o teorema de Nyquist é possível recuperar totalmente a informação de um sinal caso a amostragem seja efectuada a uma frequência no mínimo duas vezes da frequência máxima do sinal amostrado [9]. Geralmente a largura de banda analógica é superior à largura de banda digital nas placas de aquisição. Por exemplo um sistema que possua uma largura de banda analógica de 1 MHz e uma velocidade de amostragem máxima de 100 kS/s, permite a aquisição de sinais até uma frequência de 50 kHz segundo o teorema de Nyquist. No caso de se pretender utilizar técnicas de subamostragem, a largura de banda analógica do sistema será o factor limitativo. Em sistemas de aquisição não simultânea, a largura de banda digital do ADC será distribuída por todos os canais existentes, limitando assim a frequência máxima de amostragem dos sinais de entrada. Nos sistemas de aquisição simultânea cada canal tem à sua disposição toda a largura de banda digital do ADC, pois existe um ADC dedicado para cada canal. Como se observa na Figura 20, a largura de banda analógica do ADC AD7980 é de 10 MHz [20], bastante superior à velocidade máxima de amostragem de 1 MHz imposto pelo fabricante. Uma placa de aquisição não simultânea com quatro canais permite a aquisição de sinais com uma frequência de amostragem máxima de 250 kHz devido à comutação do selector de canais, o que limita a frequência máxima de cada sinal a 125 kHz, de modo a respeitar o teorema de Nyquist. No caso de um sistema de aquisição simultânea o sinal poderá ter uma frequência máxima de 500 kHz.

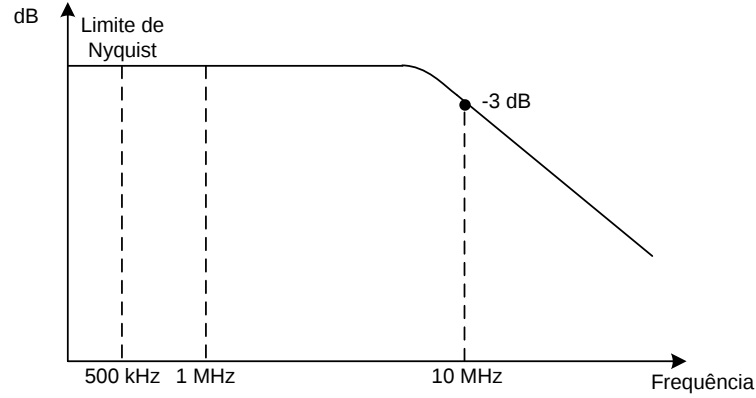


Figura 20 – Largura de banda do ADC AD7980.

Para além da atenuação da amplitude, um outro factor associado à largura de banda consiste na diferença de fase provocada no sinal de entrada, caracterizado como um atraso de fase. Admitindo que a função de transferência de um sistema de 1ª ordem é com 1 pólo é

$$G(s) = \frac{1}{1+s\tau} \Leftrightarrow G(j\omega) = \frac{1}{1+j\omega T}, \quad (4)$$

é possível calcular de que modo a frequência de corte afecta a amplitude e a fase de um sinal num sistema de 1ª ordem. Em (4), τ corresponde à constante de tempo do sistema, ou seja, representa a velocidade de resposta do sistema a um determinado impulso de modo a atingir um estado estável, ω corresponde à frequência angular, com $\omega = 2\pi f$ e finalmente T que corresponde ao período da frequência de corte do sistema. Admitindo $\omega = 1/T$ a frequência de corte do sistema, obtém-se

$$\begin{aligned} |G(j\omega)| &= 20\log_{10} 1 - 20\log_{10} \sqrt{1^2 + (j\omega T)^2} \\ &= 0 - 20\log_{10} \sqrt{1 + (\omega T)^2} \\ &= -20\log_{10} \sqrt{2} \\ &= -3 \text{ dB} \end{aligned} \quad (5)$$

e

$$\begin{aligned} \arg G[j\omega] &= \arg 1 - \arg [1 + j\omega T] \\ &= 0 - \arg [1 + j] \\ &= -45^\circ. \end{aligned} \quad (6)$$

Na frequência de corte existe atenuação na amplitude com o valor 3 dB e a essa frequência a diferença de fase existente entre o sinal de saída e de entrada corresponde a -45° . Num sistema de aquisição é importante que a influência dos componentes de medida nos sinais em análise seja a menor possível. A uma frequência uma década antes da frequência de corte, ou seja $\omega = 1/10T$, obtém-se

$$\begin{aligned}
|G(j\omega)| &= 20\log_{10} 1 - 20\log_{10} \sqrt{1^2 + (j\omega T)^2} \\
&= 0 - 20\log_{10} \sqrt{1 + (\omega T)^2} \\
&= -20\log_{10} \sqrt{1 + \frac{1}{100}} \\
&= -0.043 \text{ dB}
\end{aligned} \tag{7}$$

e

$$\begin{aligned}
\arg G(j\omega) &= \arg 1 - \arg(1 + j\omega T) \\
&= 0 - \arg\left(1 + \frac{j}{10}\right) \\
&= -5.71^\circ.
\end{aligned} \tag{8}$$

O sinal de saída a uma frequência uma década antes da frequência de corte do sistema sofrerá uma atenuação de 0.043 dB e uma desfasagem de -5.71° em relação ao sinal de entrada.

2.4.7. Entradas diferenciais/referenciadas à massa

Numa medição de sinais eléctricos é sempre necessária a utilização de dois pontos distintos do circuito, correspondendo sempre um deles a um potencial de referência. Nas medições mais comuns, o potencial de referência corresponde à massa (GND) que por convenção possui um potencial de 0 V. Em alguns casos pretende-se efectuar a medição tendo em conta um outro referencial diferente de GND. A esta medição dá-se o nome de medição diferencial e a referência poderá assumir qualquer valor de tensão.

Na Figura 21 estão representados os dois métodos de medição de sinal utilizando um amplificador de instrumentação. O primeiro método representa uma medição diferencial e o segundo a medição com um dos terminais com ligação a GND. O mais comum nas placas de aquisição existentes no mercado, por exemplo da *National Instruments*, consiste na utilização de dois canais distintos de modo a efectuar uma medição diferencial. No caso de se pretender uma medição com referência a GND apenas é utilizado um canal para medição do sinal sendo o outro canal a referência para todos os canais.

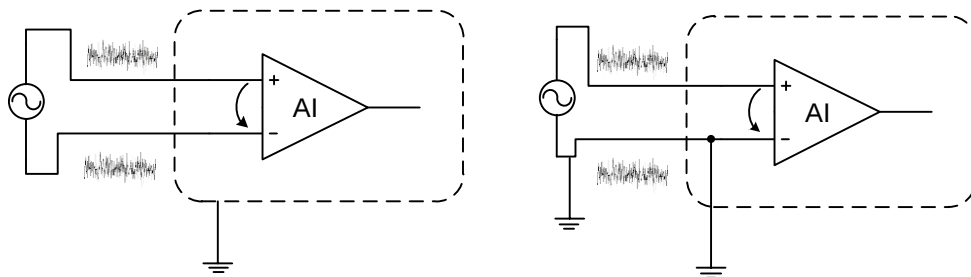


Figura 21 – Medição diferencial (esquerda) e medição referenciada a GND (direita).

Ambas as situações possuem as suas vantagens e desvantagens. A medição diferencial tem a vantagem de possuir uma boa imunidade ao ruído, pois qualquer interferência num dos terminais afectará sempre de igual modo o outro terminal, cancelando-se mutuamente na medição do sinal porque se faz a diferença do sinal entre os dois terminais. A desvantagem consiste na necessidade de ocupação de dois

canais nas placas de aquisição mais comuns como por exemplo a NI-6009 [4]. No caso da placa NI-9215 [5] existem quatro canais diferenciais. A medição referente a GND possui a vantagem de permitir a medição do sinal através da utilização de apenas um canal da placa de aquisição, possuindo apenas um canal para a referência (GND). Este tipo de medição possui a desvantagem de ser mais sensível ao ruído em ligações longas. No caso da existência de ruído nos terminais, este estará sempre presente quando se efectuar a medição.

2.4.8. Alcance

O alcance de uma placa DAQ define qual a gama de amplitudes que esta permite medir. Geralmente o alcance encontra-se dependente do condicionamento de sinal efectuado nos canais da placa DAQ. Está também dependente do amplificador de ganho programável, que é controlado de modo a alterar o ganho para amplificação do sinal de entrada. No geral uma placa de aquisição necessita de suportar diferentes alcances seleccionáveis pelo utilizador, possibilitando deste modo a medição de sinais com diferentes amplitudes. Tomando como exemplo a placa de aquisição NI-6009, esta possui alcances que variam entre ± 1 V e ± 10 V [4].

2.4.9. Protocolos de comunicação

Numa aquisição de dados é importante permitir ao utilizador a visualização e processamento dos dados adquiridos. Para tal ser possível é necessário efectuar a transmissão dos dados adquiridos pela placa de aquisição para o sistema de processamento de dados. Existem diversos protocolos de comunicação que permitem uma grande variedade de velocidades de transmissão de informação. Na Tabela 5 encontram-se algumas das características dos diferentes tipos de comunicações existentes em placas de aquisição.

Tabela 5 – Interfaces de comunicação disponíveis em placas de aquisição.

	Comunicação					
	Ethernet	PCI	PCI Express	USB	Wi-Fi	FireWire
Velocidade (MB/s)	125	132	250 por canal	60	6.75 por canal	400
Portabilidade	Sim	Não	Não	Sim	Sim	Sim
Tipo de comunicação (Série/Paralelo)	Série	Paralelo	Paralelo	Série	Sem fios	Série

Dependendo das características pretendidas para um sistema de aquisição, alguns protocolos serão mais adequados que outros. Para uma maior portabilidade, os protocolos USB e Wi-Fi são os mais adequados, por outro lado caso se pretenda a transmissão de uma grande quantidade de informação, as interfaces PCI ou PCI-Express são as mais adequadas. Em termos gerais, em aplicações que facilitem a interacção com o utilizador, o protocolo USB é o mais adequado pela simplicidade de conexão e actual integração nos computadores. A interface Ethernet é utilizada em casos de aquisição de dados remota. Na Tabela 6 encontra-se representado, a título de exemplo o custo referente a diversas placas de aquisição não simultânea da *National Instruments* com diferentes protocolos de comunicação, com uma frequência de amostragem de 250 kS/s e com uma resolução de 16 bits.

Tabela 6 – Custo de placas de aquisição com diferentes protocolos de comunicação.

	Comunicação				
	Ethernet	PCI	PCI Express	USB	Wi-Fi
Placa	ENET-9205	PCI-6220	NI PCIe-6320	USB-6210	WLS-9205
Custo	1099 €	479 €	479 €	629 €	1199 €

Ao analisar a Tabela 6, verifica-se que os sistemas possíveis de controlo remoto (Ethernet e Wi-Fi) possuem um custo mais elevado. Os sistemas com comunicação PCI ou PCI-Express possuem um custo inferior com a inconveniência de não serem portáteis mas com a vantagem de permitirem uma maior velocidade na transferência de dados. No caso dos sistemas USB, apesar de possuírem as mesmas características este possuem um preço um pouco superior ao dos sistemas PCI e PCI-Express, devido à sua portabilidade e necessidade de fabricação de uma caixa de protecção.

3. Arquitectura do sistema

Neste capítulo são descritos os diversos blocos constituintes da placa de aquisição desenvolvida e explicados os diferentes métodos utilizados na aquisição de sinal, entre estes a geração da frequência de aquisição, programação dos diferentes alcances, conversão do sinal analógico para o domínio digital e por último o envio/recepção dos dados para posterior visualização e processamento. Na Figura 22 encontra-se representada a arquitectura da placa de aquisição desenvolvida.

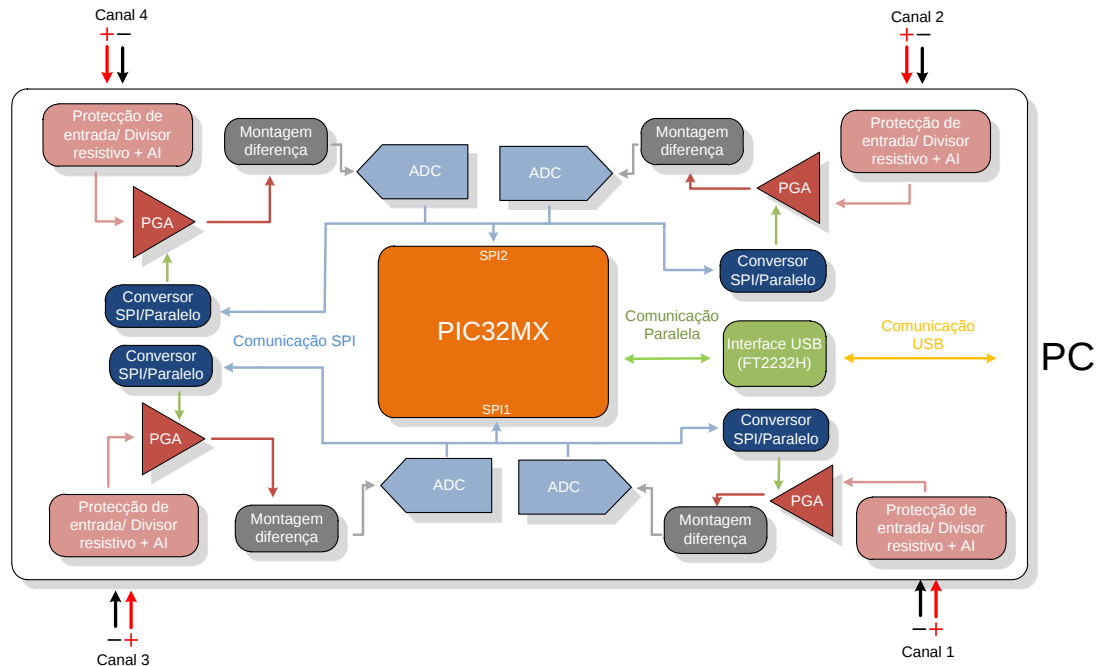


Figura 22 – Arquitectura da placa de aquisição desenvolvida.

A placa de aquisição desenvolvida é constituída por quatro blocos principais. Estes são o condicionamento de sinal, amplificação, conversão analógico digital e o controlo digital utilizando o protocolo de comunicação USB. O condicionamento de sinal envolve a atenuação do sinal através de um divisor resistivo compensado com atenuação 5:1 e inclui também a protecção em corrente e tensão do circuito. É utilizado o amplificador de instrumentação AD8251 [21] de modo a possibilitar uma aquisição diferencial e também uma elevada rejeição de modo comum (CMRR). O bloco de amplificação é constituído por dois PGA LTC6910-1 [22] com ganho programável através de uma entrada paralela de 3 bits, controlados pelo conversor SPI/paralelo MCP23S08 [23]. O terceiro bloco permite a digitalização do sinal de entrada por parte do ADC AD7980 [20]. Os ADCs existentes nos 4 canais estão colocados numa montagem *daisy-chain* 2 a 2, o que permite a utilização do mesmo controlador SPI para a recepção dos dados dos dois ADCs. O controlo da frequência de amostragem, alcance de cada canal e transmissão dos dados adquiridos são realizados pelo microcontrolador PIC32MX460F512L [24]. Os dados adquiridos são transmitidos para um computador através do integrado FT2232H [25] da FTDI, que recebe os dados provenientes do PIC através de uma comunicação paralela de 16 bits. Este integrado permite a transmissão de dados através do protocolo USB *Hi-speed*, com um ritmo máximo de transmissão de 480 Mbit/s. O processamento dos dados é efectuado por uma aplicação desenvolvida em *LabVIEW*, para possibilitar a existência de uma interface entre o utilizador e a placa de aquisição de sinal.

Deste modo é possível ao utilizador controlar o alcance, a frequência de amostragem e os canais que pretende utilizar, para possibilitar a visualização/processamento dos resultados no computador.

3.1 Unidade de processamento

Na escolha da unidade principal de processamento os aspectos mais importantes tidos em conta incluem a velocidade de processamento, velocidade do protocolo de comunicação SPI, existência de uma comunicação paralela bidireccional e uma arquitectura de no mínimo 16 bits devido à dimensão dos registos dos ADCs utilizados.

No trabalho desenvolvido é utilizado o microcontrolador PIC32MX460F512L com uma arquitectura de 32 bits. Este possui uma frequência de funcionamento a 80 MHz, memória *flash* com uma capacidade de 512 kB, uma memória RAM (*Random Access Memory*) de 32 kB e um ADC com uma resolução de 10 bits e velocidade de conversão de 1 MSps. Possui também 5 saídas para geração de sinais PWM (*Pulse Width-Modulation*) por *hardware*, neste caso utilizadas para geração da frequência de amostragem. É de salientar que o microcontrolador possui ainda dois controladores SPI integrados em *hardware* com uma velocidade de comunicação máxima a 25 MHz, ao contrário de outros PIC com arquitecturas de 8 e 16 bits com uma velocidade máxima de 10 MHz. Esta é uma das razões porque se optou por um PIC com uma arquitectura de 32 bits, desta forma seria possível atingir frequências de amostragem mais elevadas, devido à rápida transferência de dados dos ADCs para o microcontrolador. A comunicação SPI é utilizada para a recepção dos dados provenientes dos quatro ADCs e para programação dos PGAs através do integrado MCP23S08. A existência de uma comunicação paralela (PMP - *Parallel Master Port*) de 16 bits possibilita o envio dos dados da amostragem para o integrado FT2232H que transmite os dados por USB. Na Figura 23 encontra-se representado o diagrama de blocos da arquitectura de 32 bits do PIC utilizado.

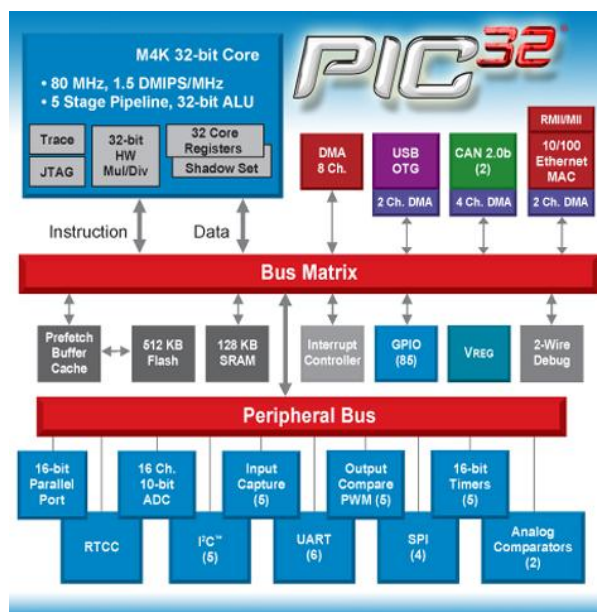


Figura 23 – Diagrama de blocos do microcontrolador PIC32MX460F512L [26].

O microcontrolador PIC é utilizado para controlo da frequência de amostragem, programação dos diferentes alcances dos 4 canais, comunicação com os ADCs através do protocolo SPI a uma velocidade máxima de comunicação de 20 MHz e não a 25 MHz, pois seria necessário alterar a frequência de funcionamento do microcontrolador, o que afectaria também a velocidade de transmissão da comunicação paralela. O dispositivo FT2232H recebe os dados provenientes do PIC através de uma comunicação paralela de modo a efectuar a transferência dos dados pelo protocolo USB para o computador.

3.2 Dispositivo USB

Para a implementação do protocolo USB foram tidas em conta diferentes opções apresentadas na Tabela 7. Para a escolha do componente utilizado, o método de recepção e envio de dados, e o ritmo de transmissão de dados são as especificações mais importantes.

Tabela 7 – Características dos diferentes dispositivos USB.

Integrado	Comunicação de entrada	Protocolo de comunicação de saída	Ritmo máximo de transmissão
PIC	-	USB 2.0 <i>Full Speed</i>	12 Mbps (Software)
FT232R	UART	USB 2.0 <i>Full Speed</i>	12 Mbps
FT2232H	UART, SPI, <i>Parallel</i> 16 bits	USB 2.0 <i>Hi-Speed /Full Speed</i>	480 Mbps

O dispositivo utilizado é o integrado FT2232H fabricado pela FTDI – *Future Technology Devices International*. A comunicação USB neste dispositivo é realizada totalmente por *hardware*, sendo apenas necessária a programação prévia da interface de comunicação pretendida numa memória em separado através do programa “FTProg”. Uma das razões da escolha deste dispositivo consiste neste permitir a transferência de dados através de uma comunicação paralela de 16 bits, importante no caso do projecto devido à quantidade de dados gerada pela amostragem dos 4 canais às frequências inicialmente propostas. No caso do dispositivo FT232R [27], a comunicação efectua-se através do protocolo em série RS232 com velocidades bastante inferiores a uma comunicação em paralelo.

O integrado FT2232H possui quatro filas FIFO com dimensão de 4 KB, duas para recepção e outras duas para transmissão de dados. A velocidade de transmissão do dispositivo é um outro factor de escolha, neste caso correspondente ao protocolo USB 2.0 *Hi-Speed*, possibilitando a transferência de dados a um ritmo máximo de 480 Mbps. No caso do PIC e do integrado FT232R, é utilizado o protocolo USB 2.0 *Full Speed* com um ritmo de transmissão máximo de 12 Mbps. No PIC o protocolo efectua-se por *software*, o que ocupa recursos do microcontrolador necessários para outras tarefas.

A interface de comunicação utilizada no dispositivo FT2232H é a interface CPU FIFO que utiliza os dois canais de comunicação do dispositivo de modo a permitir a recepção e envio de 16 bits de dados em paralelo. Para possibilitar a utilização deste tipo de comunicação é necessária a programação de uma memória auxiliar para que as configurações pretendidas sejam carregadas no arranque do dispositivo. Para programação utiliza-se o programa exemplo “FT Prog” fornecido pela FTDI. É

apresentada na Figura 24 a interface do programa utilizado para programação da memória que retém as configurações da comunicação USB.

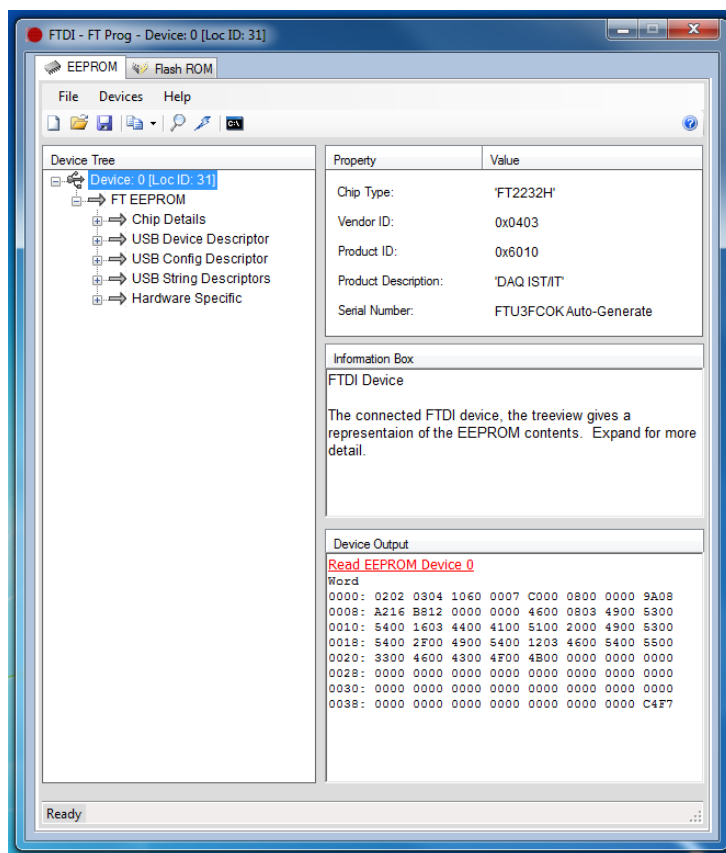


Figura 24 – Programa “FT Prog” para programação das características da comunicação USB.

O dispositivo permite a comunicação bidireccional entre o computador e a placa de aquisição, para a recepção das configurações da aquisição de sinal e transmissão dos dados resultantes da amostragem dos diferentes canais.

3.3 Condicionamento de sinal

O principal objectivo de uma placa de aquisição consiste na conversão de sinais analógicos para o domínio digital. Antes da conversão analógica/digital é necessário que exista algum tratamento do sinal, por exemplo a amplificação de sinais com uma amplitude reduzida. No projecto apresentado utilizam-se diversas técnicas de condicionamento de sinal, entre elas a atenuação e amplificação de sinal, para que a placa de aquisição permita a medição de uma elevada gama de amplitude de sinais. No sistema de aquisição é ainda implementado um circuito de protecção contra o excesso de corrente e tensão. Na Figura 25 encontra-se representado o esquema eléctrico do condicionamento de sinal existente em cada canal, constituído por diferentes blocos explicados nas subsecções seguintes.

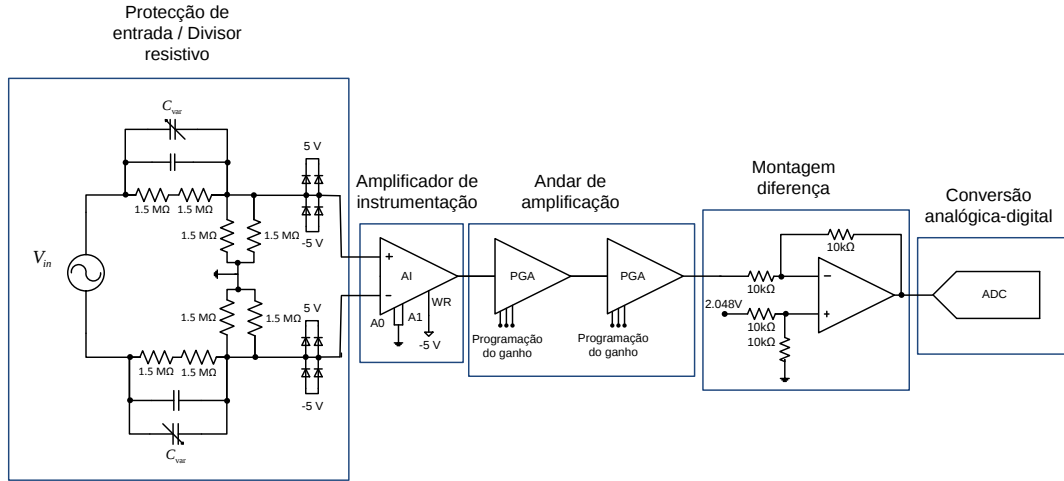


Figura 25 – Esquema eléctrico do condicionamento de sinal de um canal

3.3.1. Impedância de entrada

A impedância de entrada de um circuito eléctrico consiste na impedância equivalente aos terminais da fonte ligada a esse circuito. No caso de cada canal da placa de aquisição, a impedância de entrada pode existir de duas formas, quando um dos terminais se encontra referenciado a GND e quando existe uma medição diferencial. O circuito equivalente visto do gerador de sinal nos dois casos encontra-se na Figura 26.

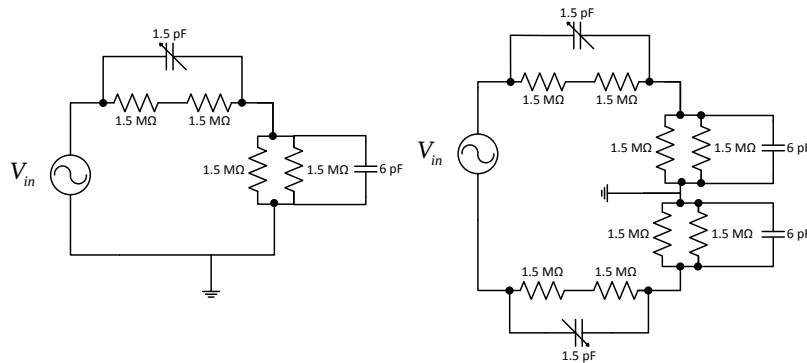


Figura 26 – Impedância de entrada com circuito referenciado a GND e em modo diferencial.

Para o caso em que um dos terminais se encontra referenciado a GND, a impedância de entrada Z_{IN} é calculada a partir de

$$Z_{IN} = \frac{3M\Omega \times \frac{1}{2\pi f \times 1.5pF}}{3M\Omega + \frac{1}{2\pi f \times 1.5pF}} + \frac{750k\Omega \times \frac{1}{2\pi f \times 6pF}}{750k\Omega + \frac{1}{2\pi f \times 6pF}}, \quad (9)$$

em que f corresponde à frequência do sinal. Para o cálculo da impedância diferencial do circuito, é necessário multiplicar por 2 a impedância obtida no circuito referenciado a GND. A partir de

(9) é possível calcular como varia a impedância de entrada do circuito com a variação da frequência. Os valores são apresentados na Tabela 8.

Tabela 8 – Variação do módulo da impedância de entrada com a frequência.

Frequência	Impedância com circuito referenciado a GND	Impedância diferencial
1 Hz	3.75 MΩ	7.5 MΩ
10 kHz	2.9 MΩ	5.8 MΩ
100 kHz	1 MΩ	2 MΩ

3.3.2. Protecção de entrada

Na placa de aquisição projectada encontra-se implementado um circuito eléctrico para protecção de cada entrada da placa contra valores de corrente e tensão eléctrica acima das especificações que possam danificar os componentes internos da placa. Na Figura 27 encontra-se representado o esquema eléctrico correspondente ao circuito utilizado.

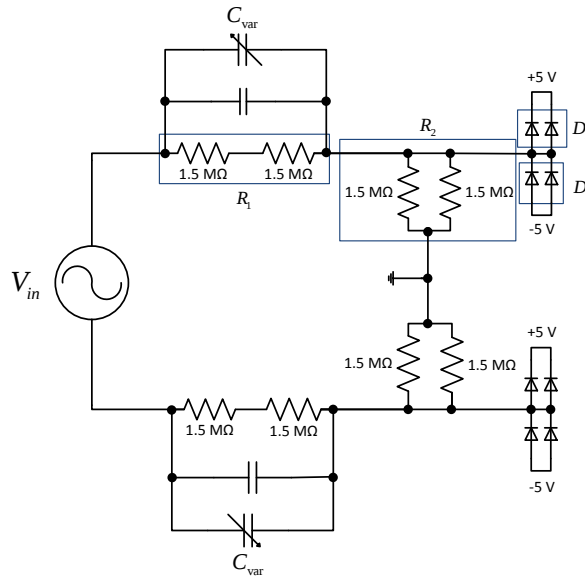


Figura 27 – Circuito de protecção de entrada.

A protecção é efectuada em termos de corrente e tensão eléctrica na entrada do circuito. A limitação em corrente efectua-se através da utilização de duas resistências, cada uma com um valor igual a 1.5 MΩ colocadas em série com a entrada do circuito, que totalizam uma resistência equivalente de 3 MΩ (R_1). Na selecção do valor da resistência são tidos em conta a tensão máxima possível de aplicar na entrada do circuito, corrente de entrada máxima e potência, neste caso pretende-se proteger o circuito contra tensões provenientes da rede eléctrica ($230 V_{ef}$).

$$P = V_{ef} I \Rightarrow P = \frac{V_{ef}^2}{R} \Rightarrow R_{min} = \frac{V_{ef}^2}{P}. \quad (10)$$

Tendo em conta o valor máximo de potência que a resistência consegue dissipar (125 mW), e tendo em conta que se pretende proteger o circuito para uma tensão máxima de entrada com um valor de

$230 V_{ef}$, aplicando (10) obtém-se que o conjunto das duas resistências tem de possuir um valor superior a $423 k\Omega$. O divisor resistivo implementado provoca no sinal de entrada uma atenuação de 5:1, de modo a possibilitar a medição de uma maior gama de alcances de tensão. A utilização de duas resistências em série (R_1) juntamente com outras duas em paralelo (R_2) tem como objectivo a adição de elementos redundantes no circuito de modo a proporcionar uma maior protecção. Por exemplo caso uma das resistências em série entre em curto-circuito, a outra continuará a limitar a corrente de entrada no circuito.

A limitação de tensão é realizada através da utilização de díodos de *Schottky*. Estes possuem uma elevada capacidade de comutação, um reduzido valor de capacidade e baixa tensão directa, o que permite uma actuação rápida. A actuação dos díodos depende do valor da tensão de alimentação do circuito, neste caso de $\pm 5 V$. Novamente é introduzida redundância no circuito através da utilização de 2 díodos em paralelo (BAS70-07 [28]). Os díodos actuam quando o valor da tensão após o divisor resistivo atingir os valores de $(5 + V_{dON}) V$ para a tensão positiva (díodos D_1 encontram-se a conduzir) e $(-5 - V_{dON}) V$ para a tensão negativa (díodos D_2 encontram-se a conduzir), em que V_{dON} se refere à tensão directa do diódo e apresenta valores na ordem dos 0.3 V. Cada diódo possui uma tensão inversa (V_R) de 70 V, um valor corrente directa (I_F) com o valor 70 mA, e são capazes de dissipar uma potência de 250 mW.

Utilizando o programa *LTSpice* foi simulado o circuito da Figura 27, com o modelo eléctrico do diódo BAS70-07 integrado na simulação. Na Figura 28 encontra-se o resultado da simulação quando à entrada do circuito é aplicada uma onda sinusoidal com uma tensão de $230 V_{ef}$.

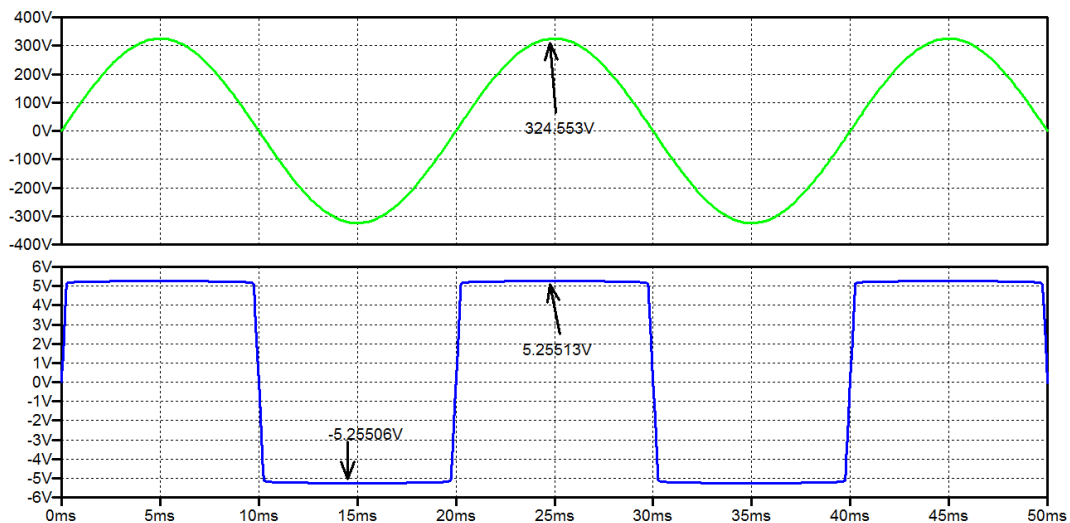


Figura 28 – Simulação da resposta do circuito de protecção a uma tensão de entrada (V_{in}) de $230 V_{ef}$.

Como se observa na Figura 28, a tensão máxima que o circuito atinge para uma tensão de entrada de $230 V_{ef}$ é de $\pm 5.25 V$, que corresponde à soma das tensões de alimentação do circuito com a queda de tensão directa nos díodos de *Schottky* utilizados. No pior caso, ou seja, quando uma das metades do circuito se encontra ligada a GND, o sinal de entrada é aplicado à parte superior do circuito. Com a protecção activa, as resistências de entrada encontram-se com o valor restante da tensão, ou seja

$(230\sqrt{2} - 5.25)$ V. Neste caso as resistências de entrada e os díodos de protecção encontram-se a dissipar o maior valor de potência. Na Figura 29 encontra-se representado o valor da corrente instantânea nas resistências do divisor resistivo de entrada, primeiro a corrente nas resistências em série (R_1) e o segundo gráfico para o restante divisor resistivo (R_2).

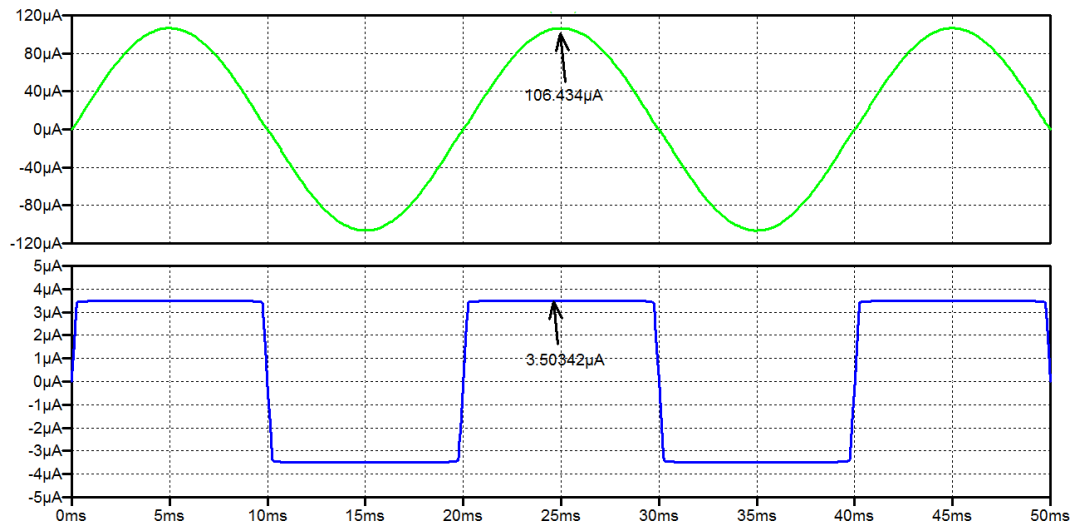


Figura 29 – Corrente instantânea nas resistências de entrada (R_1) e restantes resistências do divisor resistivo (R_2).

Verifica-se na Figura 29 que o valor de corrente instantânea nas resistências em série com a entrada do circuito (R_1) é bastante superior à corrente no conjunto de resistências (R_2). Isto acontece devido à limitação de tensão imposta pelos díodos, o que faz que apenas uma parte da tensão de entrada seja aplicada no conjunto de resistências R_2 , e a restante tensão aplicada no conjunto de resistências R_1 , o que faz aumentar a corrente nas resistências e consequentemente a potência instantânea dissipada por estas, representada na Figura 30.

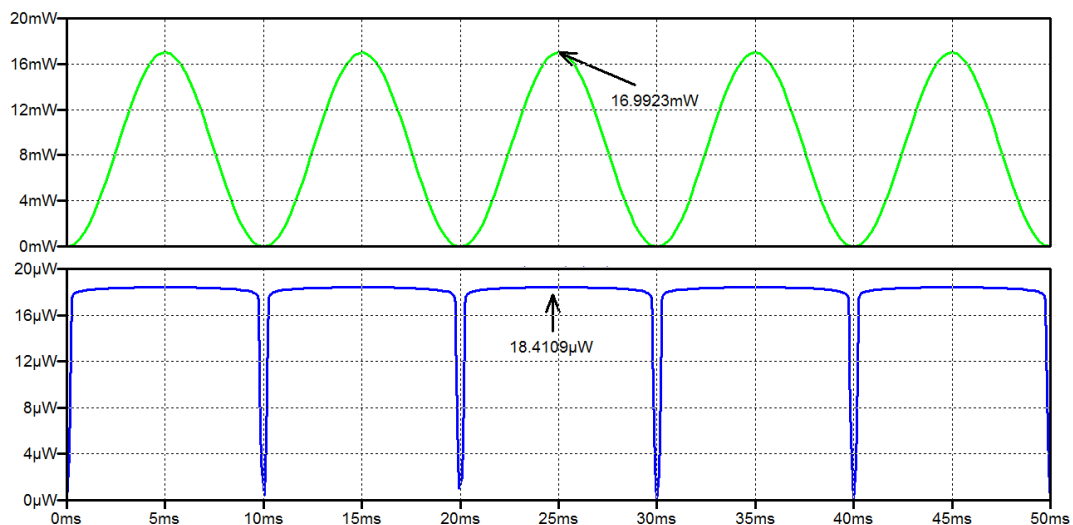


Figura 30 – Potência instantânea nas resistências de entrada (R_1) e restantes resistências do divisor resistivo (R_2).

É possível concluir a partir da Figura 30 que a potência instantânea dissipada nas resistências no pior caso, é bastante inferior ao limite suportado com o valor 125 mW. Através da integração da potência instantânea ao longo de um período da onda, é possível obter a potência activa, neste caso a potência instantânea das resistências em série é de 16.99 mW e a sua potência activa de 8.44 mW. Das resistências em paralelo a potência instantânea é de 18.41 μ W e a potência activa de 17.65 μ W. Na Figura 31 encontra-se representada a potência dissipada nos díodos D_1 e D_2 quando estes se encontram a conduzir e portanto a proteger o circuito de uma tensão de entrada excessiva.

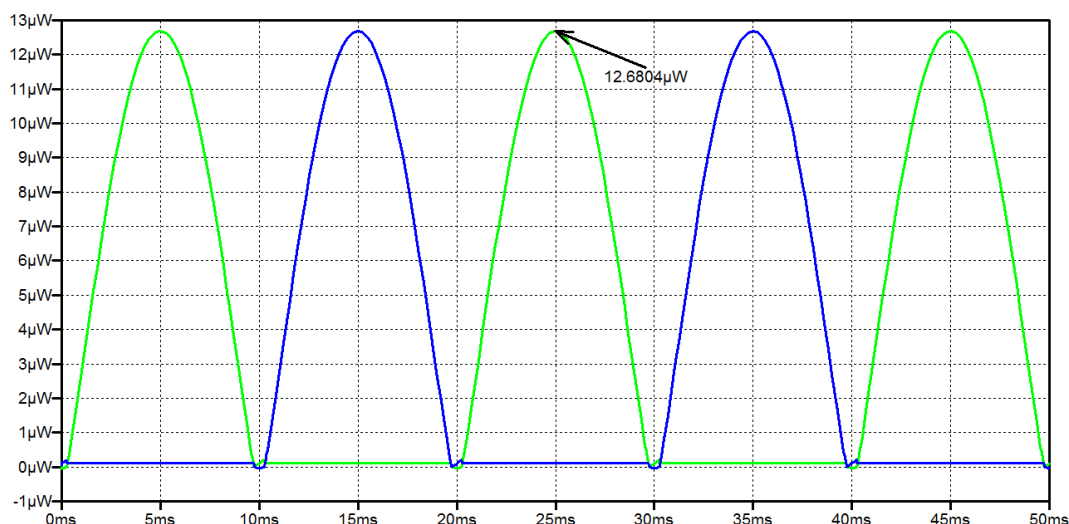


Figura 31 – Potência nos díodos D_1 e D_2

Como se verifica na Figura 31, a potência instantânea nos díodos (12.68 μ W) é bastante inferior à potência que estes conseguem fisicamente dissipar, em que o valor da potência activa é de 3.78 μ W. Quando os díodos entram em condução, a tensão de entrada é aplicada nas resistências de entrada, estando estas a dissipar a maior parte da potência, estando a tensão nos díodos limitada aos valores $(5 + V_{dON})$ V para os díodos D_1 e $(-5 + -V_{dON})$ V para os díodos D_2 .

3.3.3. Atenuador de tensão compensado

O conjunto dos díodos de protecção com o divisor resistivo forma um filtro passa-baixo com uma frequência de corte bastante reduzida, devido aos valores elevados das resistências de entrada e às capacidades reduzidas dos díodos. Tal acontece, pois a velocidade de variação do sinal de entrada é bastante superior ao tempo de resposta do circuito, condicionado pela constante de tempo $\tau = RC$. Assim é necessário efectuar a compensação do divisor resistivo através da introdução de uma capacidade em paralelo com o divisor resistivo, tal como acontece nas sondas atenuadoras dos osciloscópios.

No circuito de protecção projectado (Figura 27) é possível calcular o valor do condensador variável necessário à compensação do divisor resistivo. Para tal considera-se que o valor da constante de tempo τ_1 referente à resistência de entrada e ao condensador de compensação tem de ser igual ao valor da

constante de tempo τ_2 referente ao conjunto da segunda resistência do divisor de tensão e à capacidade de entrada do restante circuito. Na Figura 32 representa-se um esquema simplificado do circuito em estudo.

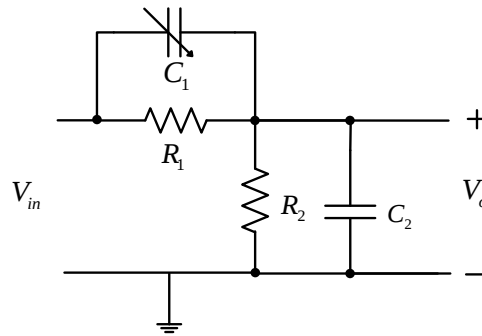


Figura 32 – Atenuador de tensão compensado.

Quando a frequência do sinal de entrada é suficientemente elevada de modo a que a impedância dos condensadores influencie o circuito, estes actuam na vez do divisor resistivo, daí a importância do acerto das duas constantes de tempo (τ_1 e τ_2). A dedução das equações de estado do circuito representado na Figura 32 encontram-se no Anexo A. A análise do circuito leva à conclusão que para existir compensação é necessário que as constantes de tempo do circuito τ_1 e τ_2 sejam iguais, para tal é necessário fazer $R_1 C_1 = R_2 C_2$. Com $R_1 = 3 \text{ M}\Omega$, $R_2 = 750 \text{ k}\Omega$, e $C_2 = C_{AD8251} + C_{diodos}$, onde segundo a folha de especificações dos componentes, $C_{AD8251} = 2 \text{ pF}$ e $C_{diodos} = 4 \text{ pF}$, devido à utilização do modelo BAS70-07 que incorpora 2 díodos cada um com uma capacidade total de 2 pF. Tendo em conta os valores de R_1 , R_2 e C_2 é possível calcular que C_1 tem de possuir o valor de 1.5 pF.

No projecto são utilizados condensadores com uma capacidade variável entre 1.5 pF e 5 pF. Os cálculos teóricos apontam para uma capacidade de compensação total de 1.5 pF utilizando os valores referidos na folha de especificações dos componentes. Na prática verificou-se que o condensador escolhido é suficiente. No caso de não ser suficiente, apenas é necessário introduzir um condensador em paralelo com os condensadores variáveis de modo a possibilitar a compensação do sistema. Nas Figuras 33 - 35 estão representados respectivamente os casos de uma sobrecompensação ($\tau_1 > \tau_2$), subcompensação ($\tau_1 < \tau_2$) do sistema e um sistema compensado ($\tau_1 = \tau_2$).

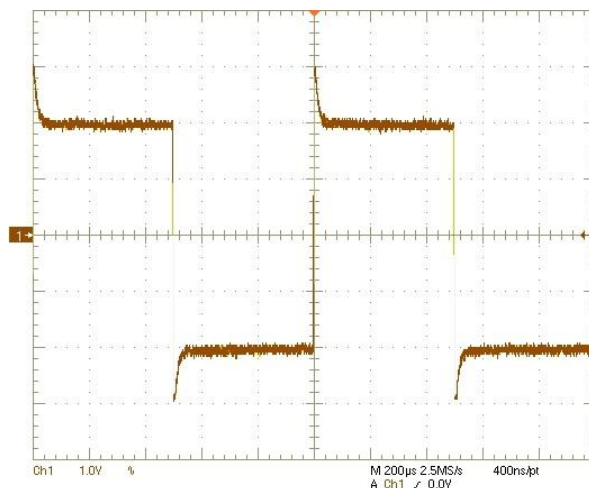


Figura 33 – Sobrecompensação do sistema.

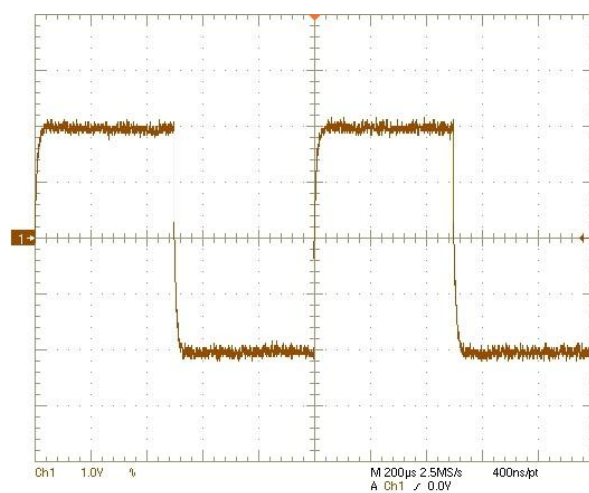


Figura 34 – Subcompensação do sistema.

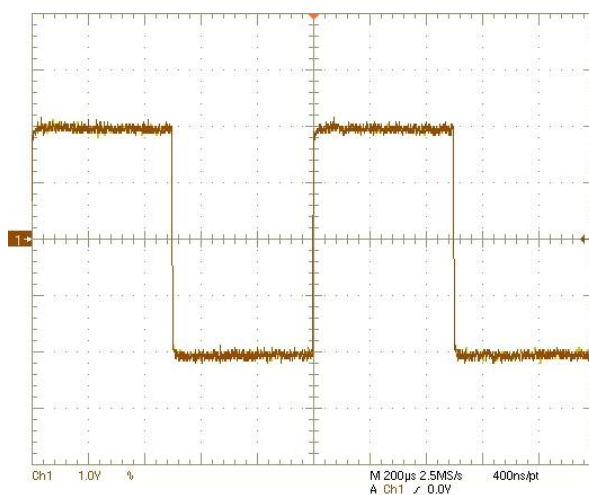


Figura 35 – Sistema compensado.

3.3.4. Amplificador de Instrumentação

O amplificador de instrumentação (AI) é um dispositivo que permite a amplificação da diferença existente entre dois sinais à sua entrada, permitindo ao mesmo tempo a rejeição de sinais comuns a ambos os sinais (CMRR). É constituído por dois andares de amplificação, o 1º andar é constituído por amplificadores em montagem seguidora (*buffer*), com uma elevada impedância de entrada ($10^9 \Omega$ e $10^{12} \Omega$). O 2º andar é constituído por um amplificador em montagem diferença que permite a amplificação do sinal de entrada [29]. Na Figura 36 encontra-se representado o esquema eléctrico de um amplificador de instrumentação.

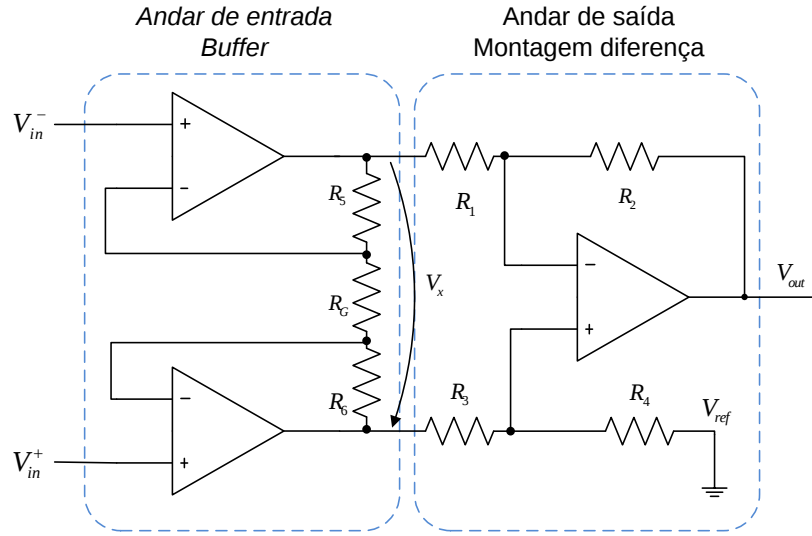


Figura 36 – Esquema eléctrico da estrutura interna de um amplificador de instrumentação.

Para $R_1 = R_3$, $R_2 = R_4$ e $R_5 = R_6$,

$$V_{Out} = -\frac{R_2}{R_1} \times V_x \Rightarrow -k \times V_x. \quad (11)$$

$$V_x = -\frac{2R_5 + R_G}{R_G} \times V_{in}. \quad (12)$$

Substituindo (12) em (11) obtém-se

$$V_{Out} = k \left(1 + \frac{2R_5}{R_G} \right) \times (V_{in}^+ - V_{in}^-). \quad (13)$$

Como se verifica em (13) é possível efectuar o controlo do ganho deste tipo de amplificadores apenas através do ajuste da resistência R_G .

A utilização do AD8251 permite o isolamento entre as entradas e o restante circuito, através da elevada impedância de entrada, assim como permite também a medição de sinais de entrada com uma elevada componente de modo comum e sinais diferenciais. Num amplificador de instrumentação a

rejeição de modo comum consiste na capacidade deste amplificar apenas pequenas variações de sinal existentes entre as entradas V^+ e V^- , mesmo na presença de uma componente comum às duas entradas. A tensão de saída de um amplificador é assim dada por

$$V_o = A_d(V^+ - V^-) + \frac{1}{2}A_{cm}(V^+ + V^-). \quad (14)$$

Em que A_d corresponde ao ganho diferencial que se pretende elevado, e A_{cm} ao ganho de modo comum que é reduzido. A rejeição de modo comum é calculada através da relação entre o ganho diferencial e o ganho de modo comum.

$$CMRR = 20\log_{10}\left(\frac{A_d}{A_{cm}}\right). \quad (15)$$

O amplificador de instrumentação utilizado é o AD8251, este possui uma largura de banda de 10 MHz, ganho digitalmente programável e uma impedância de entrada de $5.3\text{ G}\Omega \parallel 0.5\text{ pF}$. Possui um CMRR de 80 dB com ganho de 1 V/V a 50 kHz e uma velocidade limite (*slewrate*) de 20 V/ μ s. O *slewrate* é dado por

$$SR \geq 2\pi f \times A. \quad (16)$$

Em que f corresponde à frequência e A à amplitude da onda sinusoidal. Para um *slewrate* de 20 V/ μ s e uma amplitude máxima de 5 V devido à tensão de alimentação do circuito é possível calcular que o sinal terá de possuir uma frequência inferior a aproximadamente 636 kHz. Como se verificará posteriormente, a amplitude máxima do sinal presente no AI é de 2 V, devido ao divisor resistivo da entrada e ao alcance máximo permitido pela placa de aquisição, levando à conclusão que o *slewrate* do amplificador de instrumentação não é um limitador das características de medição da placa de aquisição.

Quanto à sua inserção no circuito, o AI encontra-se após a protecção de entrada, com ambas as entradas invertidas. Assim o sinal presente à entrada do conversor analógico digital representará uma réplica do sinal de entrada.

3.3.5. Amplificador de ganho programável

O amplificador de ganho programável utilizado no trabalho é o LTC6910-1. Este possui um produto ganho largura de banda de 11 MHz, ganho máximo de -100 V/V programável paralelamente via 3 bits. No circuito implementado são utilizados dois amplificadores ligados em série, de modo a que os ganhos de tensão combinados possibilitem a obtenção de uma maior variedade de ganhos e assim uma maior variedade de alcances. Na Figura 37 encontra-se a resposta em frequência para diferentes ganhos de tensão do PGA utilizado.

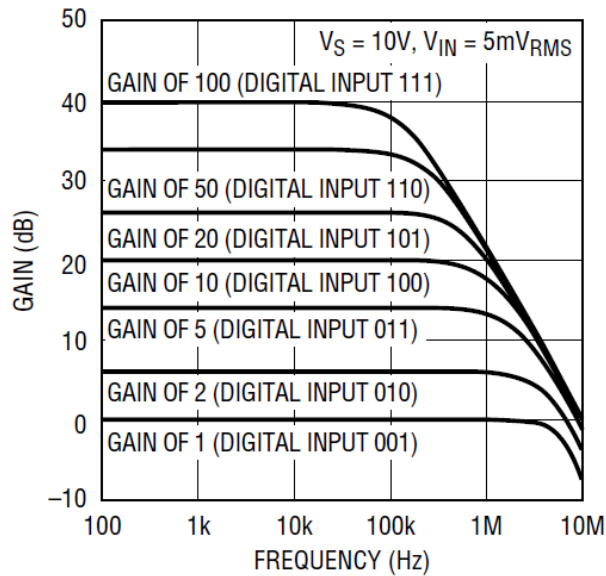


Figura 37 – Resposta em frequência do PGA (LTC6910-1) [22].

A utilização de uma configuração de dois amplificadores permite ainda a obtenção de uma maior largura de banda no sistema em oposição à utilização de apenas um amplificador. Neste caso como ambos os amplificadores são iguais para o mesmo ganho ambos têm a mesma largura de banda, logo a resposta em frequência do conjunto será em dB a soma da resposta em frequência de cada amplificador. Observando a Figura 37, e para um ganho conjunto de 100 V/V (40 dB) programa-se cada um dos amplificadores para um ganho de 10 V/V (20 dB), e deste modo obtém-se uma largura de banda um pouco inferior a 1 MHz, devido ao facto da soma dos ganhos dos dois amplificadores provocar uma atenuação total de -6 dB a essa frequência. Por outro caso se utilize um amplificador com um ganho de 100 V/V, a largura de banda ficaria limitada a 100 kHz. Na Tabela 9 encontram-se representadas as combinações possíveis das entradas digitais dos amplificadores para selecção do ganho de tensão pretendido.

Tabela 9 – Ganhos do amplificador LTC6910-1 [22].

Entradas Digitais			Ganho V/V	Ganho (dB)
G2	G1	G0		
0	0	0	0	-120
0	0	1	-1	0
0	1	0	-2	6
0	1	1	-5	14
1	0	0	-10	20
1	0	1	-20	26
1	1	0	-50	34
1	1	1	-100	40

A placa de aquisição projectada permite a utilização de 9 alcances diferentes e deste modo possibilita a medição de uma elevada gama de amplitudes de sinal. Na Tabela 10 encontram-se os alcances possíveis de seleccionar.

Tabela 10 – Diferentes alcances programáveis da DAQ.

Ganhos				Alcance Máximo (V)
G1 (V/V)	G2 (V/V)	Ganho combinado		
		V/V	dB	
-1	-1	1	0	±10
-2	-1	2	6	±5
-2	-2	4	12	±2,5
-5	-1	5	14	±2
-5	-2	10	20	±1
-10	-2	20	26	±0,5
-5	-5	25	28	±0,8
-10	-5	50	34	±0,2
-10	-10	100	40	±0,1

A tensão de *offset* num amplificador pode prejudicar a aquisição de sinais, especialmente em aplicações que envolvam amplificação. A solução encontrada consiste na utilização de um divisor potenciométrico que permite a calibração do canal de aquisição. Este circuito adiciona uma tensão à referência do amplificador, de modo a que esta fique centrada a 0 V. Como se observa na Tabela 10, o primeiro PGA da cadeia de amplificação está configurado para possuir sempre o maior ganho, este facto permite a correcção do erro de *offset* no início da cadeia de amplificação.

A programação dos amplificadores utilizados é realizada em paralelo, portanto, para a programação de dois PGAs de um canal são necessários 6 terminais de controlo, e para os 4 canais da placa de aquisição são necessários no total 24 terminais. A programação dos amplificadores poderia realizar-se através da utilização de 24 terminais digitais do microcontrolador, isto não seria viável em termos de desenho da PCB com apenas 2 camadas e programação de cada um dos terminais do microcontrolador. A solução encontrada envolve a utilização do conversor SPI/paralelo MCP23S08 [23]. Este é programado através do protocolo SPI com três sinais de controlo (SDO, SCK e *chip select*), e à sua saída possui seis terminais digitais para controlo dos PGAs. No total são utilizados 4 destes dispositivos, em que cada um permite a programação dos 2 PGAs constituintes de cada canal. Na Figura 38 encontra-se representado o diagrama referente ao controlo do ganho de um canal, através da programação dos PGAs em paralelo.

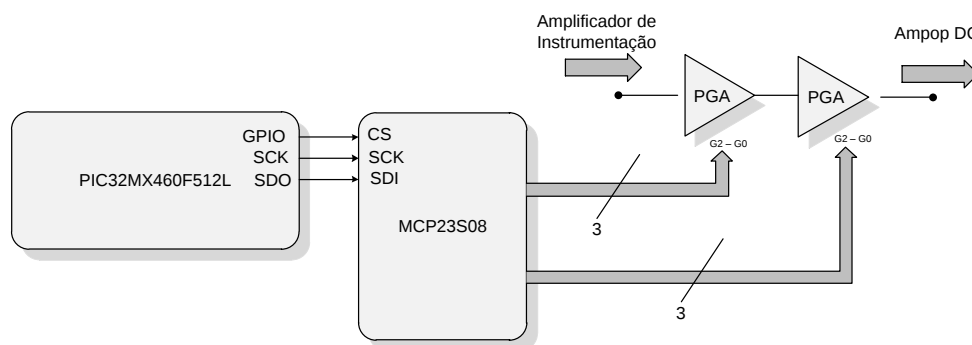


Figura 38 – Controlo do ganho de cada canal.

Cada conjunto de amplificadores apenas é programado caso o utilizador escolha utilizar o canal para efectuar uma amostragem. Os PGAs do canal não seleccionados são programados de modo a que ambos fiquem com um ganho de tensão de 0 V/V, ou seja internamente o circuito de controlo de ganho fica desligado, o amplificador actua neste caso como um circuito aberto. Esta implementação permite evitar que os amplificadores saturem na presença de um sinal de entrada superior ao ganho escolhido anteriormente, mesmo que o canal não seja utilizado, o que faz reduzir o consumo de corrente.

3.3.6. Montagem diferença

A montagem diferença é utilizada de forma a adicionar uma tensão contínua de referência no sinal proveniente dos PGAs, para que este se encontre dentro da gama de medição do ADC. É utilizado o amplificador OPA141 [30], este possui um *slewrate* de 20 V/ μ s e uma largura de banda de 10 MHz. Na Figura 39 encontra-se representado o circuito utilizado.

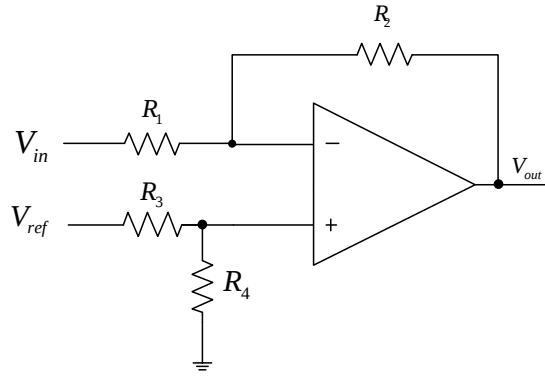


Figura 39 – Montagem inversora para adição de componente DC.

A tensão de saída é dada por

$$V_{Out} = \frac{R_1 + R_2}{R_1} \times \frac{R_4}{R_3 + R_4} \times V_{ref} - \frac{R_2}{R_1} V_{in}. \quad (17)$$

Se $R_1 / R_2 = R_3 / R_4$ conclui-se que

$$V_{Out} = \frac{R_2}{R_1} \times (V_{ref} - V_{in}). \quad (18)$$

Como neste caso $R_1 = R_2$, o ganho é unitário e assim obtém-se que

$$V_{Out} = V_{ref} - V_{in}. \quad (19)$$

A tensão de referência de 2.048 V utilizada é gerada pelo integrado LM4040 [31] da *National Semiconductor*. Este valor permite o ajuste dos sinais de entrada à gama de medição do ADC.

A montagem diferença provoca uma desfasagem no sinal de entrada de 180°. Para corrigir a desfasagem provocada, o sinal de entrada é ligado às entradas do AI de forma invertida, para que a desfasagem conjunta dos dois circuitos seja de 360°. Como os ganhos dos PGAs são invertidos, o sinal

sofre também uma desfasagem de 360° nos dois PGAs, o que equivale à existência de uma desfasagem total de 720° , que em termos práticos corresponde a ter uma desfasagem de 0° , ou seja o sinal digitalizado corresponde ao sinal na entrada no circuito.

3.3.7. Conversor Analógico Digital

Para a conversão analógico-digital é utilizado o conversor da *Analog Devices* AD7980 [20]. É um ADC de aproximações sucessivas com uma velocidade de aquisição máxima de 1 MS/s e uma resolução de 16 bits. O conversor possui uma interface de comunicação digital, utilizando o protocolo SPI e possibilita a ligação a outros dispositivos através da utilização de uma configuração *daisy-chain*. Na Figura 40 encontra-se representada a estrutura interna do conversor, respeitante a uma topologia de aproximações sucessivas.

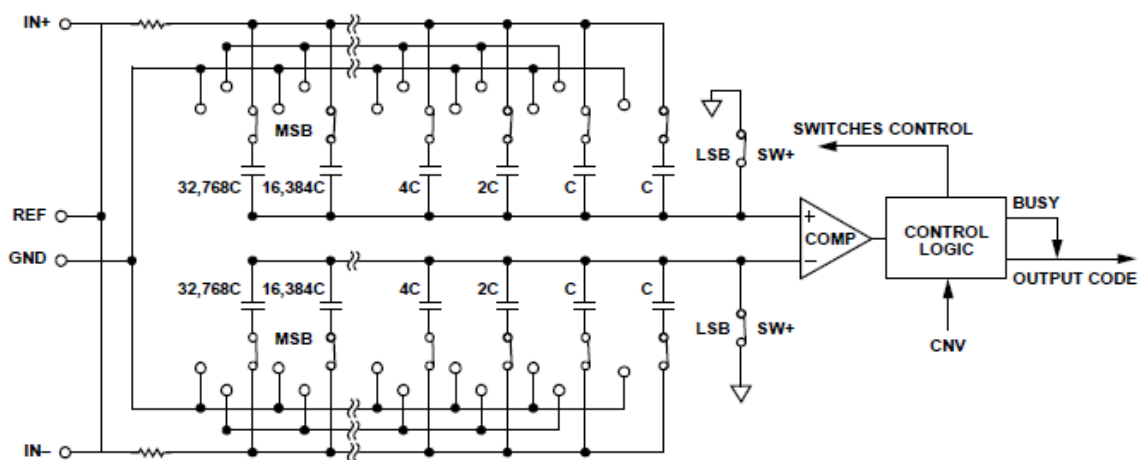


Figura 40 – Arquitectura de aproximações sucessivas do ADC AD7980 [20].

A utilização de um ADC independente em cada canal permite atingir velocidades de aquisição muito superiores em oposição à utilização de apenas um ADC para todos os canais. Nesse caso seria necessário a utilização de um selector de canais e à medida que o número de canais aumenta, o ritmo de amostragem do ADC é dividido pelo número de canais utilizados (arquitecturas de aquisição não simultânea), por outro lado a utilização de ADCs independentes permite a utilização da totalidade do ritmo de amostragem (arquitecturas de aquisição simultânea). A obtenção dos dados amostrados é efectuada com os ADCs numa configuração *daisy-chain* 2 a 2, devido ao número de controladores SPI existentes no PIC, neste caso dois. Na Figura 41 encontra-se representado o esquema eléctrico da ligação *daisy-chain* efectuada entre os ADC e as ligações entre estes e o PIC e a tensão de referência gerada pelo integrado ADR364 [32].

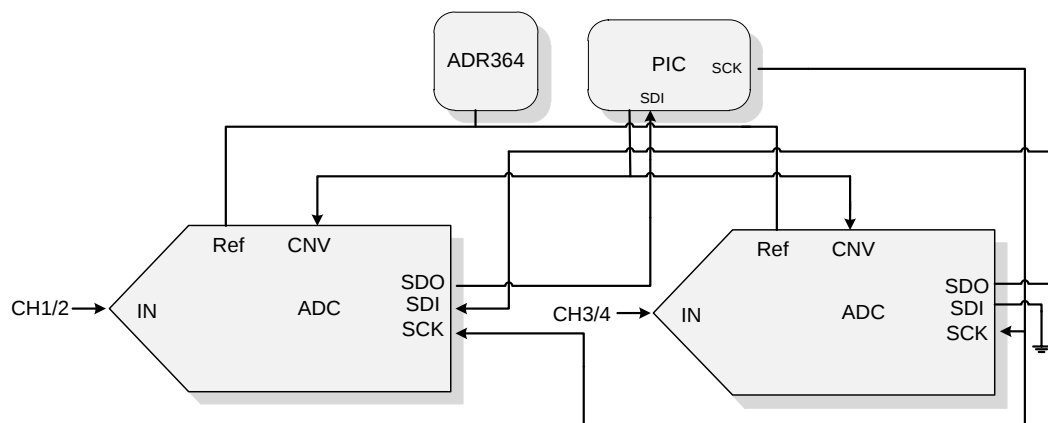


Figura 41 – Ligação em *daisy-chain* de dois ADCs.

Na configuração apresentada, com os sinais SDI e CNV a “0”, o sinal SDO encontra-se a “0”. Após uma transição do sinal SCK a “0”, uma transição de “0” para “1” no sinal CNV inicia uma conversão do ADC. Este sinal necessita de se encontrar activo durante o tempo de conversão e durante o tempo de transmissão das amostras. O sinal de controlo da conversão (CNV), que corresponde à frequência de amostragem da placa é gerado a partir de um contador interno do PIC. A programação da interrupção desse contador leva a que seja gerado um sinal de PWM com a frequência de amostragem pretendida, sendo esta gerada apenas por *hardware*. A frequência é gerada em dois terminais diferentes do PIC, que controlam cada um a aquisição de 2 canais.

A conversão dos sinais de entrada por parte dos ADC tem como referência de tensão o componente ADR364, com uma tensão de 4.096 V. Para todos os alcances, a tensão máxima de qualquer sinal depois de amplificado tem um valor máximo de ± 2 V. Após a adição de uma componente DC de 2.048 V, o sinal encontra-se entre os valores de tensão (48 mV – 4.048 V), valores compreendidos dentro da gama de conversão do ADC (0 – 4.096 V) imposta pela tensão de referência. Na Figura 42 encontra-se representado o diagrama de blocos referente ao circuito analógico de cada canal, em que se representam os ganhos associados em cada ponto do circuito. No projecto desenvolvido o amplificador de instrumentação possui ganho unitário.

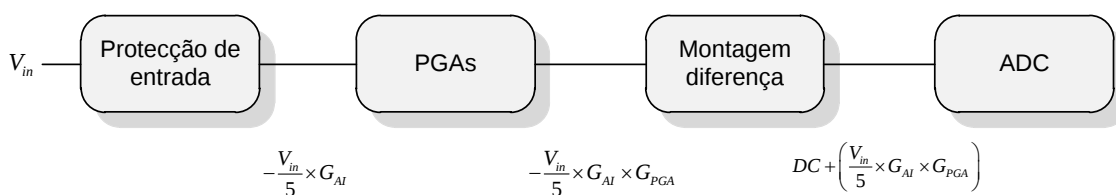


Figura 42 – Ganhos associados a cada componente do circuito.

3.4 Protocolos de comunicação

Neste capítulo são explicados os diferentes tipos de protocolo de comunicação utilizados na placa de aquisição que incluem a comunicação SPI, utilizada na programação dos diferentes alcances e recepção do resultado da conversão dos ADCs, a comunicação paralela de 16 bits utilizada na comunicação entre o PIC e o integrado FT2232H para a transmissão de dados e recepção de comandos da configuração da aquisição. Finalmente a comunicação USB, implementada pelo integrado FT2232H que em conjunto com a aplicação desenvolvida em *LabVIEW* possibilita a comunicação entre o computador e a placa de aquisição.

3.4.1. Comunicação SPI

A comunicação SPI (*Serial Peripheral Interface*) é utilizada em comunicações entre diversos circuitos integrados (ADCs, microcontroladores, memórias). É uma comunicação série constituída por 4 sinais (SCK - *Serial Clock*, SDI - *Serial Data In*, SDO - *Serial Data Out* e SS - *Slave Select*). A comunicação funciona tendo por base um “mestre” e um “escravo”. O “mestre” selecciona qual dos dispositivos “escravos” pretende estabelecer comunicação. A linha de relógio (SCK) é activada e os dados são transmitidos ou recebidos a cada impulso de relógio utilizando um dos dois registos (SDI e SDO) [33]. Na Figura 43 encontram-se representadas as ligações da comunicação SPI existente entre o PIC e os periféricos (ADC AD7980 e MCP23S08).

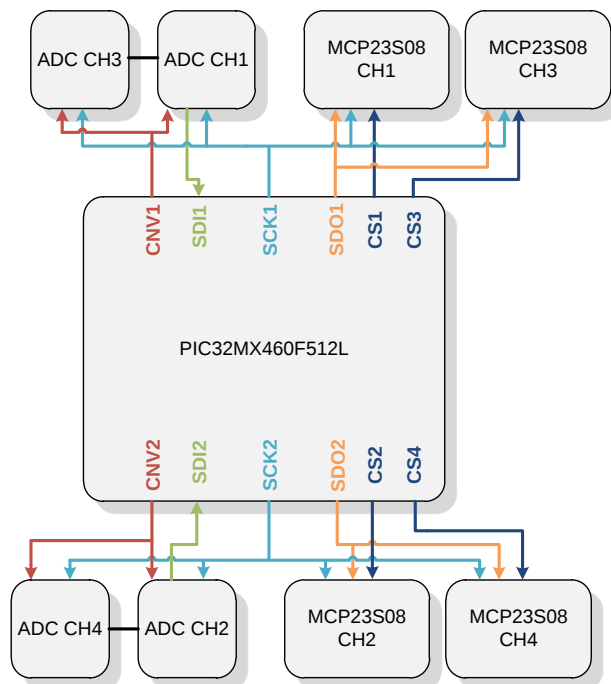


Figura 43 – Esquema das ligações da comunicação SPI.

Na Figura 44 encontra-se representado um exemplo de uma transmissão de dados proveniente dos ADCs utilizando o protocolo de comunicação SPI.

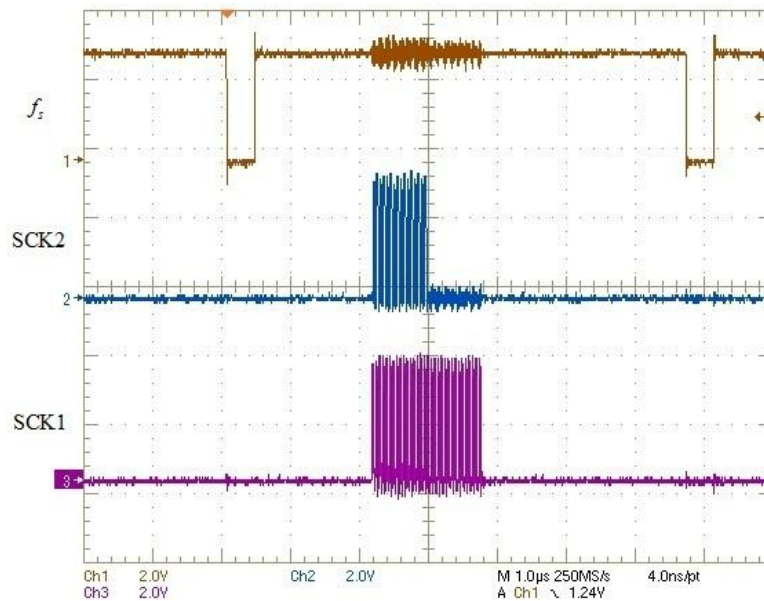


Figura 44 – Recepção de dados de 3 canais.

Na Figura 44 verifica-se a recepção de dados de 3 canais da placa de aquisição, neste caso os canais 1,2 e 3. Tal como referido anteriormente cada controlador SPI do PIC recebe dados de 2 canais, neste caso foram escolhidos 3 canais para demonstrar que a recepção de dados nos dois controladores SPI é realizada simultaneamente, em que no exemplo existe apenas a recepção de 16 bits (1 canal (SCK2)) e noutra 32 bits (2 canais (SCK1)). A transmissão dos dados do ADC para o PIC realiza-se a um ritmo de 20 MHz e acontece durante o período em que o sinal de controlo da frequência de amostragem (f_s) se encontra activo. Poderão existir situações em que apesar de se utilizar apenas 1 canal para amostragem, o controlador SPI se encontre configurado para 32 bits, isto acontece caso se pretenda utilizar os canais 3 ou 4, devido à ligação *daisy-chain* utilizada.

3.4.2. Comunicação paralela

O microcontrolador PIC utilizado possui uma comunicação paralela de 16 bits utilizada para comunicação com o dispositivo FT2232H que implementa o protocolo USB. Através de uma comunicação paralela é possível efectuar a transmissão de elevadas quantidades de dados a ritmos elevados entre os dois componentes. Na Figura 45 encontra-se representado o esquema da ligação existente entre o microcontrolador PIC e o integrado FT2232H.

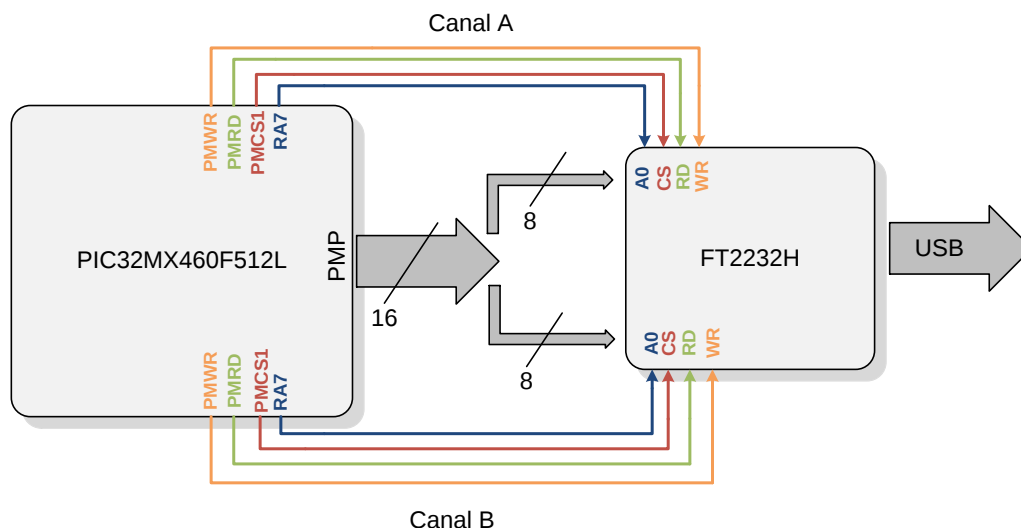


Figura 45 – Comunicação paralela entre o PIC e o integrado FT2232H.

A leitura de mensagens provenientes do dispositivo FT2232H é efectuada pelo microcontrolador PIC utilizando uma comunicação paralela (PMP), com 3 linhas de controlo. O sinal A0 que permite a leitura/escrita (activo a “0”), ou a verificação da existência de dados na memória interna do dispositivo (activo a “1”) provenientes do computador. O sinal CS - *Chip Select* activa o dispositivo e valida os dados, e os sinais PMRD e PMWR, que permitem respectivamente a leitura e escrita de dados nos flancos descendentes de CS. Na Figura 46 encontra-se a representação temporal dos sinais de controlo utilizados numa transmissão de dados.

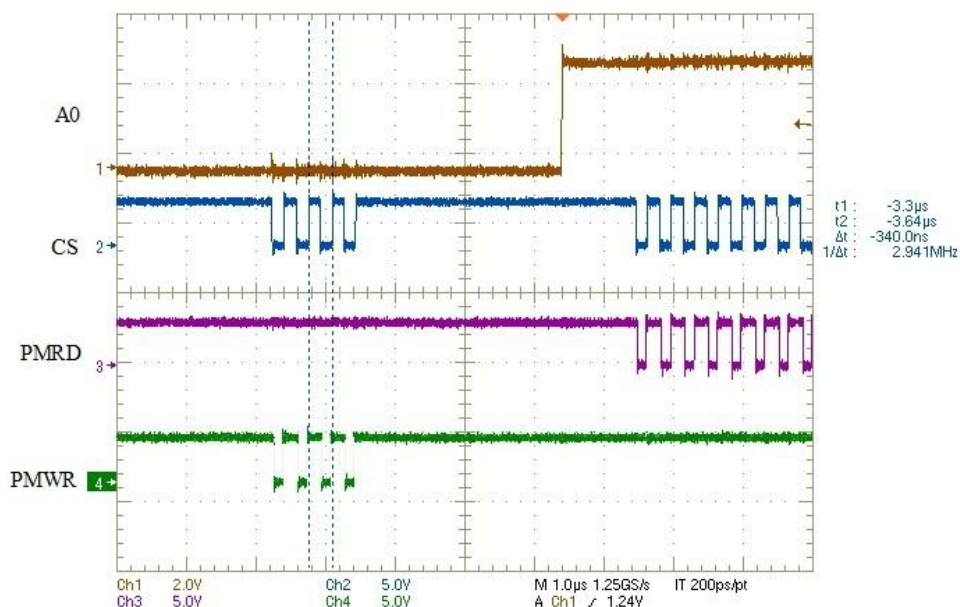


Figura 46 – Transmissão de dados entre o PIC e o integrado FT2232H.

Como se verifica na Figura 46, tanto a escrita (PMWR) como a leitura (PMRD) de dados são efectuadas a uma velocidade aproximada de 3 MHz, o que equivale a transferências de dados a um ritmo de 6 MB/s (48 Mbit/s) devido à transferência simultânea de 16 bits. Ambos os sinais PMRD e PMWR são

controlados a partir do sinal de controlo CS, com A0 a “0” quando se efectua uma escrita/leitura de dados e a “1” na verificação da existência de dados provenientes do computador.

3.4.3. Sequência temporal da aquisição

Tendo em conta os resultados obtidos é possível calcular a sequência temporal (Figura 47) disponível para a realização das principais tarefas pretendidas, neste caso a recepção do resultado da amostragem dos quatro ADCs e envio destes através do protocolo USB.

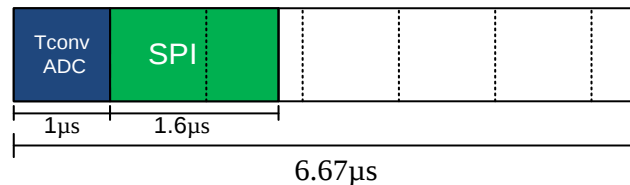


Figura 47 – Sequência temporal disponível.

A uma frequência de amostragem (f_s) igual a 150 kHz, os dados estão disponíveis para envio a cada 6.67 μ s. Durante a sequência temporal de 6.67 μ s a velocidade de conversão máxima dos ADCs (1 MS/s) ocupa 1 μ s da sequência temporal, a recepção de dados por SPI utilizando a configuração presente na Figura 43, a uma velocidade de 20 MHz, para a transmissão de 4 bytes (2 ADCs x 16 bits) para cada controlador SPI realiza-se em 1.6 μ s. O restante tempo é utilizado para processamento e para o envio dos dados resultantes da amostragem em paralelo do microcontrolador PIC para o dispositivo FT2232H, o que significa que os dados são enviados por USB ao mesmo ritmo da frequência de amostragem. Na Figura 48 encontra-se representado o esquema temporal de uma aquisição, que inclui o início da amostragem, transferência de dados através do protocolo SPI dos ADCs para o PIC e transferência dos dados através da comunicação paralela.

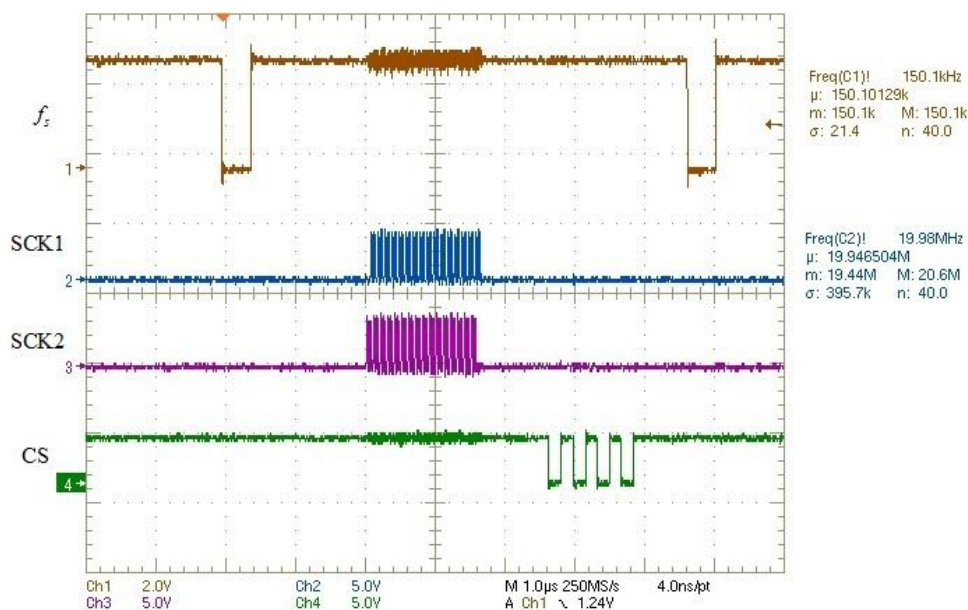


Figura 48 – Sequência temporal da transferência de dados.

Como se verifica na Figura 48 a frequência de amostragem (f_s) utilizada com o valor de 150 kHz é superior à frequência de amostragem inicialmente proposta (100 kHz). Com o valor de 150 kHz de frequência de amostragem ainda é possível a transmissão em tempo real dos dados amostrados dos 4 canais da placa de aquisição. O sinal CS corresponde ao envio do resultado da amostragem dos 4 canais através da PMP. Com o envio e recepção de dados em tempo real é possível implementar a opção de aquisição contínua na placa de aquisição desenvolvida. A comunicação SPI dos dois controladores (SCK1 e SCK2) é realizada a uma velocidade de 20 MHz, apesar do máximo suportado pelo microcontrolador PIC ser de 25 MHz. Como a frequência de funcionamento dos módulos de comunicação do microcontrolador PIC dependem da sua frequência de funcionamento, que neste caso se encontra definido para 80 MHz, de modo a beneficiar o ritmo de transmissão de dados através da comunicação paralela, a transferência de dados através do protocolo SPI fica limitada a uma frequência máxima de 20 MHz.

3.5 Software

Uma das partes essenciais de um sistema de aquisição consiste na aplicação que permite a interacção do utilizador com a placa de aquisição para efectuar a visualização e processamento das amostras. O *software* utilizado no projecto é o *LabVIEW* da *National Instruments*. É utilizado o controlador (*driver*) fornecido pela FTDI para a comunicação entre a aplicação e a placa de aquisição. As funções em *LabVIEW* são também fornecidas pela FTDI, estas acedem directamente às funções presentes no ficheiro .dll do *driver* de controlo do dispositivo FT2232H. O objectivo final consiste no desenvolvimento de um controlador em *LabVIEW* que permita a sua utilização no desenvolvimento de novas aplicações, como tem vindo a fazer a *National Instruments* com a aplicação *DAQ Assistant*. Na Figura 49 encontra-se o painel de controlo utilizado na selecção das características da aquisição.

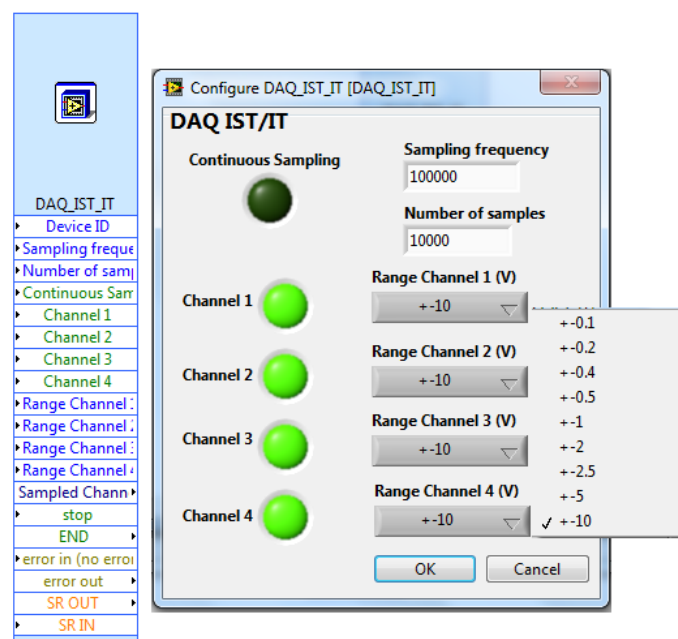


Figura 49 – Selecção das características da aquisição.

A aplicação permite a utilização de frequências de amostragem de 5 Hz a 150 kHz, um número de máximo de 4294967296 amostras respeitantes a 32 bits, selecção dos canais utilizados e selecção de 9 alcances [± 100 mV; ± 200 mV; ± 400 mV; ± 500 mV; ± 1 V; ± 2 V; $\pm 2,5$ V; ± 5 V; ± 10 V] independentes para cada canal. A mensagem enviada para o microcontrolador com a configuração da aquisição inclui a frequência de amostragem, quais os canais activos, alcances dos diferentes canais, número de pontos a adquirir, e ainda a opção de aquisição contínua.

A utilização do programa depende ainda do identificador do dispositivo, este consiste num número de identificação e pode ser verificado utilizando uma pequena aplicação à semelhança como acontece nas placas de aquisição da *National Instruments*, representada na Figura 50.



Figura 50 – Interface do programa de identificação dos dispositivos.

A transmissão de dados através do protocolo USB é iniciada pelo microcontrolador PIC que transfere toda a informação para o integrado FT2232H que internamente implementa o protocolo USB para comunicação com o computador. A recepção de dados realiza-se através do *software* LabVIEW que configura e recebe os dados provenientes do integrado FT2232H utilizando para tal funções pré definidas fornecidas pela FTDI.

3.5.1. Utilização do controlador da placa de aquisição

O controlador da placa de aquisição (Figura 49) permite efectuar a aquisição de sinal através de 4 entradas com ganhos independentemente programáveis. O controlador permite a selecção da seguinte lista de funcionalidades representadas na Tabela 11.

Tabela 11 – Lista de funcionalidades da placa de aquisição.

Lista de funcionalidades
Escolha do canal
Escala de tensão independente para cada canal
Frequência de amostragem [5 Hz ; 150 kHz]
Aquisição contínua

A mensagem com os diversos parâmetros da aquisição encontra-se no Anexo B. Caso se pretenda a utilização de aquisição contínua é necessário em *LabVIEW* ligar o controlador a um registo de deslocamento dentro de um ciclo contínuo. É necessária também a ligação de um controlador de paragem do ciclo, que pára também a aquisição contínua, como descrito na Figura 51.

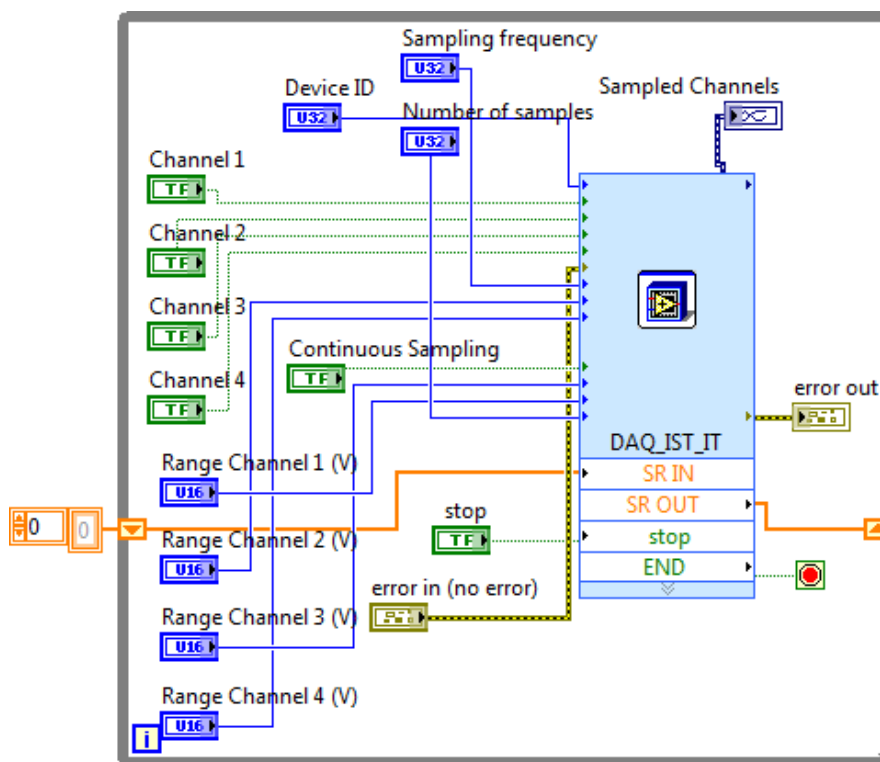


Figura 51 – Modo de utilização do controlador em aquisição contínua.

No desenvolvimento das diferentes aplicações que utilizem o controlador, dependendo do nível de processamento efectuado às amostras recolhidas é necessário existir um equilíbrio entre a frequência de amostragem e o número de pontos escolhidos, de forma a receber de uma forma contínua as amostras recolhidas.

3.5.2. Representação do sinal amostrado

O objectivo final de uma placa de aquisição consiste na digitalização de um sinal analógico, para possibilitar a sua visualização e processamento num computador através de *software* específico. Antes da digitalização do sinal este sofreu diversas alterações nos diferentes condicionamentos de sinal. Foi em primeiro lugar atenuado pelo divisor resistivo da entrada, depois amplificado pelos PGAs dependendo da escala escolhida pelo utilizador e finalmente adicionada uma componente DC ao sinal para a posterior digitalização pelo ADC. De modo a representar de forma correcta, tanto a escala temporal, como a amplitude do sinal, é necessário efectuar o ajuste dos dados recebidos. O ajuste é realizado partindo do final da cadeia de condicionamento de sinal (ADC) para o início (AI).

Na Figura 52 encontra-se a representação do sinal ao longo dos diversos circuitos de condicionamento de sinal, neste caso representa-se um sinal com $10 V_{pp}$, sem componente DC de forma a representar um sinal no fim de escala escolhido, neste caso para a escala $\pm 5 V$.

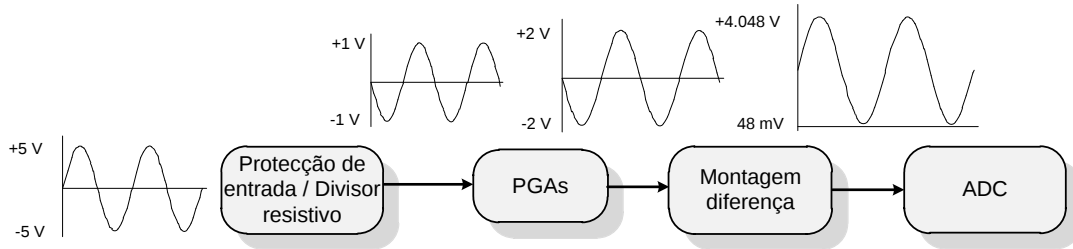


Figura 52 – Variação do sinal ao longo dos circuitos de condicionamento de sinal.

Em *software* realiza-se a conversão do valor da amostra de um código digital fornecido pelo ADC para um valor de tensão (V) através, dos seguintes passos. Com um ADC de 16 bits existem $2^{16} = 65536$ diferentes valores de tensão convertidos pelo ADC, sabendo que estes valores estão compreendidos na gama de conversão do ADC (0 - 4.096 V), o valor em tensão da amostra digitalizada é dado por

$$V_{amostra} = \frac{\text{Código da Amostra} \times 4.096}{2^{16}} V. \quad (20)$$

A conversão apresentada em (20) permite apenas a conversão da amostra de um código digital para um valor de tensão (V). É ainda necessário efectuar o ajuste para o valor da amostra corresponder ao ganho seleccionado. Em primeiro lugar, subtrai-se a componente DC adicionada na montagem diferença, neste caso com o valor 2.048 V. De seguida é necessário dividir o resultado pelo ganho dos PGAs, e finalmente multiplicar por 5 devido à atenuação do divisor resistivo da entrada, obtendo-se por fim

$$V_{in} = \frac{(V_{amostra} - 2.048) \times 5}{G_{PGA}} V. \quad (21)$$

3.5.3. Calibração da placa de aquisição

A calibração da placa de aquisição é realizada através da imposição de uma pequena tensão de *offset* na entrada de referência dos PGAs através do ajuste manual de um divisor potenciométrico. A compensação realiza-se através da selecção do maior ganho de tensão que corresponde ao menor alcance da placa de aquisição ($\pm 0.1 V$). Assim deste modo pequenas alterações na tensão de ajuste são mais facilmente visíveis na tensão de saída dos amplificadores. O teste realiza-se através da ligação do canal em teste a GND de modo a ser possível o ajuste da tensão amostrada em torno de 0 V, utilizando para tal uma aplicação de calibração, representada na Figura 53.

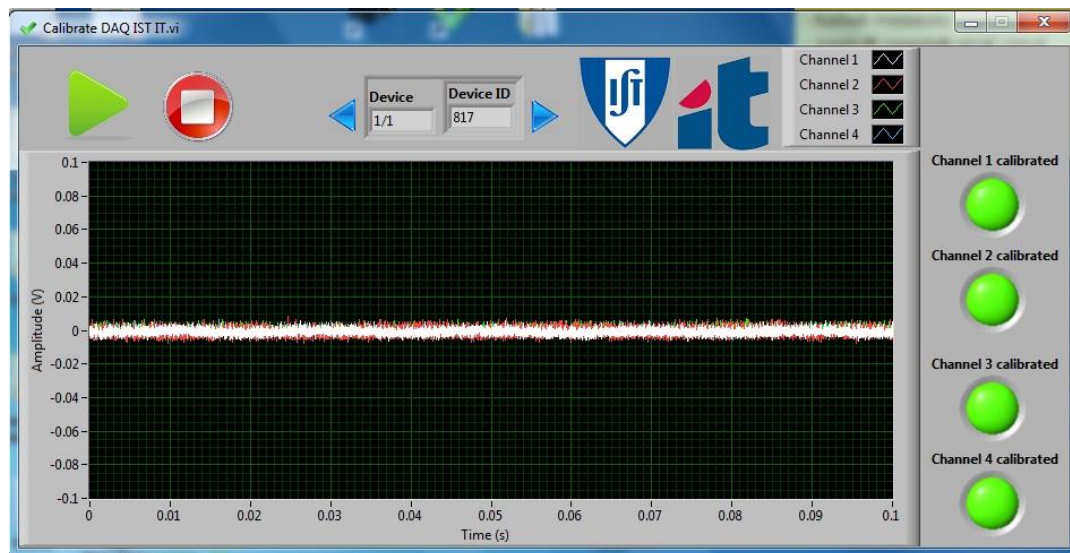


Figura 53 – Aplicação de calibração dos canais da placa de aquisição.

A aplicação realiza a aquisição contínua do canal seleccionado, para ser possível visualizar o ajuste manual em tempo real. Quando o valor médio do sinal se encontrar entre os valores pré-programados de ± 1 mV, o indicador correspondente ficará aceso a indicar que o canal se encontra calibrado. Após a calibração manual, a placa de aquisição realiza uma calibração por software, em que os dados de compensação são armazenados na memória *flash* interna do PIC para utilização em futuras medições. Como trabalho futuro a calibração dos canais poderá realizar-se através da utilização de conversores digitais analógicos (DAC) que introduzam uma tensão na entrada de referência do PGA de forma a compensar o *offset* existente. Desta forma, a calibração poderia ainda ser realizada automaticamente através de *software*.

3.5.4. Aplicação de demonstração

Foi criada uma aplicação executável que permite a utilização da placa de aquisição num ambiente que não possua o *software LabVIEW* instalado. Na Figura 54 encontra-se representado o painel frontal da aplicação que permite controlar a placa de aquisição.

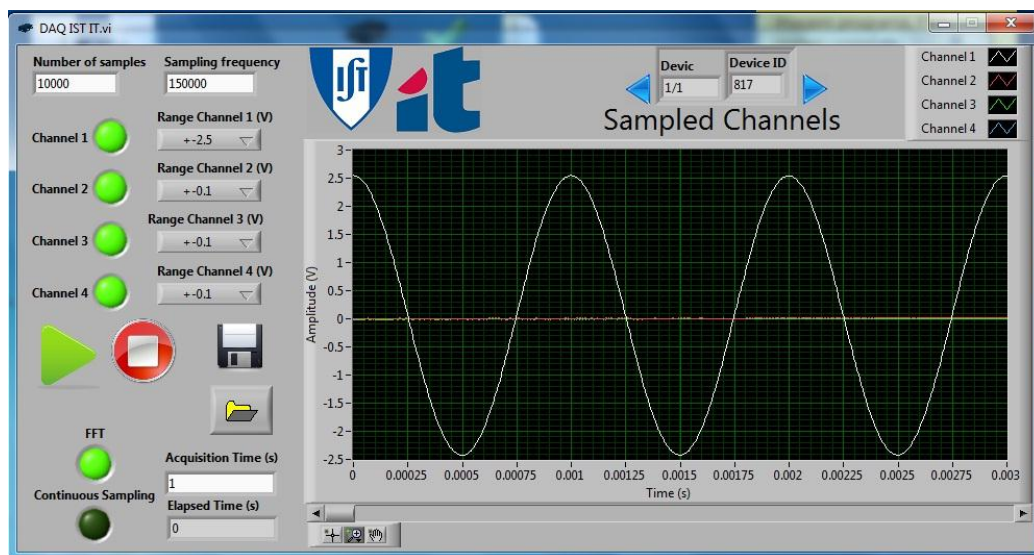


Figura 54 – Painel frontal da aplicação de controlo da placa de aquisição.

A aplicação permite a selecção e configuração dos 4 canais, selecção da frequência de amostragem e número de amostras pretendidas e a opção de efectuar ou não aquisição contínua controlada por um cronómetro, permitindo o controlo do tempo da aquisição. Permite ainda a escrita do resultado para um ficheiro.txt para posterior análise. A aplicação devolve ainda o espectro de frequências do sinal amostrado, assim como a frequência do sinal, amplitude, THD, valor da componente contínua entre outros. Na Figura 55 apresenta-se a janela principal da aplicação com os resultados acima referidos.

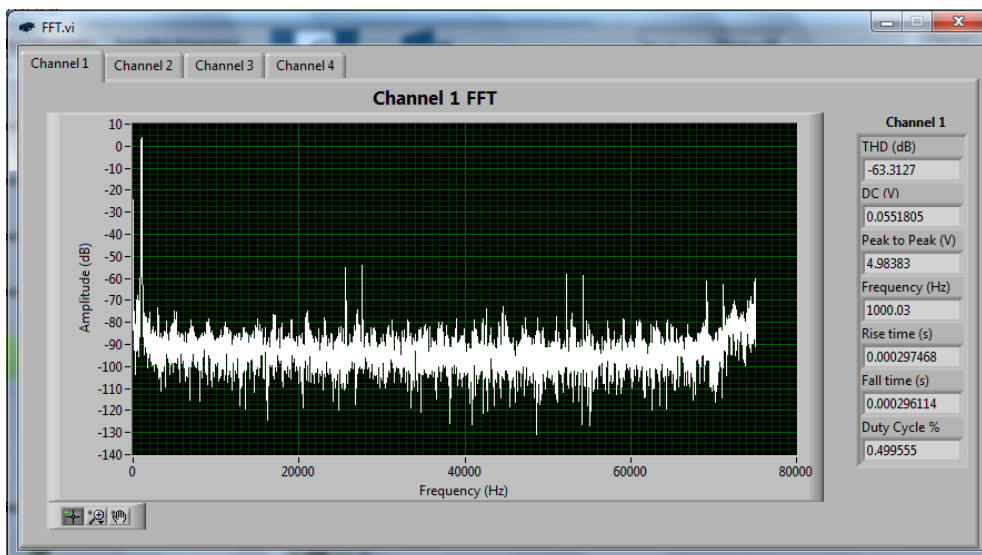


Figura 55 – Janela de cálculo das características do sinal amostrado.

4. Caracterização do dispositivo

Os resultados apresentados neste capítulo têm o objectivo de caracterizar o funcionamento da placa de aquisição desenvolvida. Os testes realizados incluem o cálculo da distorção harmónica (THD) existente em cada canal, tendo em conta diversos parâmetros como o alcance do canal e a frequência do sinal. São também apresentadas os resultados referentes à largura de banda analógica da placa de aquisição, medições da interferência entre canais (*crosstalk*), medição do tempo de subida de um sinal e consumo de corrente da placa de aquisição.

4.1 Largura de Banda

Para a medição da largura de banda de cada canal da placa de aquisição foi elaborada uma aplicação em *LabVIEW* em que se utilizou a placa de aquisição e o gerador de funções TG1010A para geração dos sinais de entrada ligado ao computador através de uma comunicação GPIB. A partir da amplitude do sinal gerado pelo gerador de funções e a amplitude do sinal adquirido pela placa de aquisição, é possível calcular a relação entre as duas amplitudes, de forma a calcular a largura de banda. Foram retirados resultados respeitantes a 150 diferentes valores de frequências num total de 1.5 MHz. Nas Figuras 56 – 59 encontram-se representados os resultados respeitantes à largura de banda nos diferentes alcances para os canais 1 a 4 respectivamente.

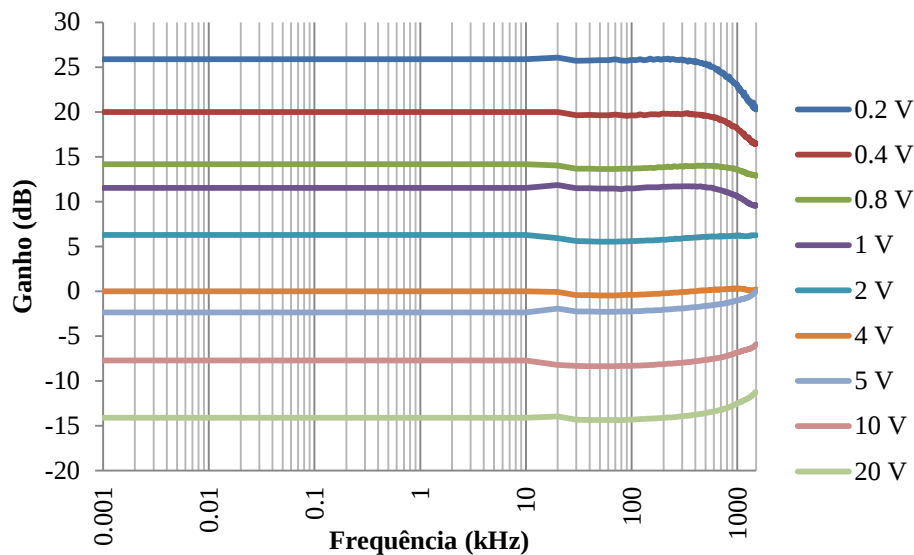


Figura 56 – Largura de banda do canal 1 nos diferentes alcances.

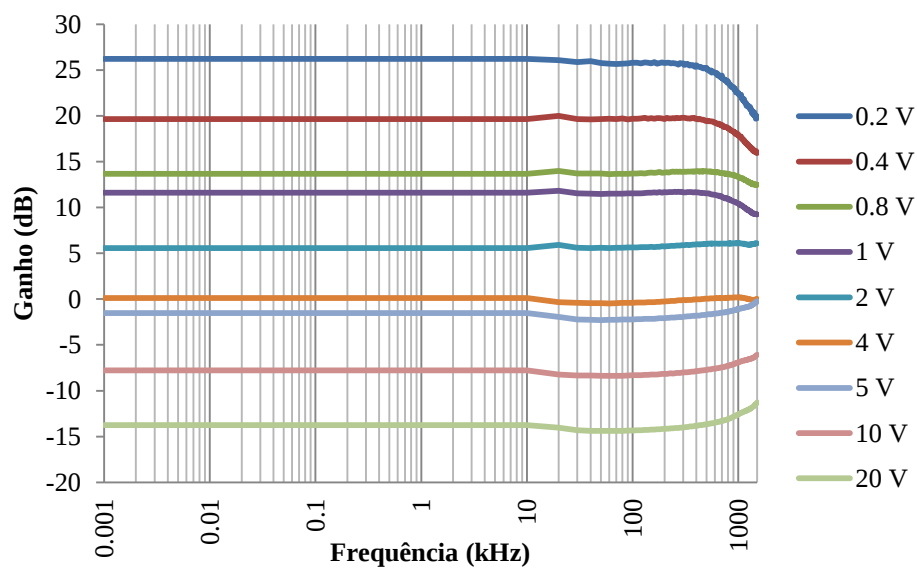


Figura 57 – Largura de banda do canal 2 nos diferentes alcances.

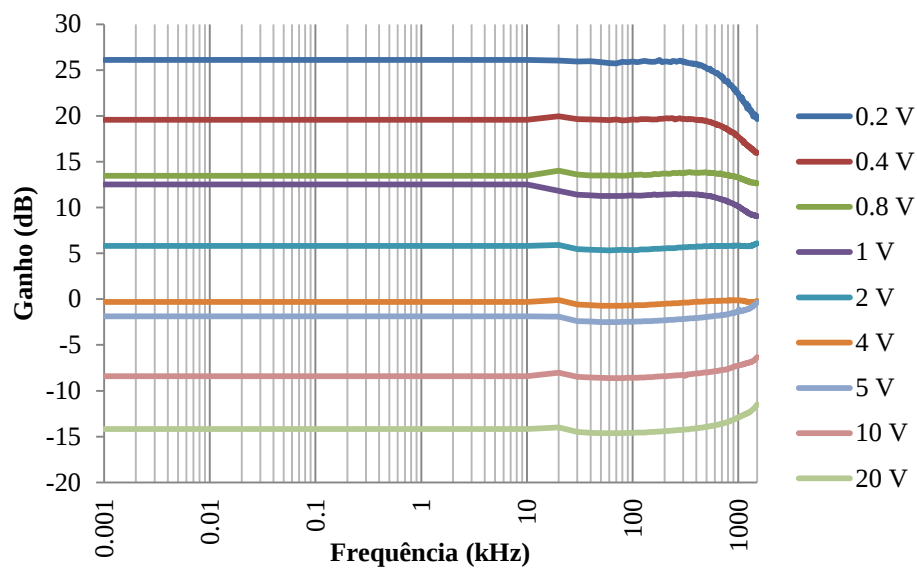


Figura 58 – Largura de banda do canal 3 nos diferentes alcances.

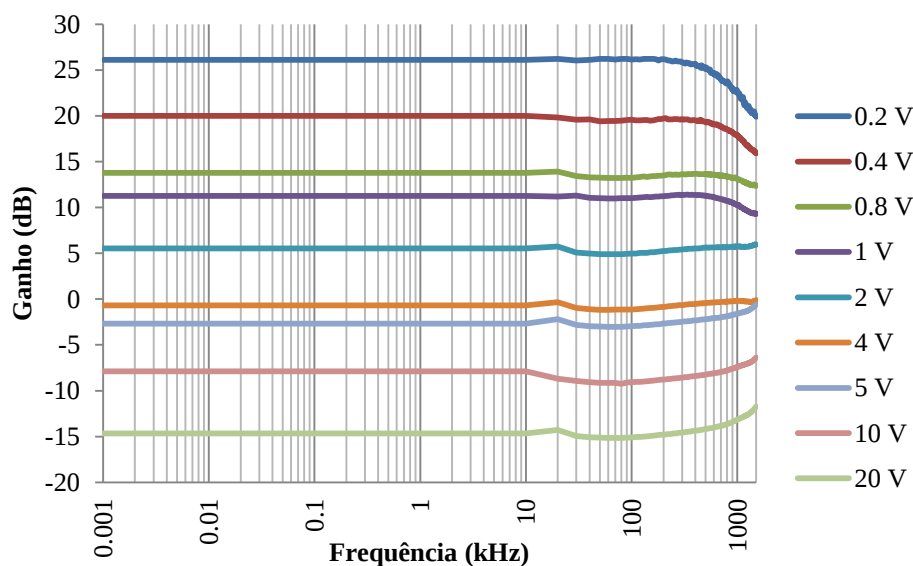


Figura 59 – Largura de banda do canal 4 nos diferentes alcances.

Ao analisar as Figuras 56 – 59 é possível verificar que cada canal da placa de aquisição possui uma largura de banda de cerca de 700 kHz. Este valor corresponde à selecção da menor escala ($\pm 0.1V$), onde consequentemente o ganho será superior e a largura de banda inferior (Figura 37). Por outro lado, nos restantes ganhos, o valor da largura de banda encontra-se também limitada pelo *slewrate* dos amplificadores, neste caso em particular dos PGAs, que com um *slewrate* de 16 V/ μ s, começarão a distorcer o sinal a uma frequência de cerca 1.25 MHz, razão pela qual o varrimento de frequência ter sido realizado até 1.5 MHz. É possível observar nos alcances para tensões mais elevadas ($\pm 10V$, $\pm 5V$, $\pm 2.5V$), um aumento do ganho com a frequência a partir de cerca dos 400 kHz. Este fenómeno pode ser explicado através do método de compensação do sistema, como existe uma variedade de alcances de tensão com diferentes ganhos e a compensação é realizada no final da cadeia de amplificação, a mudança de alcance faz com que a impedância total do circuito varie alterando a compensação anteriormente efectuada, sendo portanto necessário limitar a largura de banda de cada canal da placa de aquisição. Este efeito é visível com o aumento da frequência, uma solução passaria pela redução de componentes na cadeia amplificadora, através da substituição por outro componente que possuisse as mesmas características. Por exemplo, a substituição dos 2 PGAs e amplificador de instrumentação por um componente que permitisse obter os mesmos ganhos de tensão e possibilitasse a medição diferencial de sinais. Tendo em conta a largura de banda efectiva da placa de aquisição seria possível a inclusão de um filtro passa baixo que prevenisse também o *aliasing* do ruído. Garante-se uma largura de banda de cerca de 400 kHz e uma frequência de amostragem máxima de 150 kHz, o que possibilita a utilização da placa de aquisição em aplicações que envolvam subamostragem.

4.2 Tempo de subida

A velocidade de resposta de um canal é testado tendo em conta o tempo necessário que este demora a responder à transição de um sinal quadrado de frequência e amplitude relativamente elevadas. O teste foi realizado utilizando o osciloscópio TDS5034B na amostragem de um sinal quadrado de frequência 10 kHz, 5 V_{pp} na escala de ±2.5 V. O resultado é apresentado na Figura 60, em comparação com o sinal gerado pelo gerador de funções TG1010A.

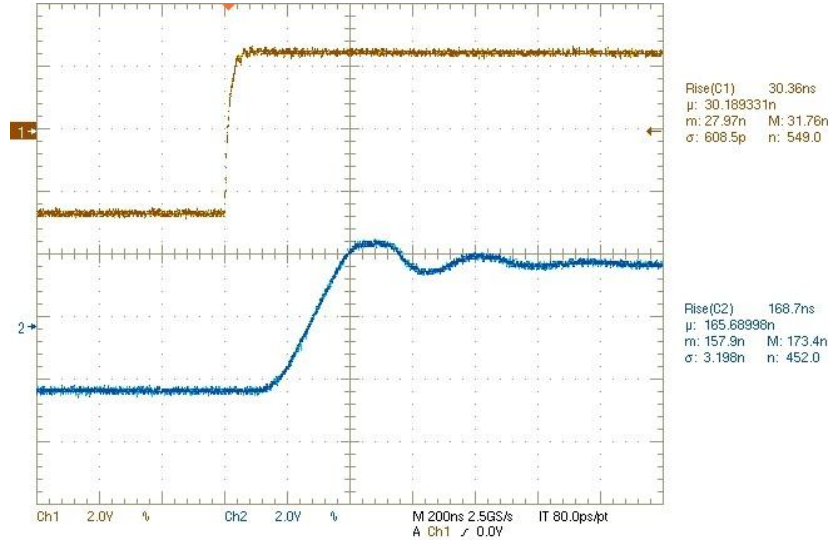


Figura 60 – Tempo de subida e atraso.

A resposta do circuito encontra-se representada na Figura 60, representado pelo sinal azul, em oposição à onda de entrada (sinal castanho). É possível verificar que o circuito de aquisição até à entrada do ADC afecta o tempo de subida do sinal gerado, assim como o atraso provocado. Ambos os tempos de subida e atraso possuem um valor na ordem dos 170 ns, através da utilização da placa de aquisição projectada para efectuar a aquisição de sinal, permite apenas concluir que o tempo de subida será inferior a 90 % do período mínimo de amostragem (6.66 μs).

4.3 Distorção Harmónica

Na medição de sinais, a utilização de componentes não lineares (amplificadores) introduz distorção no sinal que se pretende medir. A distorção é medida através do cálculo do valor da distorção harmónica (THD) presente no sinal. A utilização de sinais sinusoidais permite obter o valor da distorção harmónica introduzida pelos componentes do circuito através da relação existente entre o somatório da tensão eficaz das harmónicas de índice n do sinal sinusoidal (V_n) e a tensão eficaz da sua frequência fundamental. O valor da THD é calculado através de

$$THD = 20 \log_{10} \left(\frac{\sqrt{\sum_{n=2}^N V_n^2}}{V_1} \right) (dB). \quad (22)$$

Nos testes realizados o cálculo da distorção harmónica foi efectuado recorrendo a funções integradas no *software LabVIEW*. A placa de aquisição simultânea NI-USB 9215 foi utilizada para comparação com a placa de aquisição projectada. Esta placa de aquisição possui apenas 1 alcance (± 10 V), portanto os resultados apresentados são referentes apenas a medições efectuadas nesse alcance. Nas Figuras 61 e 62 encontram-se representados os espectros de frequência de uma aquisição efectuada pela placa de aquisição projectada e pela placa de aquisição NI-USB 9215 respectivamente, de onde é possível verificar o patamar de ruído.

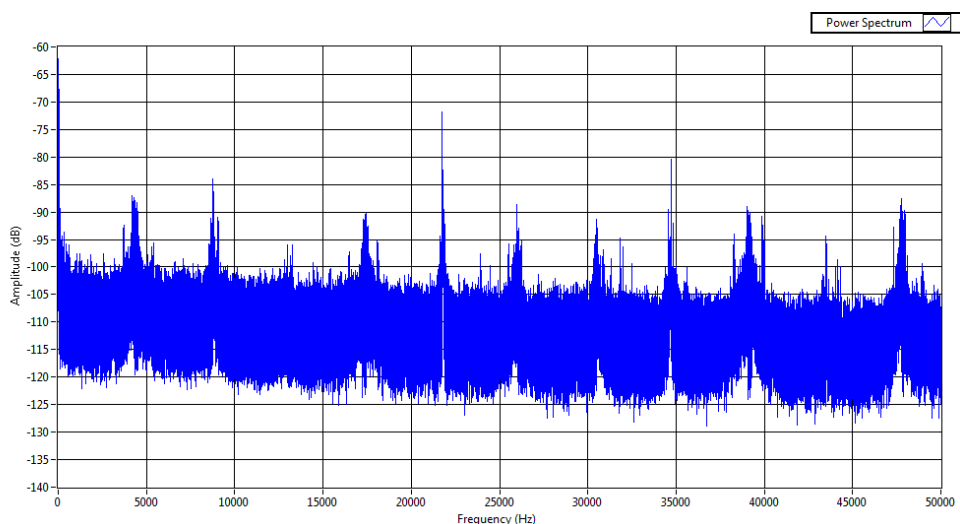


Figura 61 – Patamar de ruído da placa de aquisição projectada.

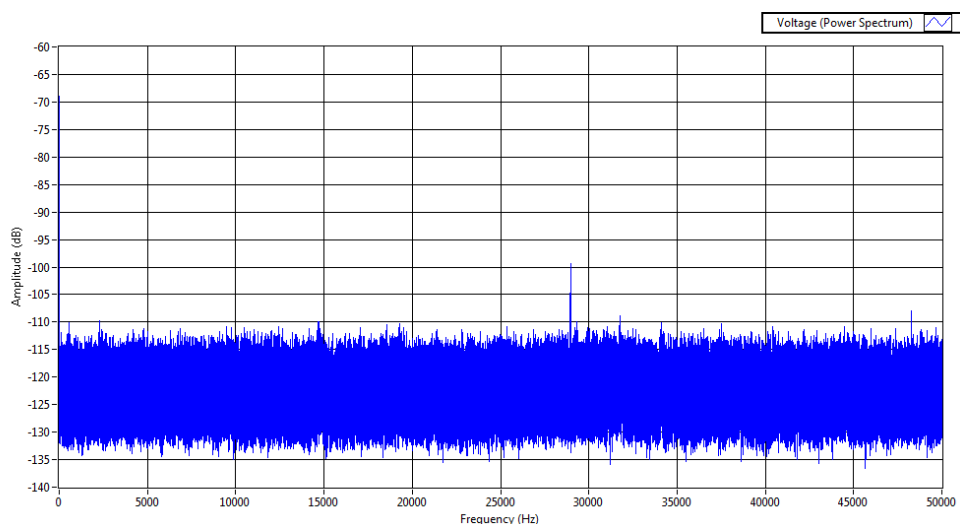


Figura 62 – Patamar de ruído da placa de aquisição NI-USB 9215.

4.3.1. THD/Alcance/Canal

A placa de aquisição projectada permite a escolha de diferentes alcances, com diferentes ganhos de tensão, provocando no sinal de entrada diferentes distorções. O teste efectuado permite obter o valor da distorção harmónica provocada pelos diferentes alcances nos 4 canais da placa de aquisição com um sinal sinusoidal de frequência 1 kHz como sinal de teste. Na Figura 63 apresenta-se os resultados

referentes à THD por alcance em cada canal da placa de aquisição em oposição à placa de aquisição NI-USB-9215.

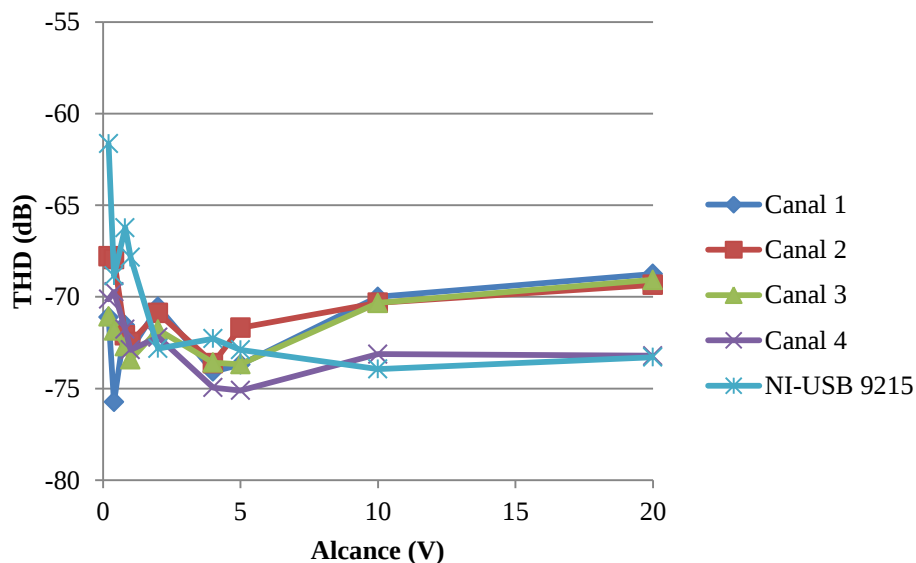


Figura 63 – Medição da THD nos diferentes alcances para os 4 canais Vs. NI-USB 9215.

Analisando a Figura 63 verifica-se que para a mesma frequência o valor da distorção harmónica nos 4 canais segue a mesma linha de tendência, ou seja os valores obtidos situados entre -68 e -75 dB nos diferentes alcances se mantêm em todos os canais. Verifica-se que nos alcances que permitem a medição de sinais de amplitude reduzida, o valor da distorção harmónica provocada é inferior ao valor da distorção em alcances que permitem a medição de sinais com amplitudes superiores. Para os resultados obtidos entram em consideração dois factores, o ganho aplicado ao sinal de teste e também a amplitude do sinal, quanto maior a amplitude do sinal menor a amplificação necessária de aplicar. Em comparação com a placa de aquisição NI-USB 9215, os valores obtidos na placa de aquisição projectada são inferiores, o que indica a presença de uma maior distorção harmónica. Segundo a folha de especificações do gerador de funções TG1010A, o valor da THD deste para frequências inferiores a 10 kHz é de -60 dB, ou seja este valor pode estar a limitar os resultados obtidos. Utilizando o osciloscópio TDS5034B foi realizada uma aquisição de 10^6 pontos a uma frequência de amostragem de 5 MS/s, para um sinal sinusoidal com uma frequência de 1 kHz e 20 V_{pp}, tendo-se obtido um valor de THD de -54.53 dB. É necessário ter em conta que a frequência de aquisição do osciloscópio é bastante superior à da placa de aquisição, o que permite a existência de um maior número de harmónicas para o cálculo da THD. Com a utilização de um gerador de funções com um valor de THD inferior, os resultados obtidos seriam certamente superiores.

4.3.2. THD/Alcance/Frequência

À medida que a frequência de um sinal sinusoidal aumenta, a distorção harmónica provocada nos componentes utilizados será também superior. O teste realizado permite verificar a variação do valor da distorção harmónica provocada para diferentes valores de tensão e frequência. O teste foi realizado até uma frequência de 10 kHz, deste modo é possível obter até um máximo de 6 harmónicas do sinal de teste

para além da fundamental. Nas Figuras 64 e 65 apresentam-se os resultados referentes à THD por alcance e frequência da placa de aquisição projectada e da placa de aquisição NI-USB 9215.

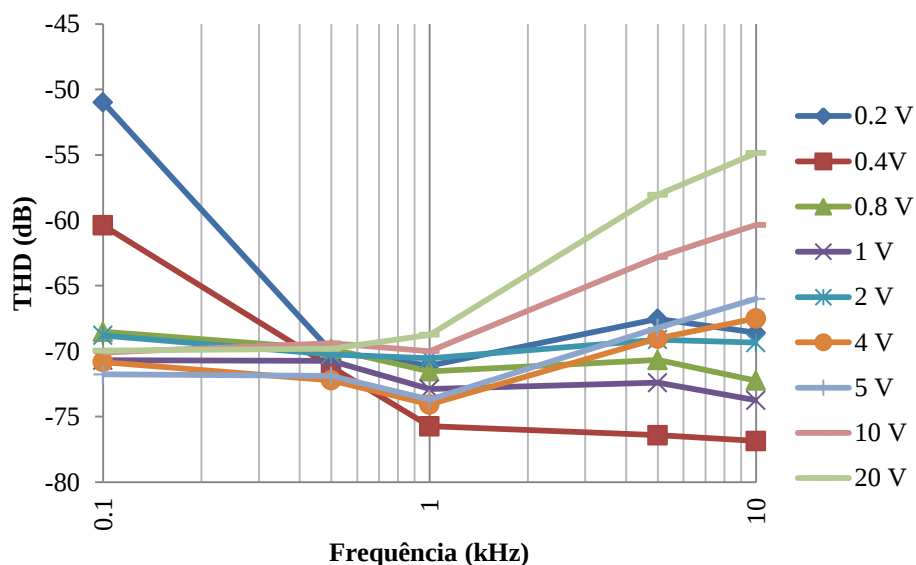


Figura 64 – Valor da THD para diferentes valores de frequência (placa de aquisição).

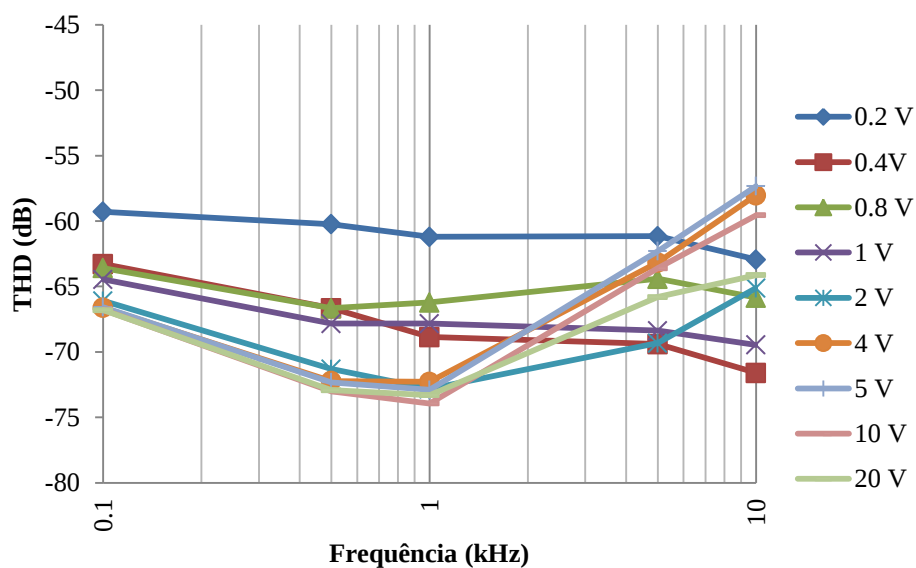


Figura 65 – Valor da THD para diferentes valores de frequência (NI-USB 9215).

A partir da Figura 64 verifica-se que o valor da THD aumenta à medida que o valor de frequência aumenta. Tendo em conta a amplitude do sinal de teste, que leva à selecção de diferentes alcances, verifica-se que o valor da THD aumenta à medida que a frequência e amplitude do sinal aumentam também. Por comparação das Figuras 64 e 65 é possível concluir que no caso da placa de aquisição NI-USB 9215 a situação verifica-se novamente, ou seja à medida que a amplitude e frequência do sinal aumentam, o valor da distorção harmónica aumenta também.

4.4 Interferência entre canais

Para testar a interferência entre canais (*crosstalk*) é injectado um sinal num canal e com os restantes canais ligados a GND, é medida a influência do sinal injectado nesses canais. O cálculo efectuado tem em conta a potência de sinal no canal injectado em dB e a potência detectada em todos os outros canais na frequência utilizada. Como os valores se encontram em dB, é possível efectuar uma simples subtracção entre os valores medidos,

$$Crosstalk(dB) = P_{\text{sinal}}(dB) - P_{\text{detectada}}(dB). \quad (23)$$

Com todos os canais ligados a GND, efectuou-se uma aquisição de sinal para obter o patamar de ruído através do cálculo da FFT utilizando os pontos adquiridos. Deste modo é possível efectuar a comparação entre o espectro de um canal com e sem a influência do sinal injectado noutro canal. Na Figura 66 encontra-se representado o patamar de ruído para o alcance ± 10 V no canal 1, o nível de ruído dos restantes canais será semelhante.

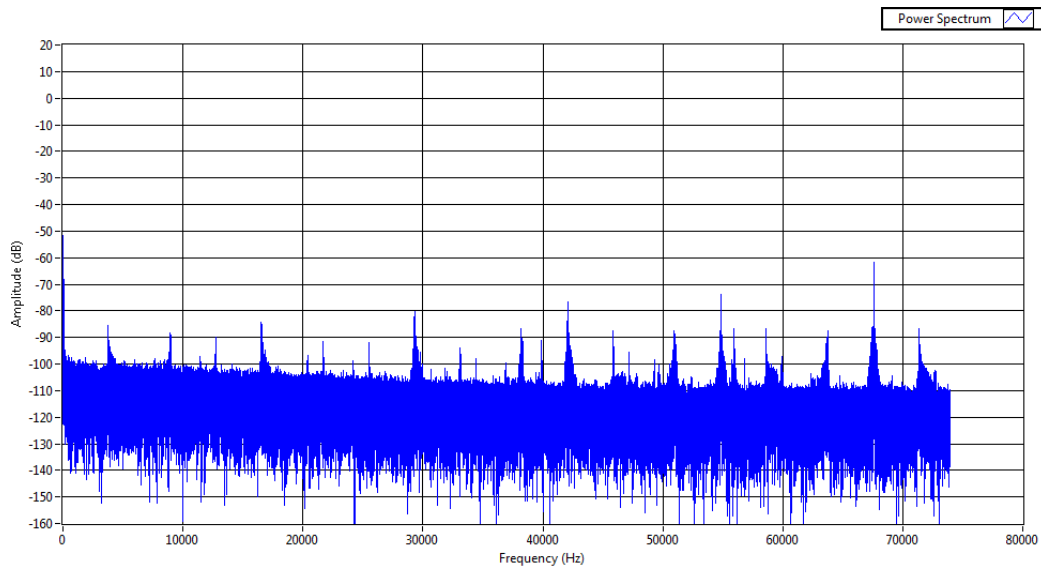


Figura 66 – Patamar de ruído de um canal.

O sinal de teste utilizado no teste de *crosstalk* necessita de possuir uma frequência e amplitude suficientemente elevadas, dentro dos limites de aquisição da placa para que sejam notadas alterações nos restantes canais. O sinal utilizado no teste é um sinal sinusoidal de frequência 100 kHz de 20 V_{pp}. O sinal de teste com a frequência de 100 kHz aparecerá no espectro com uma frequência aparente de 48 kHz devido ao facto de possuir uma frequência superior a metade da frequência de amostragem utilizada (148 kHz). Não será necessário efectuar a desdobragem do espectro de frequências pois o cálculo do valor de *crosstalk* tem apenas em conta a potência do sinal, a única informação que se perde na subamostragem corresponde à frequência do sinal. Nos canais que não possuam o sinal injectado, os PGAs são programados de modo a possuírem o maior ganho seleccionável. Deste modo é possível verificar no pior caso qual a influência do sinal injectado nos canais em teste. Nas Figuras 67 - 70 representa-se o espectro de frequências do canal que possui o sinal injectado e o espectro de um canal em teste respectivamente.

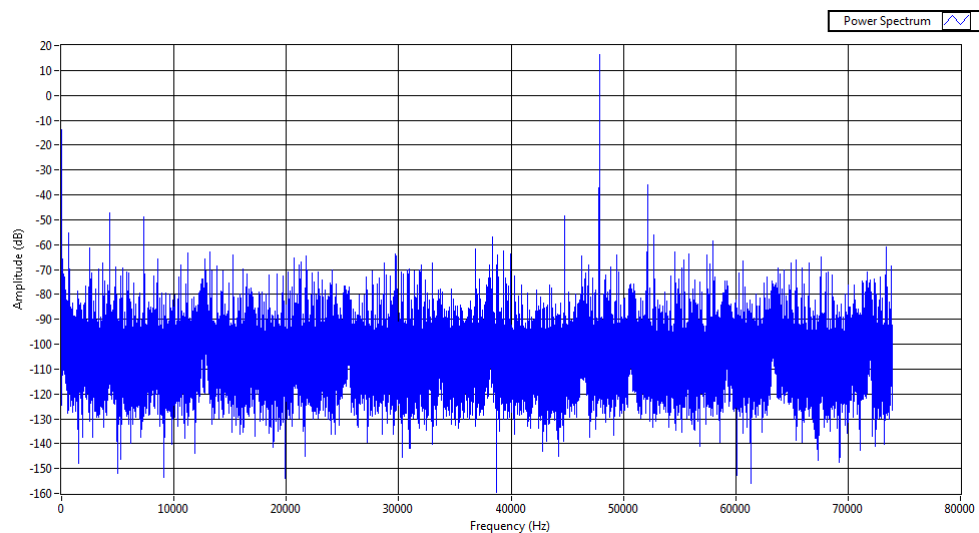


Figura 67 – Espectro de potência do sinal de teste.

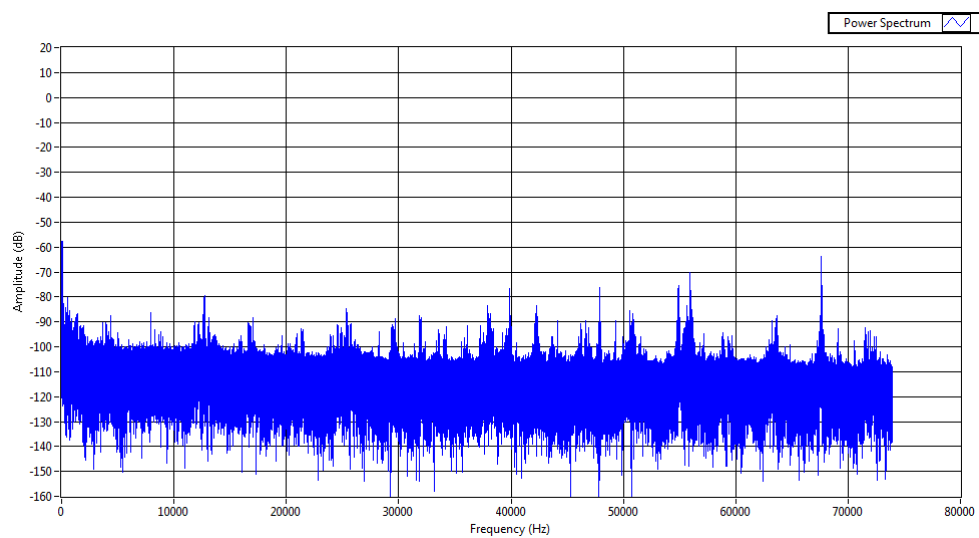


Figura 68 – Espectro de potência de sinal detectada no canal em teste.

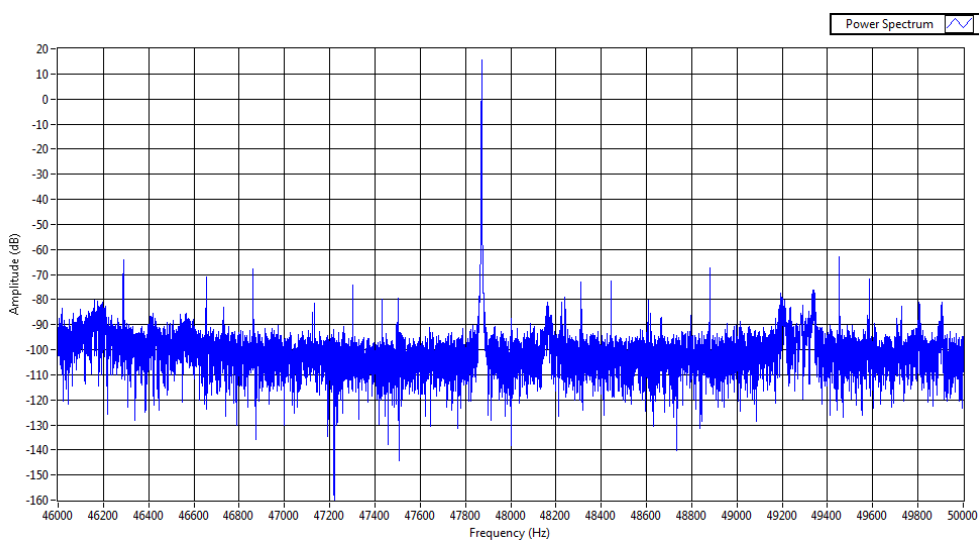


Figura 69 – Aproximação à frequência com maior potência.

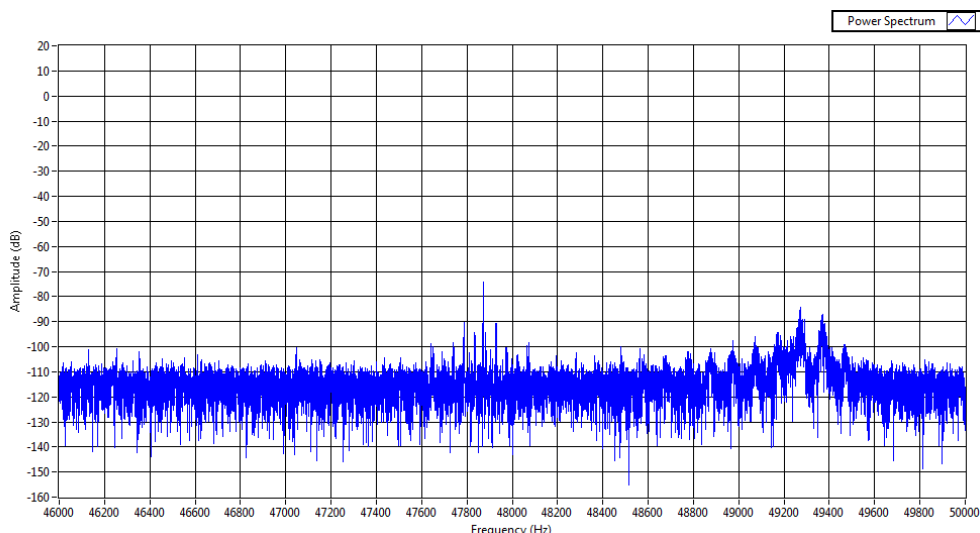


Figura 70 – Aproximação à frequência aparente do sinal.

Na Tabela 12 representa-se os valores de *crosstalk* obtidos nos 4 canais da placa de aquisição.

Tabela 12 – Valores de *crosstalk* dos 4 canais da placa de aquisição.

		Canal com sinal			
		Canal 1	Canal 2	Canal 3	Canal 4
Canal em teste	Canal 1	-	84 dB	95 dB	107 dB
	Canal 2	93 dB	-	98 dB	88 dB
	Canal 3	98 dB	101 dB	-	84 dB
	Canal 4	105 dB	91 dB	107 dB	-

Observando a Tabela 12 é possível observar que o sinal aplicado é detectável no canal em teste, a diferença resultante do cálculo do valor de *crosstalk* permite verificar que a potência de sinal detectada encontra-se sempre acima do patamar de ruído. Os resultados obtidos permitem concluir que a placa de aquisição projectada permite a medição de sinais com uma potência 80 dB inferior ao sinal em teste. Neste caso com um sinal de 10 V de amplitude nos canais adjacentes é possível a medição de sinais com uma amplitude 10000 vezes inferior, ou seja 1 mV. Em alguns casos o valor medido de *crosstalk* é superior ao nível de ruído, o que implica que o valor desse patamar é o limite mínimo dos sinais a medir.

4.5 Aquisição simultânea

De modo a verificar a simultaneidade da aquisição, foi utilizado um sinal com 2 V_{pp} a diferentes frequências, abaixo do limite de *Nyquist*, para que não fosse necessário recorrer a técnicas de subamostragem.

O controlo da frequência de amostragem é efectuado recorrendo a um *timer* interno do PIC que gera um sinal de PWM num dos terminais sempre que o *timer* atinja o valor programado para interrupção. No projecto utilizam-se 2 dos terminais do PIC para controlo dos ADCs a partir da frequência de aquisição gerada. O sinal é gerado internamente, apenas por *hardware* portanto os atrasos possíveis de existir na aquisição simultânea devem-se apenas a atrasos no *hardware*. Caso a geração do sinal de

aquisição estivesse dependente do *software*, os atrasos notados seriam superiores. Para o cálculo do atraso, utilizou-se uma das funções internas do *software* LabVIEW que devolve a frequência, amplitude e fase de um conjunto de pontos.

A frequência de aquisição utilizada foi de 150 kHz, que na realidade corresponderá a uma frequência de 150.094 kHz, devido ao divisor inteiro do relógio interno do PIC que gera a frequência de aquisição. Para o cálculo do atraso é necessário saber qual o período de tempo existente entre amostras e conhecendo a diferença de fase calculada entre os sinais, é possível saber qual o atraso da aquisição simultânea, através de

$$\Delta t = \frac{\Delta \varphi \times \frac{1}{f_{\text{signal}}}}{360^\circ} \quad (24)$$

Em que Δt corresponde ao atraso no tempo e $\Delta \varphi$ a um atraso na fase, com todas as medidas a serem efectuadas relativamente ao canal 1. Nas Figuras 71 - 73 são apresentados os resultados da aquisição simultânea para frequências de sinal de 100 Hz, 1 kHz e 10 kHz respectivamente

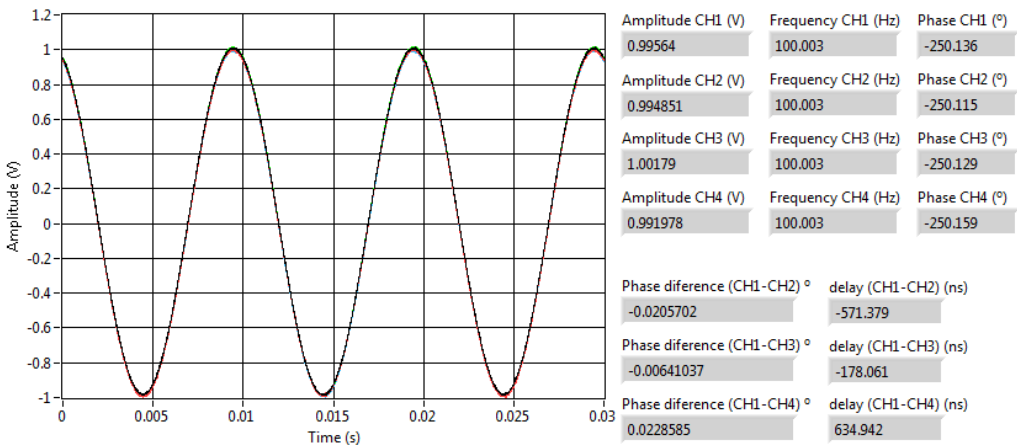


Figura 71 – Aquisição de um sinal de 100 Hz, 2 V_{pp}.

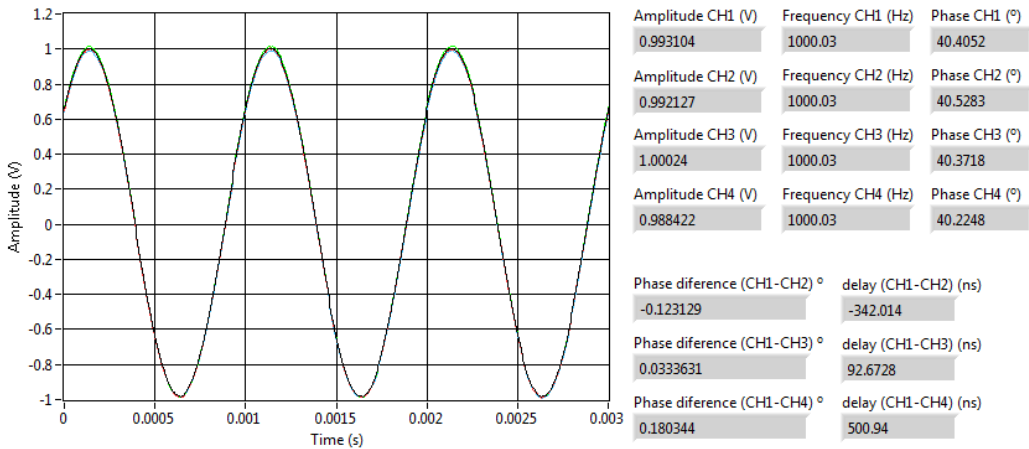


Figura 72 – Aquisição de um sinal de 1 kHz, 2 V_{pp}.

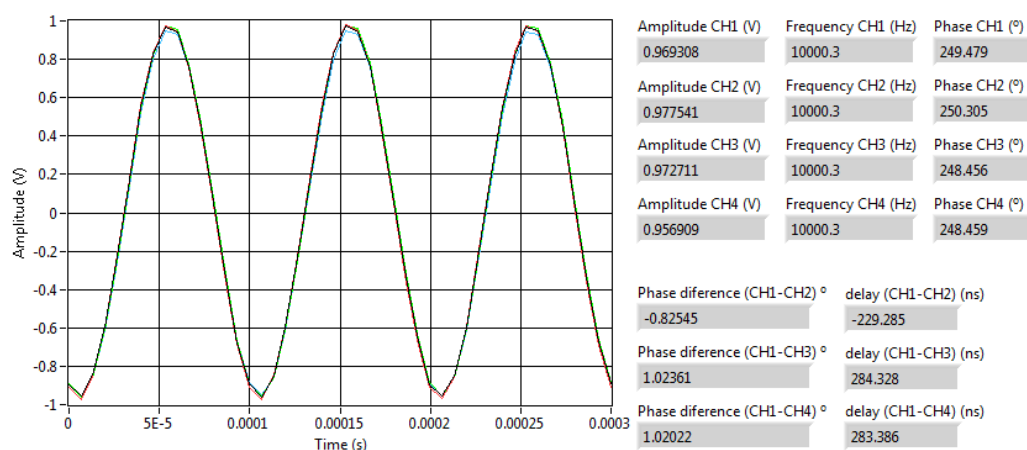


Figura 73 – Aquisição de um sinal de 10 kHz, 2 V_{pp}.

Através dos resultados obtidos é possível concluir que o atraso na simultaneidade da aquisição possui valores que variam entre os -571 e os 634 ns. No caso da existência de uma aquisição não simultânea, seria observável um deslocamento significativo na fase do sinal amostrado nos diferentes canais, como se exemplifica na Figura 15.

4.6 Consumo de corrente

Com este teste pretende-se demonstrar o consumo de corrente da placa de aquisição com diferentes parâmetros de teste. A placa de aquisição está projectada de modo a que a sua alimentação seja efectuada a partir de uma porta USB. Os testes efectuados incluem, a medição da corrente consumida com o aparelho em *standby*, ou seja sem efectuar aquisição; medição do consumo de corrente com a variação da frequência de amostragem com um diferente número de canais seleccionado, no mínimo 1 e no máximo 4; medição do consumo de corrente para os diferentes alcances, com o número de canais a variar entre 1 e 4. e medição do consumo de corrente caso os PGAs se encontrem saturados.

A placa de aquisição em *standby* possui um consumo de corrente de 298 mA. Na Figura 74 encontram-se os resultados relativos à medição de corrente com variação da frequência de amostragem com um máximo de 4 canais seleccionados para um alcance de ± 0.2 V.

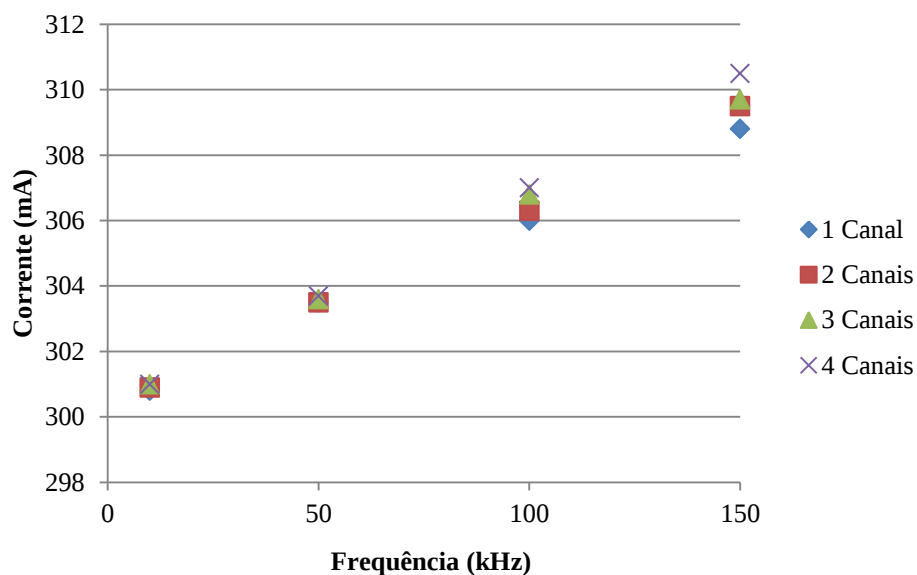


Figura 74 – Variação do consumo de corrente com a frequência de amostragem.

Na Figura 75 encontram-se os resultados relativos à medição do consumo de corrente nos diferentes alcances de tensão com um máximo de 4 canais seleccionados a uma frequência de amostragem de 150 kHz.

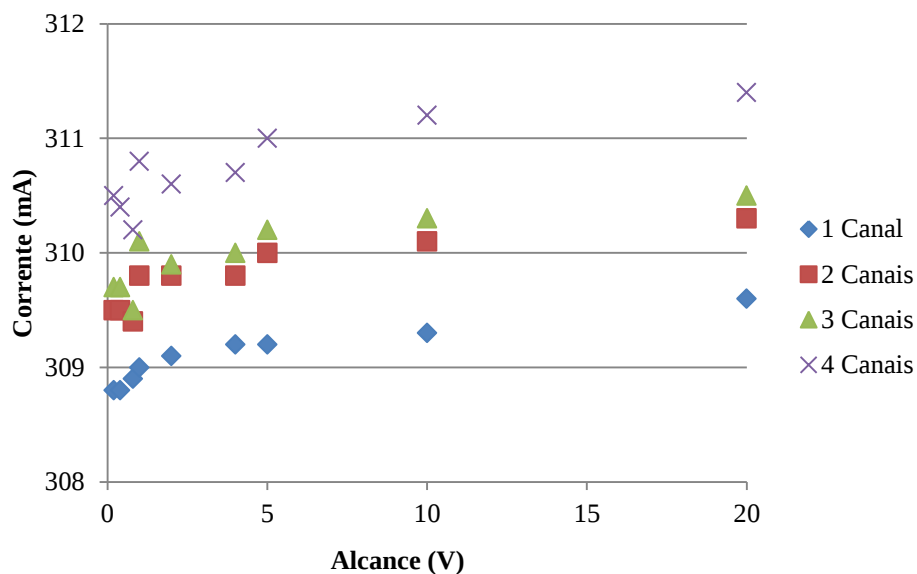


Figura 75 – Consumo de corrente para diferentes alcances de tensão.

De modo a comprovar a eficácia da programação efectuada, para prevenir a saturação dos PGAs mencionada em 3.3.5, foi efectuada a medição de corrente da placa de aquisição quando os PGAs de cada canal se encontram saturados. Para este teste foi utilizada uma frequência de amostragem de 150 kHz, um alcance de tensão de ± 0.2 V, com um sinal de entrada de 20 V_{pp}. Na Tabela 13 encontram-se os resultados obtidos com a optimização, ou seja os canais só amplificam se estiverem seleccionados, e sem a optimização, em que os canais amplificam independentemente de se encontrarem seleccionados.

Tabela 13 – Consumo de corrente com e sem os PGAs saturados.

Número de canais	Consumo de corrente (mA)	
	Com optimização	Sem optimização
1	309.6	334.7
2	310.3	360.6
3	310.5	385.6
4	311.4	413

É possível verificar que se os PGAs são seleccionados, o consumo observado será apenas o consumo dos canais que realmente se encontram a amplificar, e não o consumo devido à saturação dos amplificadores. A técnica implementada não significa que os amplificadores se desliguem quando saturam, pelo contrário, caso o utilizador escolha um alcance de tensão não adequado à tensão que se encontra a medir, o PGA fica saturado, apesar disso, o consumo de corrente total não ultrapassa o limite fornecido por USB (500 mA).

5. Conclusões

A utilização de sistemas de aquisição portáteis (por exemplo as placas de aquisição NI-6009 e NI-USB9215) possibilita a sua utilização numa vasta gama de aplicações. A possibilidade de configuração dos parâmetros da aquisição através de um interface gráfico de *software* é uma mais-valia na utilização destes dispositivos. A principal vantagem do protótipo desenvolvido em relação a produtos semelhantes existentes no mercado, consiste no seu custo de desenvolvimento (neste caso apenas material), bastante inferior, que se deve ao facto da sua utilização se destinar ao ambiente académico de ensino, em que o custo associado aos equipamentos utilizados se torna por vezes bastante elevado. O desenvolvimento da placa de aquisição tem como principal objectivo proporcionar um produto que possua funcionalidades semelhantes aos dos produtos vendidos comercialmente, mas com um custo material inferior.

A utilização de uma arquitectura de aquisição simultânea possui as suas vantagens em relação a uma arquitectura de aquisição não simultânea, apesar do custo associado ser superior. Uma das vantagens consiste numa frequência de amostragem superior, devido à existência de componentes independentes para cada canal, ao contrário de uma arquitectura de aquisição não simultânea em que a frequência de amostragem é dividida pelo número de canais existentes. Em placas de aquisição não simultânea o atraso existente entre a aquisição dos diferentes canais aumenta à medida que o número de canais utilizados aumenta também. Numa arquitectura de aquisição simultânea tal já não acontece, devido à independência existente entre cada canal. Uma outra vantagem dos sistemas de aquisição simultânea consiste numa menor interferência entre canais (*crosstalk*).

Na generalidade os objectivos inicialmente propostos foram concluídos, estes incluíam o desenvolvimento de uma placa de aquisição de 4 canais, com aquisição simultânea a uma frequência de amostragem máxima de 100 kS/s, com diferentes alcances programáveis que possibilitasse a medição de sinais com amplitude mínima na ordem dos 100 mV. Foi também especificado que a placa de aquisição desenvolvida possuísse uma largura de banda superior à frequência de amostragem de modo a possibilitar a sua utilização em aplicações que envolvam técnicas de subamostragem.

O trabalho desenvolvido permitiu adquirir competências, alargar e expandir o conhecimento em diferentes áreas como por exemplo as diversas formas existentes de condicionamento de sinal analógico, a programação de microcontroladores de forma a controlar diferentes dispositivos com variadas funções e o desenvolvimento de uma aplicação que permita a interface entre o utilizador e o protótipo desenvolvido.

O conhecimento adquirido em todas as áreas mencionadas permitiu o desenvolvimento de uma placa de aquisição simultânea de dados, alimentada e controlada por USB com 4 canais diferenciais, frequência de amostragem máxima de 150 kS/s, 9 alcances variáveis entre ± 0.1 V e ± 10 V, largura de banda de 700 kHz e com possibilidade de aquisição contínua com um custo de desenvolvimento relativamente reduzido. A utilização do microcontrolador PIC32MX460F512L permitiu demonstrar a capacidade e versatilidade destes microcontroladores, neste caso no controlo dos componentes da placa que efectuam a aquisição de dados. Devido à quantidade de dados, foi necessária a implementação de um protocolo de comunicação com uma capacidade de transferência de dados elevada. A comunicação implementada na

placa de aquisição desenvolvida é o protocolo USB 2.0 *High Speed*, que para além de ser um *standard* na indústria, permite atingir as desejadas velocidades de transmissão de dados.

Tendo por base os resultados obtidos é possível retirar diversas conclusões acerca do desempenho da placa de aquisição desenvolvida. A largura de banda analógica do sistema com um valor de 700 kHz possui um valor superior à frequência de amostragem com um valor máximo de 150 kS/s, permitindo assim a utilização do sistema em aplicações que utilizem técnicas de subamostragem. Apesar do valor obtido é necessário ter em conta que o valor de 700 kHz é o valor da largura de banda no alcance de tensão menor, com a possibilidade de escolher uma variedade de alcances verificou-se que o ganho se mantém estável em todos os alcances até um valor de 400 kHz, sendo este portanto o valor recomendado de utilização da placa de aquisição.

O valor da distorção harmónica permite analisar de que modo os circuitos utilizados afectam o sinal de teste, nomeadamente a potência das harmónicas desse mesmo sinal, potência que aumenta o valor da distorção harmónica provocada, num sinal que seria puramente sinusoidal. Os testes realizados à placa de aquisição para estudo da distorção harmónica permitiram concluir que o valor da THD aumenta com o aumento da amplitude e frequência do sinal de teste. Os resultados obtidos possuem valores compreendidos entre -68 e -75 dB de distorção harmónica, que se equiparam com os valores especificados na folha de especificações do gerador de funções utilizado com uma THD inferior a -60 dB para frequências inferiores a 10 kHz.

A arquitectura simultânea da placa de aquisição juntamente com o isolamento existente entre canais faz com que a interferência entre canais que possa existir seja bastante reduzida. No teste realizado utilizou-se um sinal de elevada amplitude num dos canais enquanto os outros se encontravam programados para efectuar a maior amplificação de sinal, sendo este o pior caso. Como esperado os valores obtidos são equivalentes ao patamar de ruído medido anteriormente. Assim é possível amostrar um sinal de elevada amplitude num dos canais simultaneamente amostrar um sinal com amplitude reduzida sem a existência de interferência relevante, devido à rejeição de sinal existente entre canais.

O teste de aquisição simultânea permitiu observar o funcionamento da placa de aquisição na aquisição do mesmo sinal de entrada nos diferentes canais. Os resultados obtidos entre -571 e 635 ns permitem concluir que de facto existe aquisição simultânea tendo em conta a gama de sinais que a placa de aquisição permite medir. Na amostragem efectuada é também possível observar que na existência de não simultaneidade, seria observável um deslocamento na fase entre os sinais amostrados nos diferentes canais, como acontece na amostragem utilizando placas de aquisição não simultâneas.

O estudo do consumo de corrente da placa de aquisição, através da variação da frequência de amostragem e dos alcances de tensão para os diversos canais, permitiu concluir que a placa de aquisição é capaz de funcionar apenas através de uma ligação USB como pretendido, sendo que o consumo desta em funcionamento normal é de cerca de 300 mA.

A placa de aquisição apresentada foi desenvolvida tendo como objectivo a sua utilização em projectos académicos de ensino. Para tal foi implementado um interface de comunicação desenvolvido no

software LabVIEW, que permite a sua utilização no programa de modo a possibilitar o desenvolvimento de novas aplicações também em *LabVIEW*. O custo do projecto é também um factor a ter em conta, o custo total associado é bastante inferior a produtos semelhantes à venda no mercado, apesar de só ser considerado o custo do material utilizado.

Como trabalho futuro, o ajuste da tensão de *offset* existente nos amplificadores de ganho programável poderá ser realizado através da utilização de um conversor digital analógico programado através do microcontrolador PIC. A utilização deste dispositivo permitiria efectuar um ajuste com maior precisão da tensão de *offset* em oposição ao ajuste manual utilizado através de um divisor potenciométrico. Com o ajuste da tensão de *offset* dependente apenas de componentes electrónicos o controlo destes poderá ser efectuado através de uma aplicação de calibração automática dos diferentes canais da placa de aquisição. A utilização de um filtro passa-baixo em cada canal, com o mesmo valor de frequência de corte que a placa de aquisição, limitaria o ruído, e evita a existência de *aliasing* de ruído de altas frequências para o espectro de medição. A utilização de uma caixa metálica serviria para a diminuição das interferências externas que possam existir e que possam alterar a validade da aquisição de sinal (ruído de 50 Hz).

Referências

- [1] José Carlos Sequeira Martins dos Santos. (2010) Impedance Measuring System based on a dsPIC. [Online]. https://dSPACE.ist.utl.pt/bitstream/2295/575459/1/Tese_MEE_56027.pdf
- [2] Zhang Baofeng, Wang Ya, and Zhu Junchao. (2010) Design of High Speed Data Acquisition System based on FPGA and DSP. [Online]. <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5641136>
- [3] S. Thanee, S. Somkuarnpanit, and K. Saetang. (2010) FPGA-Based Multi Protocol Data Acquisition System with High Speed USB Interface. [Online]. http://www.iaeng.org/publication/IMECS2010/IMECS2010_pp1196-1199.pdf
- [4] National Instruments. "User Guide and Specifications NI USB-6008/6009". [Online]. <http://www.ni.com/pdf/manuals/371303l.pdf>
- [5] National Instruments. "User Guide and Specifications NI-USB 9215 Series". [Online]. <http://www.ni.com/pdf/manuals/371568e.pdf>
- [6] National Instruments. "Simultaneous Sampling Data Acquisition Architectures". [Online]. <http://zone.ni.com/devzone/cda/tut/p/id/4105#toc0>
- [7] National Instruments. "Signal Conditioning Fundamentals for Computer-Based Data Acquisition Systems". [Online]. <http://zone.ni.com/devzone/cda/tut/p/id/4084>
- [8] Measurement Computing. "Signal Conditioning & PC-Based Data Acquisition Handbook". [Online]. <http://www.mccdaq.com/handbook/preface.aspx>
- [9] Wikipedia. "Nyquist Rate". [Online]. http://en.wikipedia.org/wiki/Nyquist_rate
- [10] National Instruments. "Isolation Technologies for Reliable Industrial Measurements". [Online]. <http://zone.ni.com/devzone/cda/tut/p/id/3546>
- [11] Analog Devices. (2005) "The Data Conversion Handbook - Chapter 3: Data Converter Architectures". [Online]. <http://www.analog.com/library/analogDialogue/archives/39-06/Chapter%203%20Data%20Converter%20Architectures%20F.pdf>
- [12] Pedro Ramos, "*Conversores DA/AD*", Acetatos das aulas teóricas de Instrumentação e Medidas ed.: Instituto Superior Técnico, 2008-2009.
- [13] Maxim Integrated Products. "Application Note 1023 - Understanding Pipelined ADCs". [Online]. <http://www.maxim-ic.com/app-notes/index.mvp/id/1023>
- [14] Francisco Corrêa Alegria and António Cruz Serra, ""Precision of ADC Gain and Offset Error Estimation with the Standard Histogram Test", " 2005.
- [15] Francisco Corrêa Alegria and António Cruz Serra, ""Precision of Independently Based Gain and Offset Error of an ADC Using the Histogram Method", " 2009.
- [16] Texas Instruments. (1995) "Understanding Data Converters". [Online]. <http://focus.ti.com/lit/an/slaa013/slaa013.pdf>
- [17] Pedro Ramos, "*Sistemas de Aquisição*", Acetatos das aulas teóricas de Instrumentação e Medidas ed.: Instituto Superior Técnico, 2008-2009.
- [18] Cole-Parmer. "Cole-Parmer Technical Library - Benefits of Simultaneous Data Acquisition Modules". [Online]. <http://www.coleparmer.com/techinfo/techinfo.asp?htmlfile=DAQ->

[simultaneous.htm&ID=929](#)

- [19] Maxim Integrated Products. "Application Note 1916 - An Introduction to Jitter in Communications Systems". [Online]. <http://www.maxim-ic.com/app-notes/index.mvp/id/1916/CMP/WP-34>
- [20] Analog Devices. (2009 Rev.B) Datasheet AD7980. [Online]. http://www.analog.com/static/imported-files/data_sheets/AD7980.pdf
- [21] Analog Devices. (2010 Rev.B, Nov.) Datasheet AD8251. [Online]. http://www.analog.com/static/imported-files/data_sheets/AD8251.pdf
- [22] Linear Technology. (2002) Datasheet LTC6910-1. [Online]. <http://cds.linear.com/docs/Datasheet/6910123fa.pdf>
- [23] Microchip. (2007, Aug.) Datasheet MCP23S08. [Online]. <http://ww1.microchip.com/downloads/en/DeviceDoc/21919e.pdf>
- [24] Microchip. (2010) Datasheet PIC32MX460F512L. [Online]. <http://ww1.microchip.com/downloads/en/DeviceDoc/61143G.pdf>
- [25] Future Technology Devices International Ltd. (FTDI). (2010) Datasheet FT2232H. [Online]. http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT2232H.pdf
- [26] Microchip. Arquitetura PIC32MX460F512L. [Online]. http://www.microchip.com/en_US/family/32bit/architecture.html
- [27] Future Technology Devices International Ltd. (FTDI). (2011, Abril) Datasheet FT232R. [Online]. http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT232R.pdf
- [28] Infineon. (2009, Setembro) BAS70-07. [Online]. http://www.infineon.com/dgdl/bas70_bas170series.pdf?folderId=db3a30431400ef68011425f1ca2505e3&fileId=db3a304314dca389011518ad41680e12
- [29] Analog Devices, "A Designer's Guide to Instrumentation Amplifiers," in *A Designer's Guide to Instrumentation Amplifiers.*, 2006, ch. I,II, pp. 1-9;1-6.
- [30] Texas Instruments. (2010, Maio) Datasheet OPA141. [Online]. <http://focus.ti.com/lit/ds/symlink/opa141.pdf>
- [31] National Semiconductor. (2010, Dezembro) Datasheet LM4040. [Online]. <http://www.national.com/ds/LM/LM4040.pdf>
- [32] Analog Devices. (Rev.D 2010) Datasheet ADR364. [Online]. http://www.analog.com/static/imported-files/data_sheets/ADR360_361_363_364_365_366.pdf
- [33] Wikipedia. "Serial Peripheral Interface Bus". [Online]. http://en.wikipedia.org/wiki/Serial_Peripheral_Interface_Bus
- [34] António Joaquim Serralheiro. (1997, Novembro) Introdução ao estudo de Circuitos Lineares, Invariantes, Dinâmicos e de Parâmetros Concentrados usando o modelo de estado. [Online]. <https://dspace.ist.utl.pt/bitstream/2295/61016/1/AS%20modelo%20de%20estado.pdf>
- [35] Instituto Superior Técnico. Instrumentação e aquisição de sinais - Análise de sinais no domínio do tempo. [Online]. <http://nebm.ist.utl.pt/repositorio/download/1595/0>

Anexo A – Atenuador de tensão compensado

Neste anexo realiza-se o estudo e análise da compensação em frequência de um circuito divisor de tensão. Designa-se por modelo de estado um conjunto de equações diferenciais lineares e de coeficientes constantes que relacionam as variáveis de estado com as fontes independentes [34]. Na Figura 76 é apresentado um circuito do tipo B, que representa um atenuador de tensão compensado, definido como um circuito que apresenta caminhos fechados de condensadores e/ou fontes de tensão e/ou não apresentarem conjuntos de corte de indutores e/ou fontes de corrente.

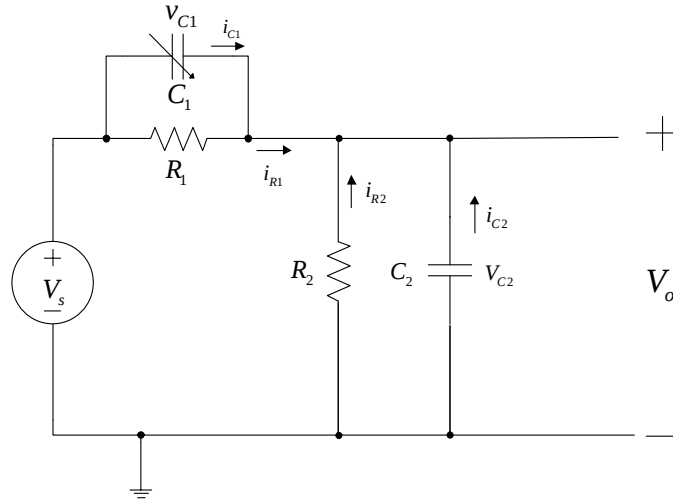


Figura 76 – Atenuador de tensão compensado (circuito tipo B).

Estes circuitos têm como modelo de estado a equação

$$\frac{dx(t)}{dt} = ax(t) + bu(t) + f \frac{du(t)}{dt}. \quad (25)$$

Em que $x(t)$ representa a variável de estado do circuito e $u(t)$ o gerador de tensão.

Estes circuitos são encontrados nas sondas atenuadoras em osciloscópios, representados na Figura 76 pela resistência R_1 e pelo condensador variável C_1 , em que R_2 e C_2 representam a impedância de entrada do osciloscópio [34] - [35]. Ao analisar o circuito da Figura 76 conclui-se que

$$i_{C2} = i_{C1} + \frac{1}{R_1} v_{C1} - \frac{1}{R_2} v_{C2}, \quad (26)$$

$$i_{C1} = C_1 \frac{dv_{C1}}{dt}, \quad (27)$$

$$i_{C2} = C_2 \frac{dv_{C2}}{dt} \quad (28)$$

e

$$v_{C1} = v_s - v_{C2}. \quad (29)$$

Substituindo (27), (28) e (29) em (26) obtém-se

$$\begin{aligned} i_{C2}(t) &= i_{C1}(t) + \frac{1}{R_1}(v_s(t) - v_{C2}(t)) - \frac{1}{R_2}v_{C2}(t) \Leftrightarrow \\ \Leftrightarrow i_{C2}(t) &= i_{C1}(t) + \frac{1}{R_1}v_s(t) - \left(\frac{1}{R_1} + \frac{1}{R_2}\right)v_{C2}(t) \Leftrightarrow \\ \Leftrightarrow \frac{dv_{C2}(t)}{dt} &= \frac{i_{C1}(t)}{C_2} + \frac{1}{C_2 R_1}v_s(t) - \frac{1}{C_2}\left(\frac{1}{R_1} + \frac{1}{R_2}\right)v_{C2}(t) \Leftrightarrow \\ \Leftrightarrow \frac{dv_{C2}(t)}{dt} &= \frac{C_1}{C_2} \frac{dv_{C1}(t)}{dt} + \frac{1}{C_2 R_1}v_s(t) - \frac{1}{C_2}\left(\frac{1}{R_1} + \frac{1}{R_2}\right)v_{C2}(t) \Leftrightarrow \\ \Leftrightarrow \frac{dv_{C2}(t)}{dt} &= \frac{C_1}{C_2} \left(\frac{dv_s(t)}{dt} - \frac{dv_{C2}(t)}{dt} \right) + \frac{1}{C_2 R_1}v_s(t) - \frac{1}{C_2}\left(\frac{1}{R_1} + \frac{1}{R_2}\right)v_{C2}(t) \Leftrightarrow \\ \Leftrightarrow \frac{dv_{C2}(t)}{dt} + \frac{C_1}{C_2} \frac{dv_{C2}(t)}{dt} &= \frac{C_1}{C_2} \frac{dv_s(t)}{dt} + \frac{1}{C_2 R_1}v_s(t) - \frac{1}{C_2}\left(\frac{1}{R_1} + \frac{1}{R_2}\right)v_{C2}(t) \Leftrightarrow \\ \Leftrightarrow \frac{dv_{C2}(t)}{dt} \left(1 + \frac{C_1}{C_2}\right) &= \frac{C_1}{C_2} \frac{dv_s(t)}{dt} + \frac{1}{C_2 R_1}v_s(t) - \frac{1}{C_2}\left(\frac{1}{R_1} + \frac{1}{R_2}\right)v_{C2}(t) \Leftrightarrow \\ \Leftrightarrow \frac{dv_{C2}(t)}{dt} &= -\frac{1}{C_1 + C_2} \left(\frac{1}{R_1} + \frac{1}{R_2}\right)v_{C2}(t) + \frac{1}{R_1(C_1 + C_2)}v_s(t) + \frac{C_1}{C_1 + C_2} \frac{dv_s(t)}{dt}. \end{aligned} \quad (30)$$

A solução da equação de estado (30) é calculada a partir das soluções homogênea e particular da mesma

$$v_{C2}(t) = x_h(t) + x_p(t) \quad (31)$$

que são

$$x_h(t) = ke^{at} \quad (32)$$

e

$$x_p(t) = -\frac{b}{a}v_s(t). \quad (33)$$

A solução é encontrada quando $x_p(t) = v_{C2}(t)$, ou seja quando

$$\frac{R_2}{R_1 + R_2} = \frac{C_1}{C_1 + C_2}. \quad (34)$$

Resolvendo (34) conclui-se que para o sistema se encontrar compensado é necessário que

$$R_1 C_1 = R_2 C_2 \Leftrightarrow \tau_1 = \tau_2. \quad (35)$$

Anexo B – Mensagem com parâmetros da aquisição

Neste anexo é representada a mensagem enviada da aplicação de controlo da placa de aquisição para o microcontrolador PIC com os parâmetros da aquisição.

A mensagem enviada é composta por uma instrução que indica ao PIC a função a desempenhar, neste caso em particular, existe a instrução (16 bits) para iniciar uma aquisição e uma outra diferente para iniciar a calibração por *software*. O número de pontos a adquirir com uma dimensão de 32 bits, de modo a ser possível adquirir um máximo de 4294967296 amostras. A frequência de amostragem, onde neste caso é enviado o valor a escrever no registo do temporizador que controla a frequência de aquisição no microcontrolador (16 bits), assim como o valor do divisor desse mesmo temporizador (8 bits), para que possibilite a geração de uma vasta gama de frequências de aquisição. Os canais seleccionados (8 bits) e os diferentes alcances de cada canal (8 bits cada alcance) são incluídos também na mensagem. Finalmente a opção de se realizar amostragem contínua (8 bit) é também incluída.

Na Tabela 14 encontra-se um exemplo da mensagem enviada para o microcontrolador, de modo a que seja efectuada uma aquisição com 10000 pontos, frequência de amostragem igual a 100 kHz, com o primeiro e o terceiro canais seleccionados, com os diferentes alcances seleccionados, que serão depois programados ou não no PIC conforme o canal correspondente se encontre ou não seleccionado e a opção de aquisição contínua activada.

Tabela 14 – Exemplo da mensagem com parâmetros da aquisição.

Instrução	Número de pontos	Frequência de amostragem e divisor do relógio	Canais seleccionados	Alcances	Aquisição contínua
0010	0000 2710	031F 00	05	3216 1632	01

Anexo C – Esquemas eléctricos e PCB

Neste anexo são apresentados os esquemas eléctricos da placa de aquisição, assim como a placa de circuito impresso sem componentes e com componentes e a placa de aquisição montada na caixa.

C.1. Esquemas Eléctricos

Os esquemas eléctricos apresentados nas Figuras 77 - 83 representam apenas os componentes de um canal da placa de aquisição, pois todos os canais são iguais entre si. As figuras encontram-se pela ordem que estão dispostas na cadeia analógica de condicionamento de sinal (Figura 25), ou seja em primeiro lugar a protecção de entrada e o AI, seguido pelos PGAs, montagem diferença e no final o ADC.

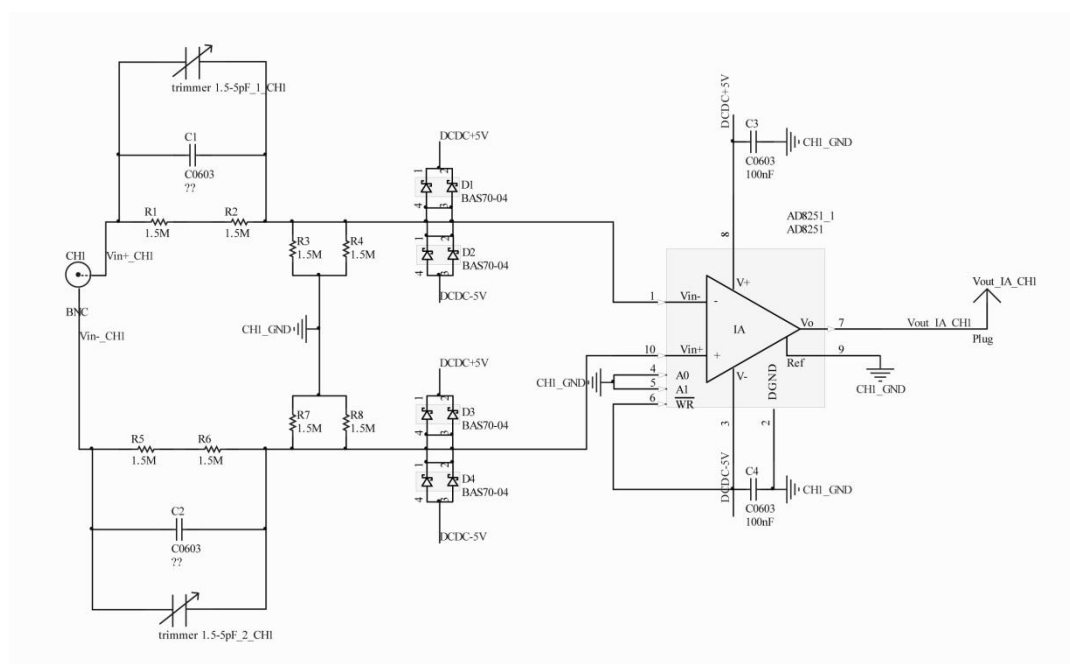


Figura 77 – Protecção de entrada e amplificador de instrumentação AD8251.

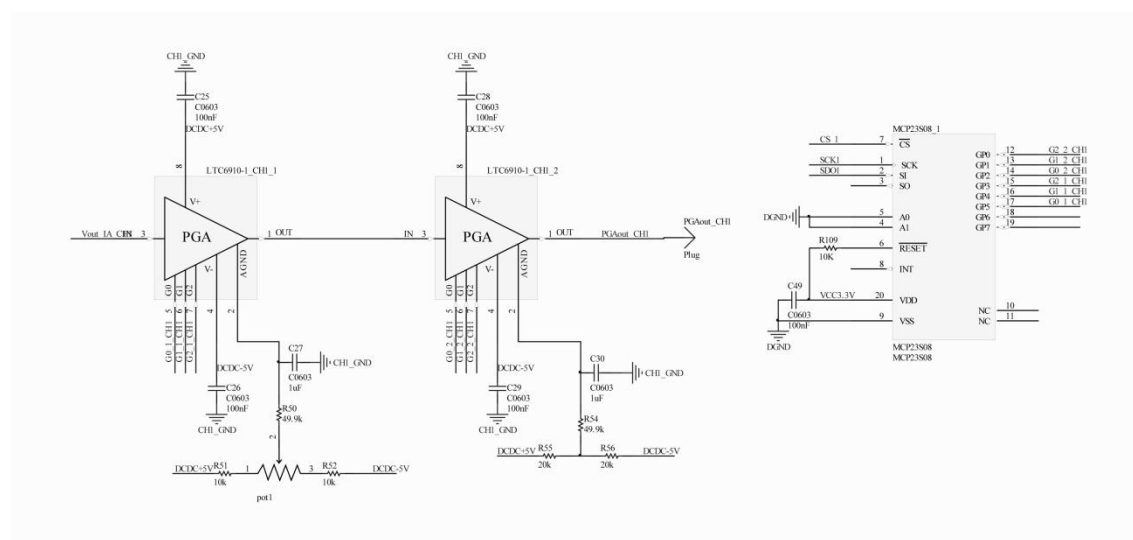


Figura 78 – Andar de amplificação composto por 2 PGAs LTC6910-1.

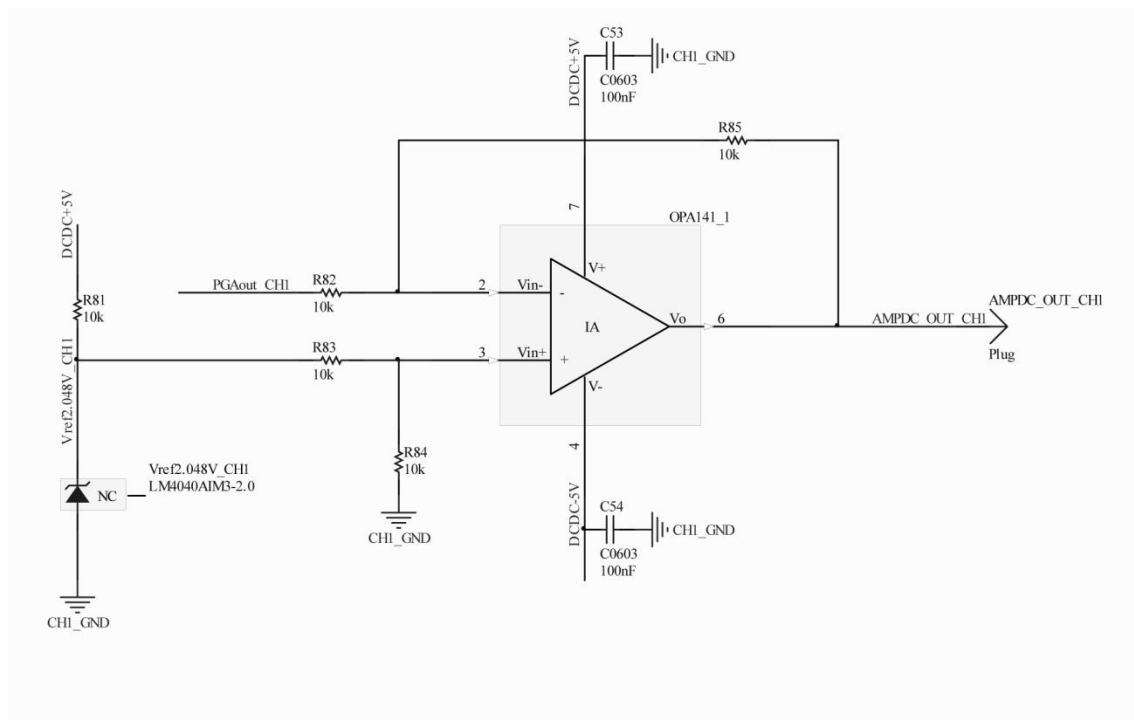


Figura 79 – Montagem diferença (OPA141).

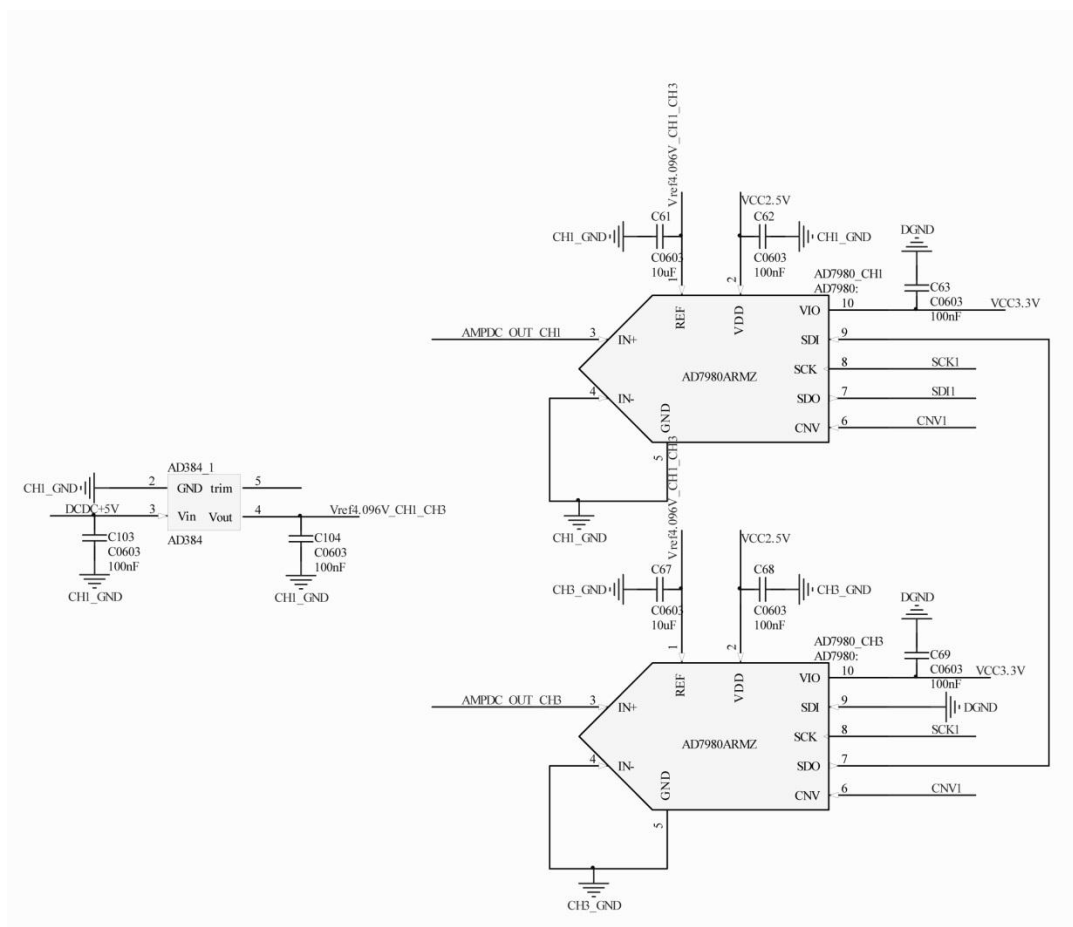


Figura 80 – ADCs AD7980 ligados numa montagem daisy-chain.

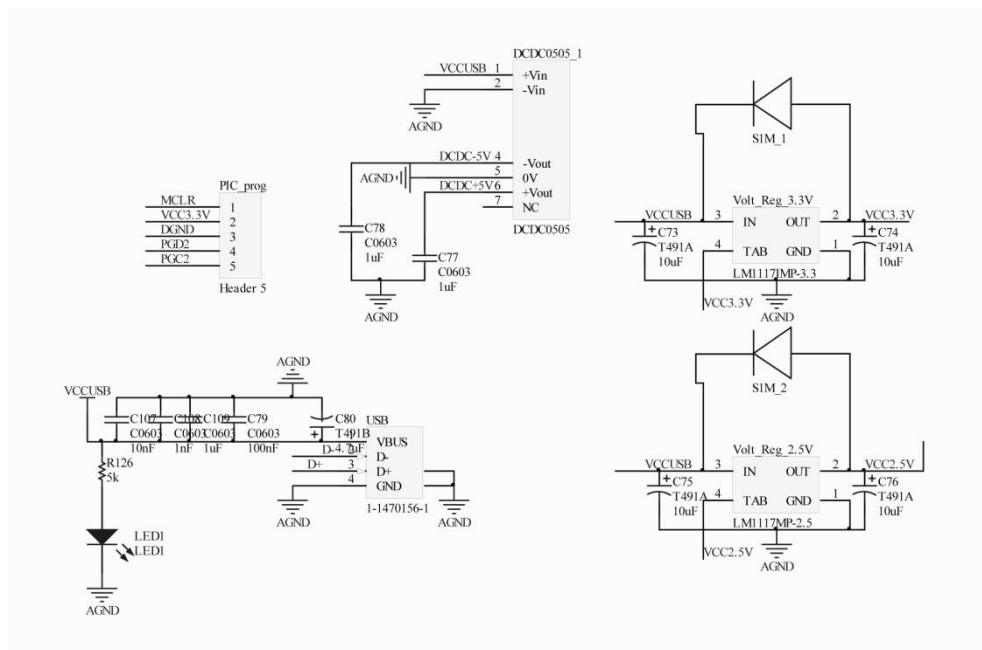


Figura 83 – Componentes para alimentação do circuito.

C.2. PCB

Nas Figuras 84 e 85 encontram-se representadas ambas as camadas da PCB da placa de aquisição. As zonas assinaladas correspondem ao microcontrolador PIC32MX460F512L (A), dispositivo USB FT2232H (B), PGAs LTC6910-1 (C), amplificador de instrumentação AD8251 (D), conversor SPI/paralelo MCP23S08 (E), ADC AD7980 (F), Reguladores de tensão e DC/DC (G), condicionamento de sinal e protecção (H), ajuste de *offset* (I), montagem diferença OPA141 (J), memória com configuração USB (K).

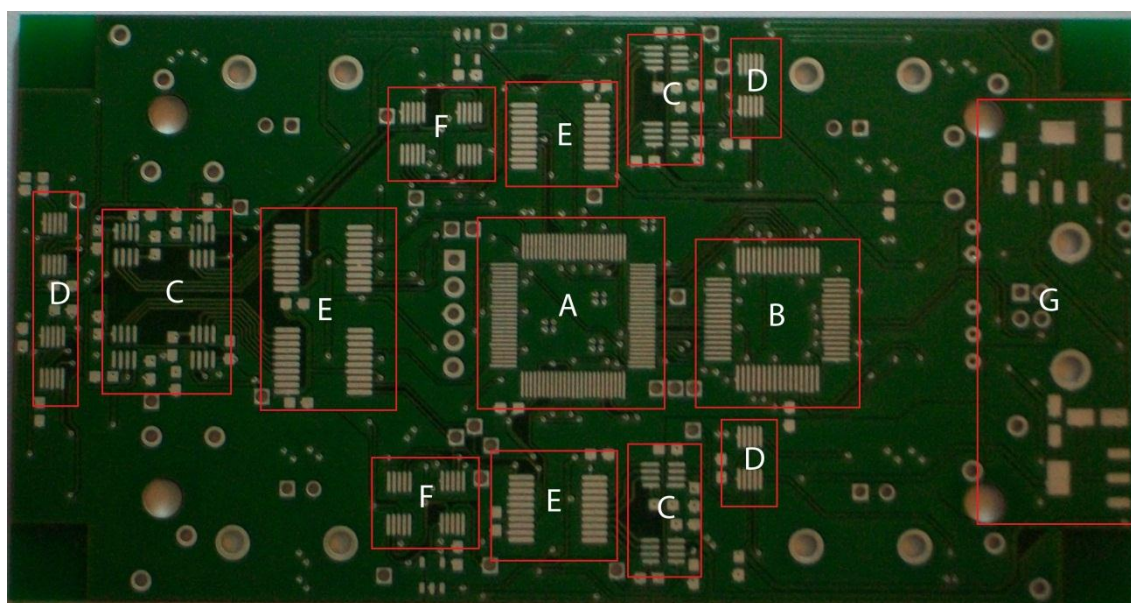


Figura 84 – Camada superior da placa de aquisição (sem componentes).

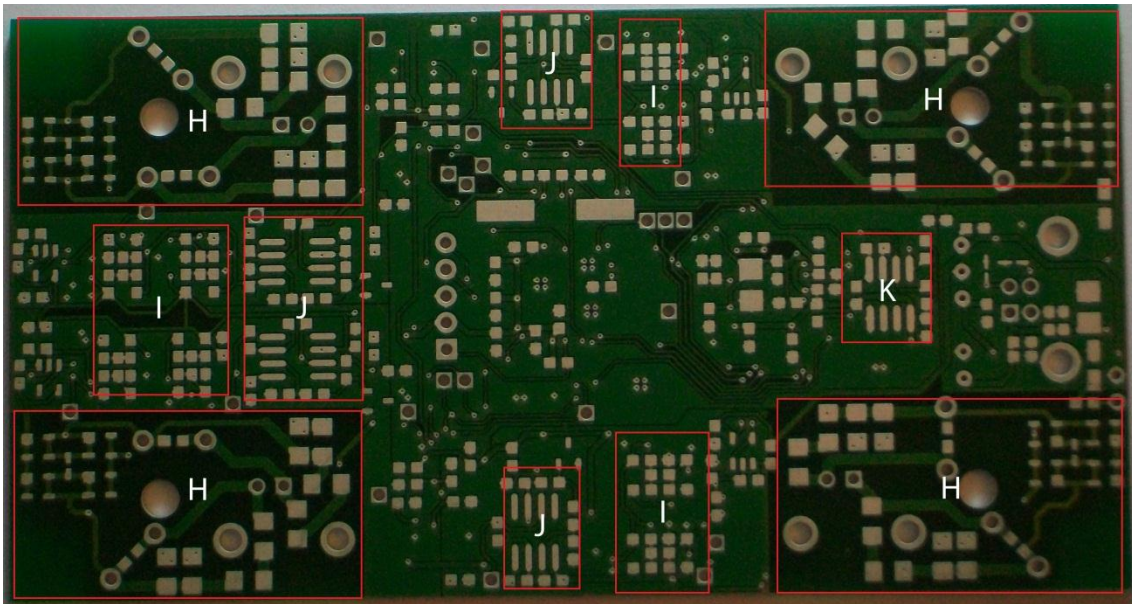


Figura 85 – Camada inferior da placa de aquisição (sem componentes).

C.3. Sistema completo

Nas Figuras 86 e 87 encontram-se representadas a camada superior e inferior respectivamente da placa de aquisição completa com todos os componentes soldados.

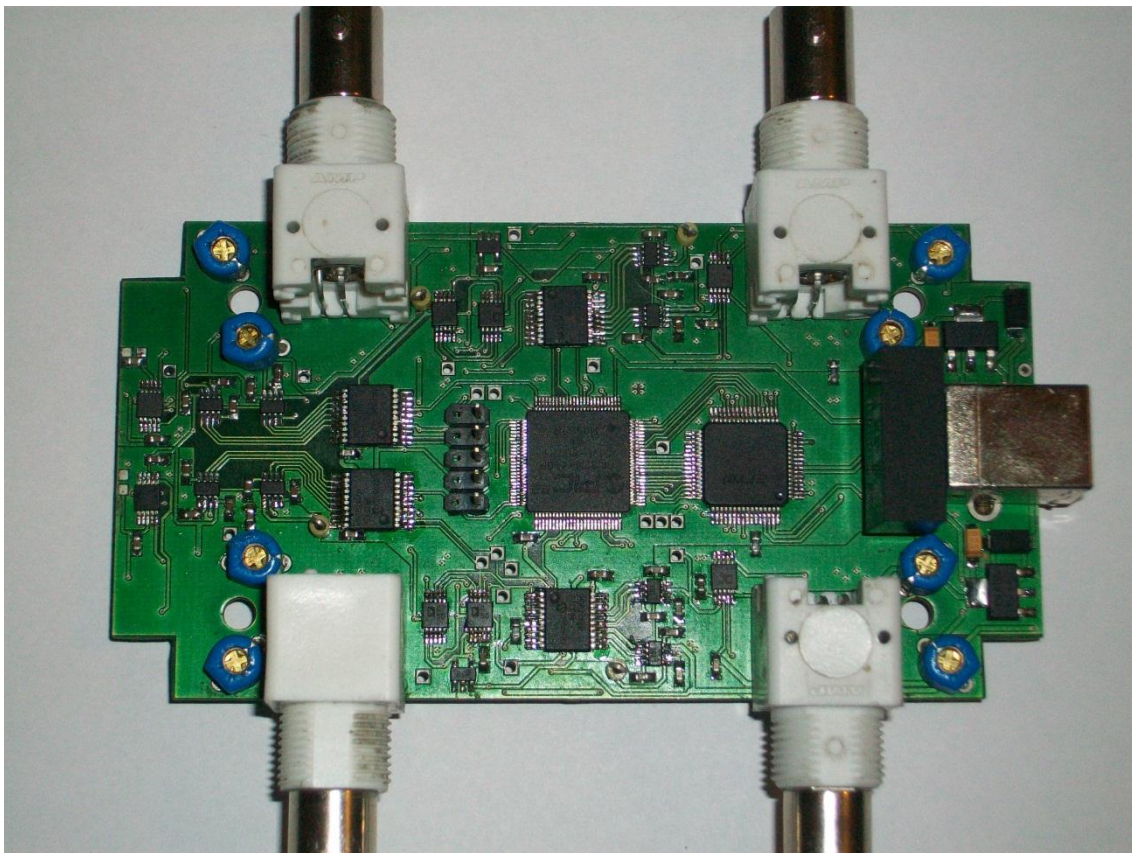


Figura 86 – Camada superior da placa de aquisição (com componentes).

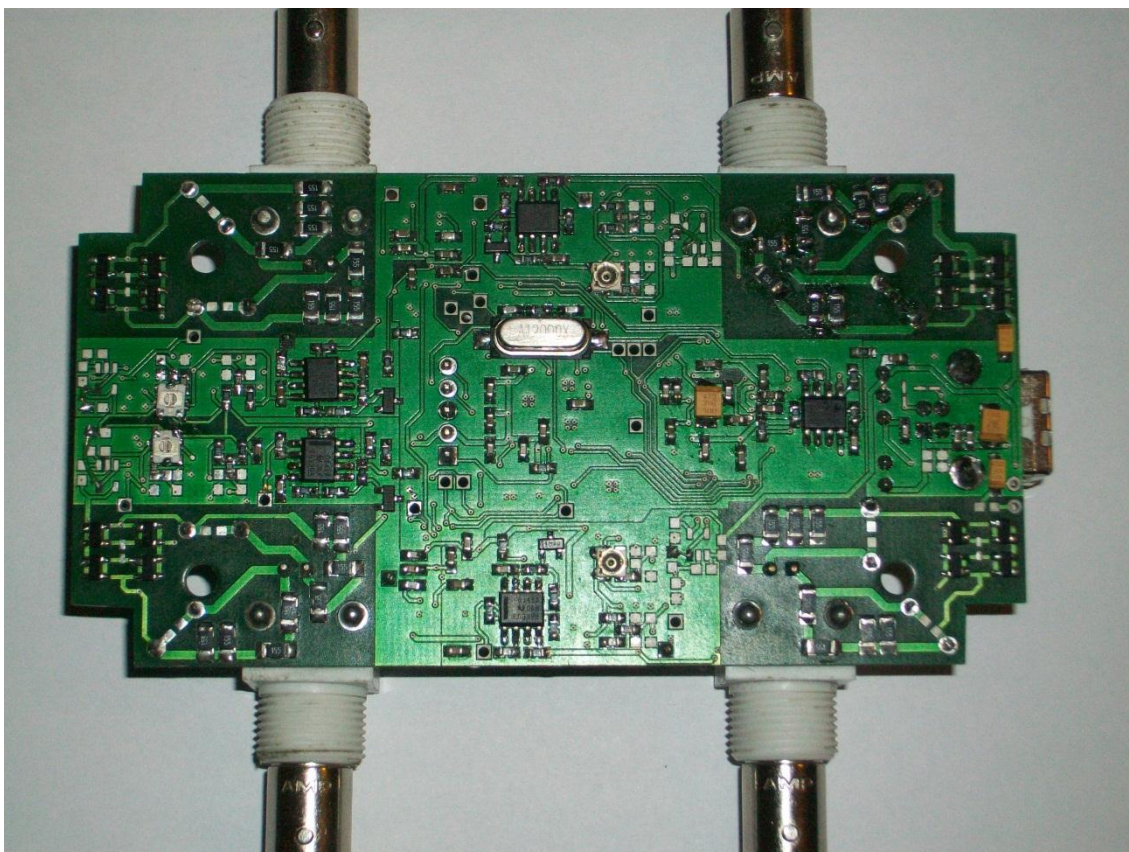


Figura 87 – Camada inferior da placa de aquisição (com componentes).

A placa de aquisição depois de completa foi colocada numa caixa de plástico de modo a lhe conferir alguma protecção. Nas Figuras 88 e 89 encontram-se representadas a caixa utilizada e a placa de aquisição assemblada.



Figura 88 – Caixa utilizada.



Figura 89 – Sistema completo

Anexo D – Lista de componentes utilizados

Na Tabela 15 encontra-se o custo do protótipo da placa de aquisição apenas tendo em conta o custo dos componentes utilizados. Todos os valores são retirados da *Farnell*, alguns dos preços indicados com são referentes à aquisição dos componentes directamente ao fabricante para mais de 1000 unidades.

Tabela 15 – Custos dos componentes do protótipo.

Componentes	Código Farnell	Protótipo		1000 unidades	
		Quantidade	Custo unitário (€)	Quantidade	Custo unitário (€)
PIC32MX460512L-80I/PT	1640233	1	8.7	1000	4.04
FT2232H	1697461	1	10.34	1000	6.54
AD8251ARMZ	1438871	4	12.5	4000	3.49
LTC6910-1CTS8#TRMPBF	1663930	8	1.88	8000	0.78
MCP23S08-E/SS	1292236	4	1.41	4000	0.59
AD7980ARMZ	1571380	4	29.7	4000	8.42
OPA141AID	1829664	4	4.49	4000	0.73
EEPROM 93LC46B-I/SN	9758232	1	0.3	1000	0.173
Díodo Schottky BAS70-07	8734461	16	0.28	16000	0.072
Voltage Ref 2.048V	1053850	4	0.71	4000	0.5
Voltage Ref 4.096V ADR364AUJZ	1117859	2	2.19	2000	0.57
LDO 3.3V - TLV1117	1494942	1	0.37	1000	0.24
LDO 2.5V - LM1117	9779205	1	1.26	1000	0.78

Cristal 12MHz	1652551	1	0.5	1000	0.32
DCDC 3W +-5V	1860983	1	11.76	1000	9.41
Díodo - S1M	9843841	10	0.28	2000	0.043
Caixa	1511175	1	4.88	1000	4.39
Conector USB	1696539	1	0.75	1000	0.24
BNC	1704337	4	2.76	4000	1.91
Porca BNC	1651010	4	0.26	4000	0.164
Cabo USB	1651027	1	1.54	1000	1
Potenciômetro 20 kΩ	1689841	4	0.74	4000	0.46
Condensador Variável 1.5 - 5 pF	1685436	8	0.49	8000	0.195
Resistência 0 Ω	1469739	50	0.019	5000	0.007
Resistência 1 kΩ	1469740	50	0.021	1000	0.012
Resistência 2.2 kΩ	1469765	50	0.021	1000	0.012
Resistência 10 kΩ	1469748	50	0.021	36000	0.006
Resistência 12 kΩ	9330518	50	0.036	1000	0.007
Resistência 20 kΩ	1469774	50	0.031	8000	0.012
Resistência 49.9 kΩ	1170955	50	0.037	8000	0.02
Resistência 1 MΩ	1469746	50	0.021	1000	0.012
Resistência 1.5 MΩ	1576216	32	0.051	32000	0.029
Condensador 22 pF	1759057	100	0.008	2000	0.003
Condensador 100 nF	1759017	100	0.008	66000	0.002
Condensador 1 uF	1833809	11	0.022	11000	0.006
Condensador tantalum 4.7 uF	1457454	5	0.2	2000	0.099
Condensador 10 uF	1886093	5	0.34	5000	0.105
Condensador tantalum 10 uF	1457413	5	0.185	4000	0.087
Placa	PCBPool	1	69.44	1000	9.91
		Total	350.23	Custo por placa	115.03